暫定データシート
AVR32EA28/32/48

序説

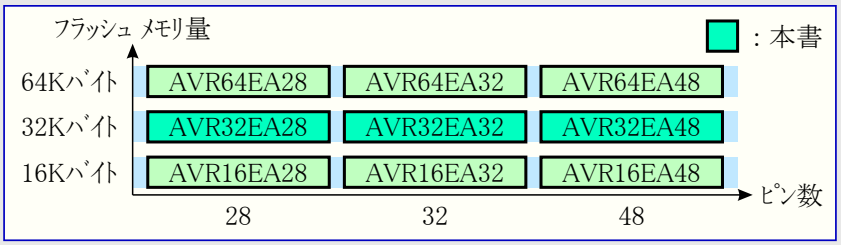
AVR® EA系統のAVR32EA28/32/48ﾏｲｸﾛ ｺﾝﾄﾛｰﾗは20MHzまでのｸﾛｯｸ速度で動くﾊｰﾄﾞｳｪｱ乗算器を持つAVR® CPUを使っています。これらは32Kﾊﾞｲﾄのﾌﾗｯｼｭ ﾒﾓﾘ、4KﾊﾞｲﾄのSRAM、512ﾊﾞｲﾄのEEPROMを備えています。このﾏｲｸﾛ ｺﾝﾄﾛｰﾗは28、32、48ﾋﾟﾝ外囲器で利用可能です。AVR® EA系統は事象ｼｽﾃﾑ、正確なｱﾅﾛｸﾞ部分系、進化したﾃﾞｼﾞﾀﾙ周辺機能を含む柔軟で低電力な基本設計を持つMicrochipの最新技術を使います。

系統概要

下図はﾋﾟﾝ数変種とﾒﾓﾘ量で並べてAVR® EAﾃﾞﾊﾞｲｽを示します。

- これらのﾃﾞﾊﾞｲｽが完全なﾋﾟﾝと機能の互換のため、垂直方向移植はｺｰﾄﾞ変更なしで可能です。
- 左への水平方向移植はﾋﾟﾝ数、従って利用可能な機能を減らします。

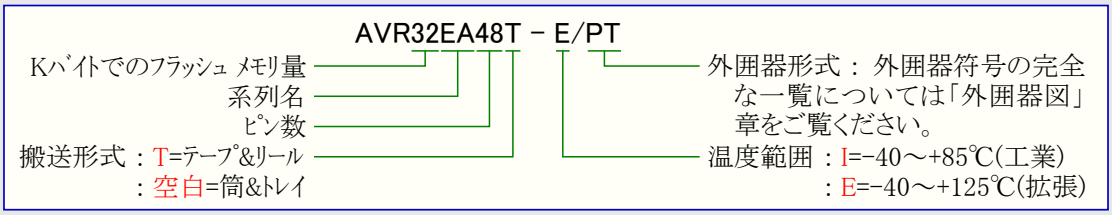
図1. AVR® EA系概要



異なるﾌﾗｯｼｭ ﾒﾓﾘ量を持つﾃﾞﾊﾞｲｽは一般的に異なるSRAMの量も持ちます。

AVR® EA系のﾃﾞﾊﾞｲｽの名前は次のように復号されます。

図2. AVR® EA系ﾃﾞﾊﾞｲｽ呼称



（訳注）・本書はAVR32EA28/32/48ｼﾘｺﾝ障害とﾃﾞｰﾀｼｰﾄ説明(DS80001091B)の内容を含みます。
・原書に対して断りなく最新情報に更新している場合があります。

本書は一般の方々の便宜のため有志により作成されたもので、Microchip社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

© 2023 Microchip Technology Inc.とその子会社

メモリ概要

下表は系統全体のメモリ概要を示しますが、この先の文書はAVR32EA28/32/48デバイスだけを記述します。

表1. メモリ概要

メモリ形式	AVR16EA28/32/48	AVR32EA28/32/48	AVR64EA28/32/48
フラッシュ メモリ (書き中読み(RWW)領域)	16Kバイト (12Kバイト)	32Kバイト (28Kバイト)	64Kバイト (56Kバイト)
SRAM	2Kバイト	4Kバイト	6Kバイト
EEPROM	512バイト		
使用者列	64バイト		

周辺機能概要

下表はAVR® AE系統全体の周辺機能概要を示しますが、この先の文書はAVR32EA28/32/48デバイスだけを記述します。

表2. 周辺機能概要

機能項目	型番	AVR64EA28 AVR32EA28 AVR16EA28	AVR64EA32 AVR32EA32 AVR16EA32	AVR64EA48 AVR32EA48 AVR16EA48
ピン数		28	32	48
最大動作周波数 (MHz)		20		
16ビット タイマ/カウンタA型 (TCA)		2		
16ビット タイマ/カウンタB型 (TCB)		4		
実時間計数器 (RTC)		1		
USART/SPI主装置		3		
SPI主装置/従装置		1		
TWI/I²C	(注1)	1		
12ビット差動ADC (チャネル数)		1 (20)	1 (24)	1 (28)
10ビットDAC		1		
アナログ比較器 (AC)		2		
構成設定可能な注文論理回路 (CCL) (LUT数)		4		
ウォッチドッグ タイマ (WDT)		1		
事象システム チャネル数		6		
汎用入出力 (GPIO) (入力数/出力数)	(注2)	24/23	28/27	42/41
ポート		PA7～0 PC3～0 PD7～0 PF7,6,1,0	PA7～0 PC3～0 PD7～0 PF7～0	PA7～0 PB5～0 PC7～0 PD7～0 PE3～0 PF7～0
外部割り込み		24	28	42
CRC走査 (CRCSCAN)		1		
統一プログラム/デバッグ インターフェース (UPDI)		1		

注1: TWI/I²Cは異なるピンで主装置と従装置として同時に動かすことができます。

注2: PF6/$\overline{\text{RESET}}$ピンは入力専用です。

© 2023 Microchip Technology Inc.とその子会社

特徴

- AVR® CPU
  - 最大20MHzで走行
  - 単一周期I/Oレジスタ アクセス
  - 2段階の割り込み制御器
  - 2周期ハードウェア乗算器
  - 供給電圧範囲：1.8～5.5V
- メモリ
  - 真の書き込み中の読み込み動作を持つ実装書き換え可能な32Kバイト(16K語)のフラッシュ メモリ
  - 4KバイトのSRAM
  - 512バイトのEEPROM
  - チップ消去間もデータを保持してデバイスが施錠中でも書くことができる不揮発性メモリ内の64バイトの使用者列
  - 書き込み/消去耐久性
    - フラッシュ：メモリ 10,000回
    - EEPROM：100,000回
  - データ保持力：55℃で40年
- システム
  - 電源ONリセット(POR)回路
  - 使用者設定可能な基準を持つ低電圧検出器 (BOD)
  - BOD基準を超える設定可能な基準での割り込みを持つ用者設定可能な基準を持つ電圧水準監視部 (VLM)
  - クロック障害検出 (CFD)
  - クロック任意選択
    - 20MHzまで選択可能な周波数を持つ高精度内部高周波数発振器 (OSCHF)
      - 内部発振器精度を改善する自動調整
    - 内部超低電力32.768kHz発振器 (OSC32K)
    - 外部32.768kHzクリスタル用発振器 (XOSC32K)
    - 外部クロック入力
    - クロック障害検出を持つ外部高周波数クリスタル用発振器 (XOSCHF)
  - 単一ピンの統一プログラム/デバッグ インターフェース (UPDI)
  - 3つの休止動作形態
    - 即時起き上がりのために全ての周辺機能が走行しているアイドル
    - 選んだ周辺機能の構成設定可能な動作を持つスタンバイ
    - 完全なデータ保持力を持つパワーダウン
- 周辺機能
  - PWMと波形生成用に3つの比較チャネルを持つ2つの16ビット タイマ/カウンタA型 (TCA)
  - 捕獲と信号測定用に捕獲入力を持つ4つの16ビット タイマ/カウンタB型 (TCB)
  - 外部クリスタルまたは内部発振器で走行することができる1つの16ビット実時間計数器 (RTC)
  - 分数ボーレート生成器、自動ボーレート、フレーム開始検出を持つ3つのUSART
  - 1つの主装置/従装置直列周辺インターフェース (SPI)
  - 2重アドレス一致を持つ1つの2線インターフェース (TWI)
    - 独立した主装置と従装置の動作 (2元動作)
    - Philips I^2C互換
    - 標準動作 (Sm, 100kHz)
    - 高速動作 (Fm, 400kHz)
    - 高速動作プラス (Fm+, 1MHz)
  - CPUから独立して予測可能な周辺機能相互合図用の事象システム
  - 最大4つの設定可能な参照表(LUT)を持つ構成設定可能な注文論理回路 (CCL)
  - 12ビット、375kspsの1つの差動A/D変換器 (ADC)
    - 入力信号で1～16倍の利得の設定可能な利得増幅器(PGA)を内包
  - 1つの10ビットD/A変換器 (DAC)
  - 窓比較機能を持つ2つのアナログ比較器 (AC)
  - 多数の電圧参照基準
    - 1.024V
    - 2.048V
    - 2.500V
    - 4.096V
    - VREFA
    - VDD
  - 自動化された巡回冗長検査(CRC)フラッシュ プログラム メモリ走査
  - 窓動作と独立したチップ上発振器を持つウォッチドッグ タイマ (WDT)

© 2023 Microchip Technology Inc.とその子会社

  - 全ての汎用ﾋﾟﾝでの外部割り込み
- I/Oと外囲器
  - 24～42本の設定可能なI/Oﾋﾟﾝ
  - 28ﾋﾟﾝのSPDIP、28ﾘｰﾄﾞのSSOP、28ﾊﾟｯﾄﾞのVQFN 4×4mm
  - 32ﾊﾟｯﾄﾞのVQFN 5×5mmと32ﾘｰﾄﾞのTQFP 7×7mm
  - 48ﾊﾟｯﾄﾞのVQFN 6×6mmと48ﾘｰﾄﾞのTQFP 7×7mm
- 温度範囲
  - 工業：周囲 -40～85℃
  - 拡張：周囲 -40～125℃

© 2023 Microchip Technology Inc.とその子会社

目次

序説 1
系統概要 1
メモリ概要 2
周辺機能概要 2
特徴 3
1. 構成図 8
2. ピン配置 9
2.1. 28ピンSPDIP・28リードSSOP 9
2.2. 28パッドVQFN 9
2.3. 32パッドVQFN・32リードTQFP 10
2.4. 48パッドVQFN・48リードTQFP 10
3. 入出力多重化と考察 11
3.1. 入出力多重化 11
4. ハードウェアの指針 12
4.1. 一般的な指針 12
4.2. 電源用接続 12
4.3. RESET用接続 13
4.4. UPDIプログラミング用接続 13
4.5. 外部クリスタル発振子接続 14
4.6. 外部基準電圧接続 15
5. 電力区域 16
5.1. 電源投入 16
6. 規定 17
6.1. 数字表記法 17
6.2. メモリの大きさと形式 17
6.3. 周波数と時間 17
6.4. レジスタとビット 18
6.5. ADCパラメータ定義 19
7. AVR® CPU 20
7.1. 特徴 20
7.2. 概要 20
7.3. 基本構成 20
7.4. 機能的な説明 21
7.5. レジスタ要約 24
7.6. レジスタ説明 25
8. メモリ 27
8.1. 概要 27
8.2. メモリ配置 27
8.3. 実装書き換え可能なフラッシュ プログラム メモリ 27
8.4. SRAMデータ メモリ 28
8.5. EEPROMデータ メモリ 28
8.6. USERROW – 使用者列 28
8.7. LOCK – メモリ領域アクセス保護 28
8.8. FUSE – 構成設定と使用者のヒューズ 30
8.9. SIGROW – 識票列 35
8.10. I/Oメモリ 37
9. GPR – 汎用レジスタ 38
9.1. レジスタ要約 39
9.2. レジスタ説明 40
10. 周辺機能と基本構造 41
10.1. 周辺機能アドレス配置 41
10.2. 割り込みベクタ配置 42
10.3. SYSCFG – システム構成設定 43
11. NVMCTRL – 不揮発性メモリ制御器 44
11.1. 特徴 44
11.2. 概要 44
11.3. 機能的な説明 44
11.4. レジスタ要約 51
11.5. レジスタ説明 52
12. CLKCTRL – クロック制御器 56
12.1. 特徴 56
12.2. 概要 56
12.3. 機能的な説明 57
12.4. レジスタ要約 62
12.5. レジスタ説明 63
13. SLPCTRL – 休止制御器 70
13.1. 特徴 70
13.2. 概要 70
13.3. 機能的な説明 70
13.4. レジスタ要約 73
13.5. レジスタ説明 74
14. RSTCTRL – リセット制御器 75
14.1. 特徴 75
14.2. 概要 75
14.3. 機能的な説明 75
14.4. レジスタ要約 78
14.5. レジスタ説明 79
15. CPUINT – CPU割り込み制御器 80
15.1. 特徴 80
15.2. 概要 80
15.3. 機能的な説明 80
15.4. レジスタ要約 84
15.5. レジスタ説明 85
16. EVSYS – 事象システム 87
16.1. 特徴 87
16.2. 概要 87
16.3. 機能的な説明 88
16.4. レジスタ要約 91
16.5. レジスタ説明 92
17. PORTMUX – ポート多重化器 95
17.1. 概要 95
17.2. レジスタ要約 96
17.3. レジスタ説明 97
18. PORT – I/Oピン構成設定 100
18.1. 特徴 100
18.2. 概要 100
18.3. 機能的な説明 101
18.4. レジスタ要約 – PORTx 104
18.5. レジスタ説明 – PORTx 105
18.6. レジスタ要約 – VPORTx 112
18.7. レジスタ説明 – VPORTx 113
19. BOD – 低電圧検出器 115
19.1. 特徴 115
19.2. 概要 115
19.3. 機能的な説明 115
19.4. レジスタ要約 117
20.5. レジスタ説明 118
20. VREF – 基準電圧 121
20.1. 特徴 121
20.2. 概要 121
20.3. 機能的な説明 121
20.4. レジスタ要約 122
20.5. レジスタ説明 123
21. WDT – ウォッチドッグ タイマ 124

© 2023 Microchip Technology Inc.とその子会社

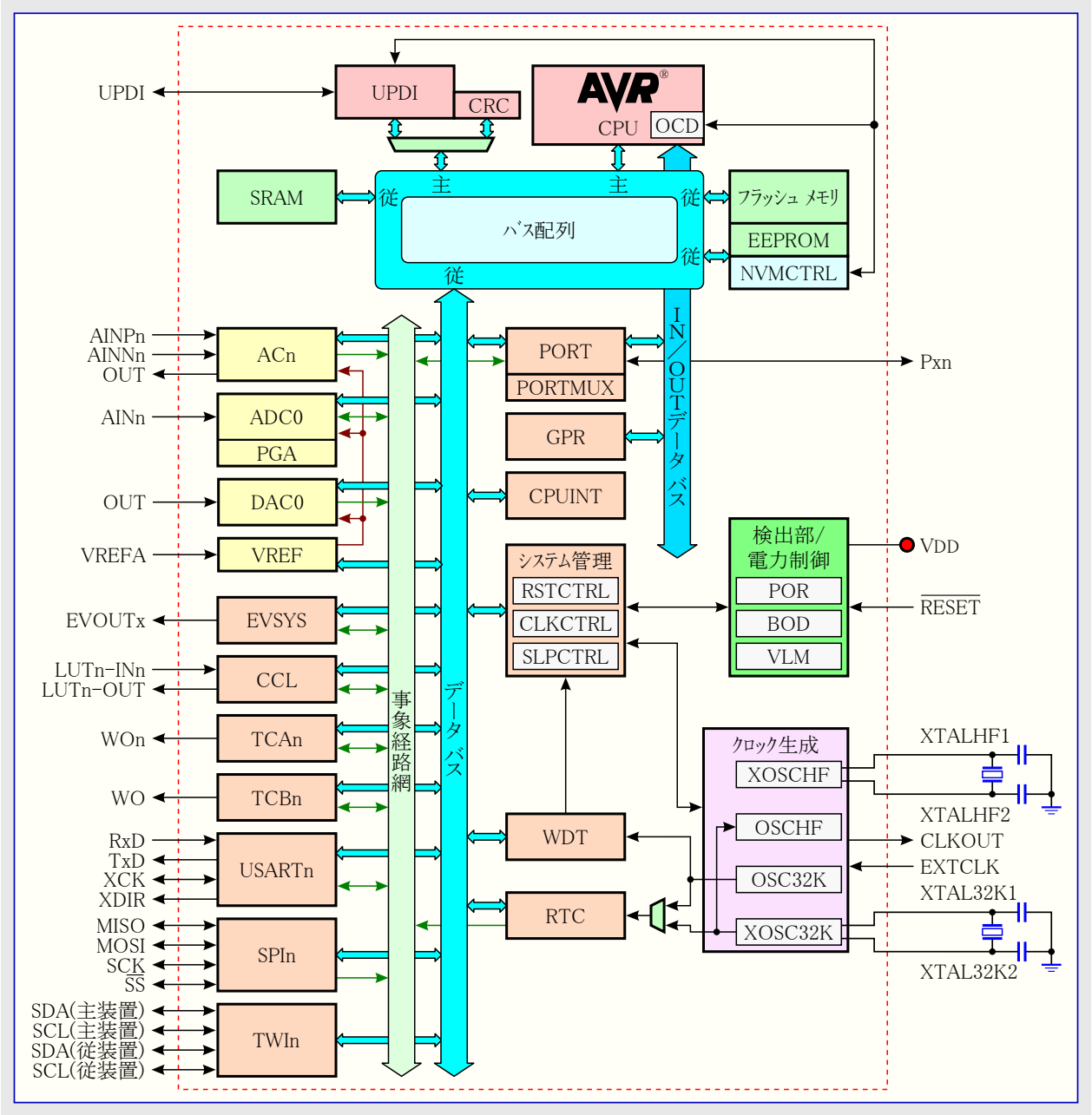
21.1. 特徴 ····· 124
21.2. 概要 ····· 124
21.3. 機能的な説明 ····· 124
21.4. レジスタ要約 ····· 127
21.5. レジスタ説明 ····· 128
22. TCA – 16ビット タイマ/カウンタA型 ····· 129
22.1. 特徴 ····· 129
22.2. 概要 ····· 129
22.3. 機能的な説明 ····· 131
22.4. レジスタ要約 – 標準動作 ····· 138
22.5. レジスタ説明 – 標準動作 ····· 139
22.6. レジスタ要約 – 分割動作 ····· 148
22.7. レジスタ説明 – 分割動作 ····· 149
23. TCB – 16ビット タイマ/カウンタB型 ····· 155
23.1. 特徴 ····· 155
23.2. 概要 ····· 155
23.3. 機能的な説明 ····· 156
23.4. レジスタ要約 ····· 161
23.5. レジスタ説明 ····· 162
24. RTC – 実時間計数器 ····· 167
24.1. 特徴 ····· 167
24.2. 概要 ····· 167
24.3. クロック ····· 167
24.4. RTCの機能的な説明 ····· 168
24.5. PITの機能的な説明 ····· 168
24.6. クリスタル誤差修正 ····· 169
24.7. 事象 ····· 169
24.8. 割り込み ····· 170
24.9. 休止形態動作 ····· 170
24.10. 同期 ····· 170
24.11. デバッグ操作 ····· 170
24.12. レジスタ要約 ····· 171
24.13. レジスタ説明 ····· 172
25. USART – 万能同期非同期送受信器 ····· 179
25.1. 特徴 ····· 179
25.2. 概要 ····· 179
25.3. 機能的な説明 ····· 180
25.4. レジスタ要約 ····· 189
25.5. レジスタ説明 ····· 190
26. SPI – 直列周辺インターフェース ····· 199
26.1. 特徴 ····· 199
26.2. 概要 ····· 199
26.3. 機能的な説明 ····· 200
26.4. レジスタ要約 ····· 206
26.5. レジスタ説明 ····· 207
27. TWI – 2線インターフェース ····· 211
27.1. 特徴 ····· 211
27.2. 概要 ····· 211
27.3. 機能的な説明 ····· 212
27.4. レジスタ要約 ····· 220
27.5. レジスタ説明 ····· 221
28. CRCSCAN – 巡回冗長検査メモリ走査 ···· 231
28.1. 特徴 ····· 231
28.2. 概要 ····· 231
28.3. 機能的な説明 ····· 231
28.4. レジスタ要約 ····· 234
28.5. レジスタ説明 ····· 235
29. CCL – 構成設定可能な注文論理回路 ··· 237
29.1. 特徴 ····· 237
29.2. 概要 ····· 237
29.3. 機能的な説明 ····· 238
29.4. レジスタ要約 ····· 243
29.5. レジスタ説明 ····· 244
30. AC – アナログ比較器 ····· 248
30.1. 特徴 ····· 248
30.2. 概要 ····· 248
30.3. 機能的な説明 ····· 249
30.4. レジスタ要約 ····· 251
30.5. レジスタ説明 ····· 252
31. ADC – A/D変換器 ····· 255
31.1. 特徴 ····· 255
31.2. 概要 ····· 255
31.3. 機能的な説明 ····· 256
31.4. レジスタ要約 ····· 266
31.5. レジスタ説明 ····· 267
32. DAC – D/A変換器 ····· 277
32.1. 特徴 ····· 277
32.2. 概要 ····· 277
32.3. 機能的な説明 ····· 277
32.4. レジスタ要約 ····· 279
32.5. レジスタ説明 ····· 280
33. UPDI – 統一プログラム/デバッグ インターフェース · 281
33.1. 特徴 ····· 281
33.2. 概要 ····· 281
33.3. 機能的な説明 ····· 283
33.4. レジスタ要約 ····· 297
33.5. レジスタ説明 ····· 298
34. 命令一式要約 ····· 302
35. 電気的特性 ····· 303
35.1. お断り ····· 303
35.2. 絶対最大定格 ····· 303
35.3. 標準動作条件 ····· 303
35.4. 供給電圧 ····· 304
35.5. 消費電力 ····· 305
35.6. 周辺機能消費電力 ····· 306
35.7. 入出力ピン ····· 307
35.8. メモリ プログラミング仕様 ····· 308
35.9. 温度仕様 ····· 308
35.10. CLKCTRL ····· 309
35.11. RSTCTRLとBOD ····· 311
35.12. VREF ····· 311
35.13. USART ····· 312
35.14. SPI ····· 312
35.15. TWI ····· 314
35.16. DAC ····· 315
35.17. ADC ····· 315
35.18. AC ····· 316
35.19. UPDI ····· 317
36. 特性図 ····· 318
37. 注文情報 ····· 319
38. 外囲器図 ····· 320
38.1. オンライン外囲器図 ····· 320
38.2. 外囲器表示情報 ····· 320
38.3. 28ピンSPDIP ····· 322
38.4. 28リードSSOP ····· 323
38.5. 28パッドVQFN ····· 324
38.6. 28パッドVQFN 濡れ性側面 ····· 325
38.7. 32リードTQFP ····· 326

© 2023 Microchip Technology Inc.とその子会社

38.7. 32ﾊﾟｯﾄﾞVQFN ····· 327
38.8. 32ﾊﾟｯﾄﾞVQFN 濡れ性側面 ····· 328
38.9. 48ﾘｰﾄﾞTQFP ····· 329
38.10. 48ﾊﾟｯﾄﾞVQFN ····· 330
38.11. 48ﾊﾟｯﾄﾞVQFN 濡れ性側面 ····· 331
39. 障害情報 ····· 332
40. ﾃﾞｰﾀｼｰﾄ改訂履歴 ····· 335
40.1. 改訂A – 2023年5月 ····· 335
Microchip情報 ····· 336
Microchipｳｪﾌﾞ ｻｲﾄ ····· 336
製品変更通知ｻｰﾋﾞｽ ····· 336
お客様支援 ····· 336
製品識別ｼｽﾃﾑ ····· 336
Microchipﾃﾞﾊﾞｲｽ ｺｰﾄﾞ保護機能 ····· 336
法的通知 ····· 337
商標 ····· 337
品質管理ｼｽﾃﾑ ····· 337
世界的な販売とｻｰﾋﾞｽ ····· 338

© 2023 Microchip Technology Inc.とその子会社

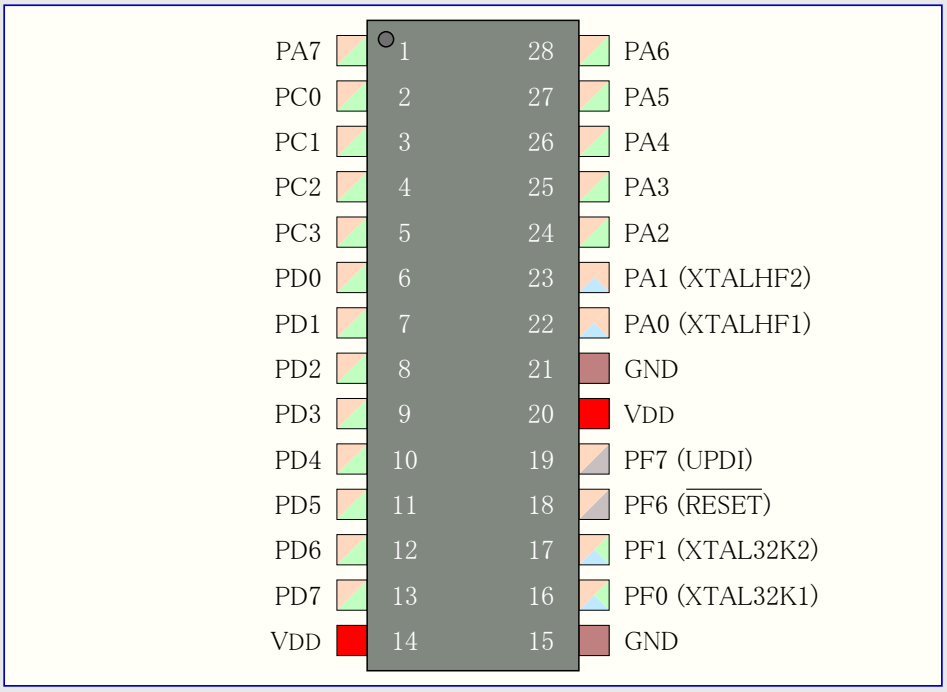
1. 構成図



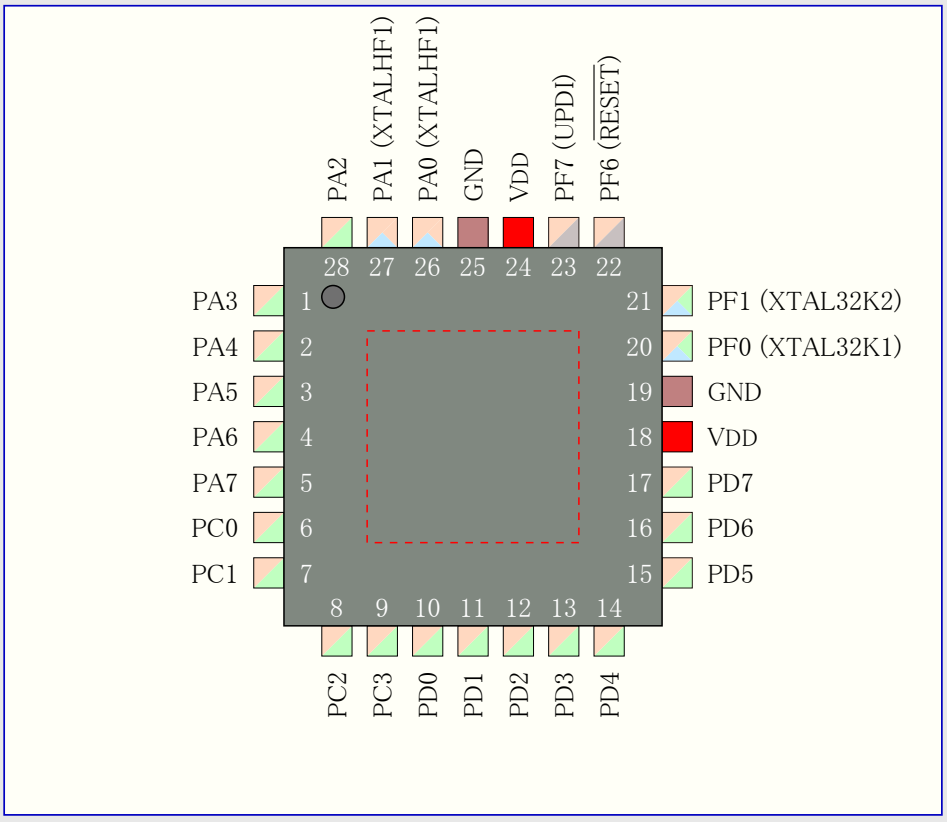
© 2023 Microchip Technology Inc.とその子会社

2. ピン配置

2.1. 28ピンSPDIP・28リードSSOP

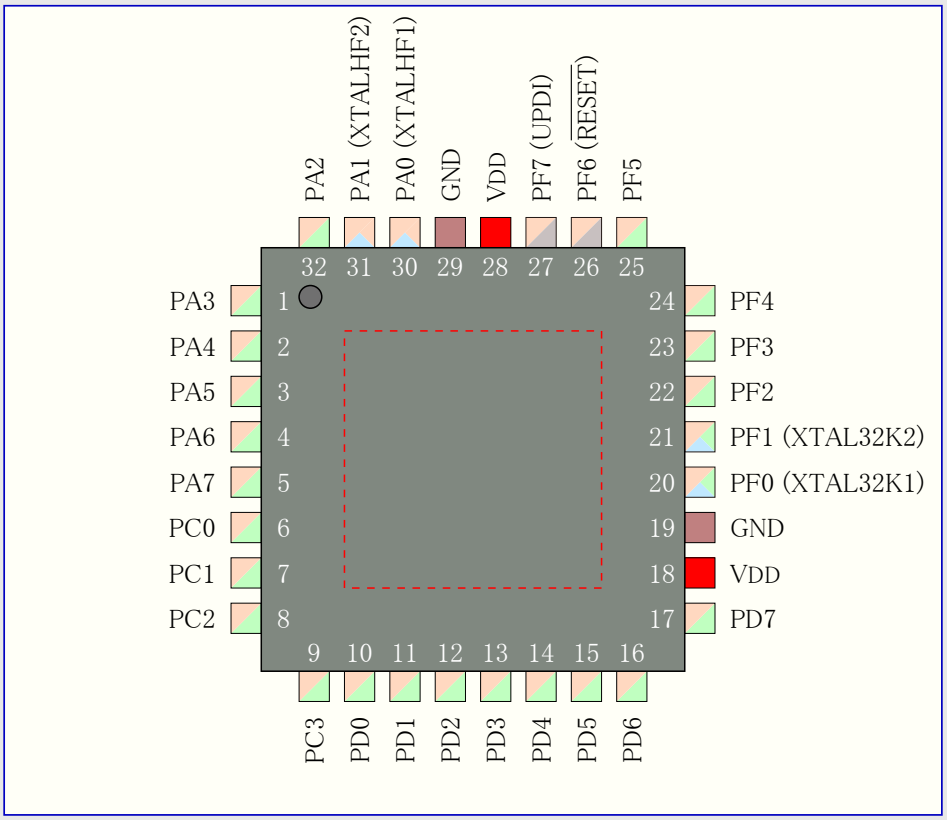


2.2. 28パッドVQFN



© 2023 Microchip Technology Inc.とその子会社

2.3. 32パッドVQFN・32リードTQFP



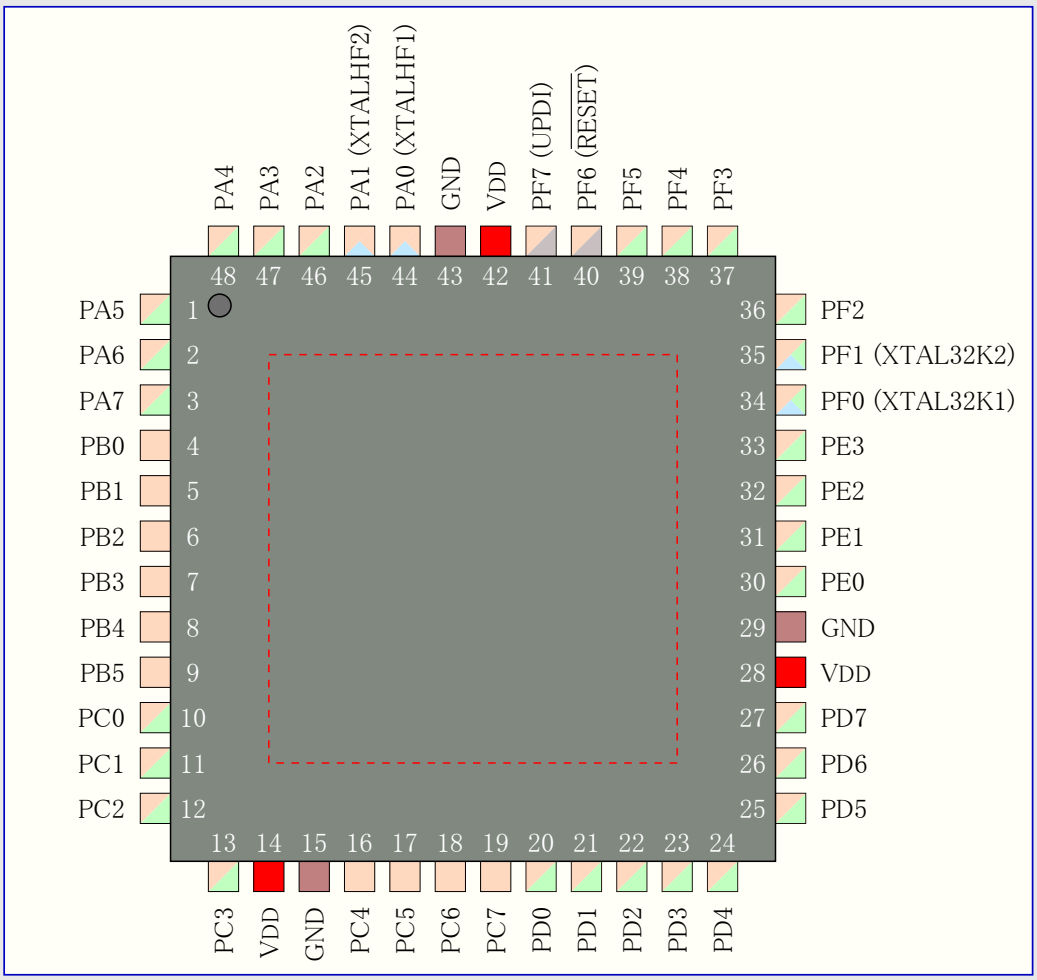
電力

- 電源
- 接地
- VDD電力領域のピン

特殊機能

- プログラミング、デバッグ
- クロック、クリスタル
- GPIO (デジタル機能専用)
- GPIO、アナログ機能

2.4. 48パッドVQFN・48リードTQFP



電力

- 電源
- 接地
- VDD電力領域のピン

機能

- プログラミング、デバッグ
- クロック、クリスタル
- GPIO (デジタル機能専用)
- GPIO、アナログ機能

© 2023 Microchip Technology Inc.とその子会社

3. 入出力多重化と考察

3.1. 入出力多重化

表3-1. ポート機能多重化 (注2)

VQFN48/TQFP48	VQFN32/TQFP32	VQFN28	SPDIP28/SSOP28	ピン名 (注1)	特殊	ADC0	ACn	DAC0	UARTn	SPI0	TWI0 (注3)	TCAn	TCBn	CCL-LUTn	EVSYS
44	30	26	22	PA0	XTALHF1 EXTCLK				0,TxD	MOSI	SDA(MS)	0,WO0		0,IN0	
45	31	27	23	PA1	XTALHF2				0,RxD	MISO	SCL(MS)	0,WO1		0,IN1	
46	32	28	24	PA2		AIN22			0,XCK・0,TxD		SDA(MS)	0,WO2	0,WO	0,IN2	EVOUTA
47	1	1	25	PA3		AIN23			0,XDIR・0,RxD		SCL(MS)	0,WO3	1,WO	0,OUT	
48	2	2	26	PA4		AIN24			0,TxD	MOSI		0,WO4・1,WO0			
1	3	3	27	PA5		AIN25			0,RxD	MISO		0,WO5・1,WO1			
2	4	4	28	PA6		AIN26			0,XCK	SCK		1,WO2		0,OUT	
3	5	5	1	PA7	CLKOUT	AIN27	0,OUT・1,OUT		0,XDIR	$\overline{SS}$					EVOUTA
4	–	–	–	PB0								0,WO0・1,WO0			
5	–	–	–	PB1								0,WO1・1,WO1			
6	–	–	–	PB2								0,WO2・1,WO2			EVOUTB
7	–	–	–	PB3								0,WO3・1,WO3			
8	–	–	–	PB4								0,WO4・1,WO4	2,WO		
9	–	–	–	PB5								0,WO5・1,WO5	3,WO		
10	6	6	2	PC0		AIN28			1,TxD	SCK・MOSI		0,WO0	2,WO	1,IN0	
11	7	7	3	PC1		AIN29			1,RxD・0,TxD	$\overline{SS}$・MISO・MOSI		0,WO1	3,WO	1,IN1	
12	8	8	4	PC2		AIN30	0,AINN3・1,AINN3		1,XCK・0,RxD	SCK・MISO	SDA(S)・SDA(MS)	0,WO2		1,IN2	EVOUTC
13	9	9	5	PC3		AIN31	0,AINP4・1,AINP4		1,XDIR・0,XCK	$\overline{SS}$・SCK	SCL(S)・SCL(MS)	0,WO3		1,OUT	
14	–	–	–	VDD											
15	–	–	–	GND											
16	–	–	–	PC4					1,TxD			0,WO4・1,WO0			
17	–	–	–	PC5					1,RxD			0,WO5・1,WO1			
18	–	–	–	PC6			0,OUT・1,OUT		1,XCK		SDA(S)	1,WO2		1,OUT	
19	–	–	–	PC7					1,XDIR		SCL(S)				EVOUTC
20	10	10	6	PD0		AIN0	0,AINN1・1,AINN1					0,WO0		2,IN0	
21	11	11	7	PD1		AIN1						0,WO1		2,IN1	
22	12	12	8	PD2		AIN2	0,AINP0・1,AINP0					0,WO2		2,IN2	EVOUTD
23	13	13	9	PD3		AIN3	0,AINN0・1,AINP1					0,WO3		2,OUT	
24	14	14	10	PD4		AIN4	1,AINP2		0,TxD	MOSI		0,WO4・1,WO0			
25	15	15	11	PD5		AIN5	1,AINN0		0,RxD	MISO		0,WO5・1,WO1			
26	16	16	12	PD6		AIN6	0,AINP3・1,AINP3	OUT	0,XCK・1,TxD	SCK		1,WO2		2,OUT	
27	17	17	13	PD7	VREFA	AIN7	0,AINN2・1,AINN2		0,XDIR・1,RxD	$\overline{SS}$					EVOUTD
28	18	18	14	VDD											
29	19	19	15	GND											
30	–	–	–	PE0		AIN8	0,AINP1			MOSI		0,WO0			
31	–	–	–	PE1		AIN9				MISO		0,WO1			
32	–	–	–	PE2		AIN10	0,AINP2			SCK		0,WO2			EVOUTE
33	–	–	–	PE3		AIN11				$\overline{SS}$		0,WO3			
34	20	20	16	PF0	XTAL32K1	AIN16			2,TxD			0,WO0		3,IN0	
35	21	21	17	PF1	XTAL32K2	AIN17			2,RxD			0,WO1		3,IN1	
36	22	–	–	PF2		AIN18			2,XCK			0,WO2		3,IN2	EVOUTF
37	23	–	–	PF3		AIN19			2,XDIR			0,WO3		3,OUT	
38	24	–	–	PF4		AIN20			2,TxD			0,WO4	0,WO		
39	25	–	–	PF5		AIN21			2,RxD			0,WO5	1,WO		
40	26	22	18	PF6	$\overline{RESET}$/HV										
41	27	23	19	PF7	UPDI					$\overline{SS}$					EVOUTF
42	28	24	20	VDD											
43	29	25	21	GND											

注1: ピン名はポートの実体(A,B,C,～)となるxとピン番号のnを持つPxn形式です。信号の表記法はPORTx_PINnです。全てのピンを事象入力として使うことができます。

注2: 赤文字は代替ピン位置。代替位置選択についてはポート多重器(PORTMUX)章を参照してください。

注3: 主装置または従装置として使えるTWIピンはMで記されます。従装置専用ピンはSで記されます。

© 2023 Microchip Technology Inc.とその子会社

4. ﾊｰﾄﾞｳｪｱの指針

本章はAVR 8ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗを使って電気的な回路図を設計して再検討するための指針を含みます。ここで提示される情報は最も一般的な話題の簡単な概要です。より詳細な情報は本章の該当箇所で一覧にされる応用記述で見つけることができます。

本章は以下の話題を網羅します。

- 一般的な指針
- 電源用接続
- RESET用接続
- UPDI (統一ﾌﾟﾛｸﾞﾗﾑ/ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ)用接続
- 外部ｸﾘｽﾀﾙ発振子接続
- VREF(外部基準電圧)接続

4.1. 一般的な指針

未使用ﾋﾟﾝはそれら各々に半田付けﾊﾟｯﾄﾞに半田付けされなければなりません。半田付けﾊﾟｯﾄﾞは回路に接続されてはなりません。

ﾎﾟｰﾄ ﾋﾟﾝはﾘｾｯﾄ後にそれらの既定状態です。消費電力を減らすには「PORT - I/Oﾋﾟﾝ構成設定」章の推奨に従ってください。

全ての値は代表値で、回路設定に対する開始点としてだけ扱います。

更なる情報については以下の応用記述を参照してください。

- AVR040 - 電磁適合性(EMC)設計の考察
- AVR042 - ﾊｰﾄﾞｳｪｱ設計の考察

4.1.1. 中央ﾊﾟｯﾄﾞ付き外囲器に対する特別な考慮

平板外囲器はしばしば裏に配置された露出ﾊﾟｯﾄﾞを備え、しばしば中央ﾊﾟｯﾄﾞまたは放熱ﾊﾟｯﾄﾞとして参照されます。このﾊﾟｯﾄﾞは電気的にﾁｯﾌﾟの内部回路に接続されませんが、機械的に内部基材に接合されます。それは放熱材として扱うだけでなく、機械的な安定性の追加も提供します。このﾊﾟｯﾄﾞは接地面が印刷回路基板(PCB)の最良の放熱基材(最大の銅箔領域)のため、GNDに接続されなければなりません。

4.2. 電源用接続

電源設計の基本と詳細はこれらの指針の範囲の向こう側にあります。この題目についてより多くの詳細な情報に関してはこの章の始めで言及した応用記述をご覧ください。

雑音分離(ﾃﾞｶｯﾌﾟ)ｺﾝﾃﾞﾝｻは各供給ﾋﾟﾝ対(VDDまたは他の電力供給ﾋﾟﾝとそれに対応するGNDﾋﾟﾝ)に対してﾏｲｸﾛ ｺﾝﾄﾛｰﾗの近くに配置されなければなりません。雑音分離ｺﾝﾃﾞﾝｻがﾏｲｸﾛ ｺﾝﾄﾛｰﾗから遠すぎる場所に配置される場合、雑音の増加と放射妨害波の増加に帰着する高電流閉路を形成するかもしれません。

各供給ﾋﾟﾝ対(電力入力ﾋﾟﾝと接地ﾋﾟﾝ)は独立した雑音分離ｺﾝﾃﾞﾝｻを持たなければなりません。

雑音分離ｺﾝﾃﾞﾝｻをﾏｲｸﾛ ｺﾝﾄﾛｰﾗと同じPCBの側に配置することが推奨されます。空間がそれを許さない場合、ﾋﾞｱを通して他の側に雑音分離ｺﾝﾃﾞﾝｻを配置することができますが、供給ﾋﾟﾝとの距離が可能な限り短く保つことを確実にしてください。

基板が(数10MHz以上の)高周波数雑音を経験している場合、上で記述した雑音分離ｺﾝﾃﾞﾝｻと並列に第2のｾﾗﾐｯｸ型ｺﾝﾃﾞﾝｻを追加してください。この第2のｺﾝﾃﾞﾝｻを主雑音分離ｺﾝﾃﾞﾝｻの傍らに配置してください。

電源回路からの基板配置で、最初に雑音分離ｺﾝﾃﾞﾝｻへの電力と戻りの布線を、その後にﾃﾞﾊﾞｲｽのﾋﾟﾝへ走らせ、雑音分離ｺﾝﾃﾞﾝｻが電力連鎖で最初になることを保証してください。同様にｺﾝﾃﾞﾝｻと電力ﾋﾟﾝ間の布線長を最短に保ち、それによってPCB布線ｲﾝﾀﾞｸﾀﾝｽを減らすことが重要です。

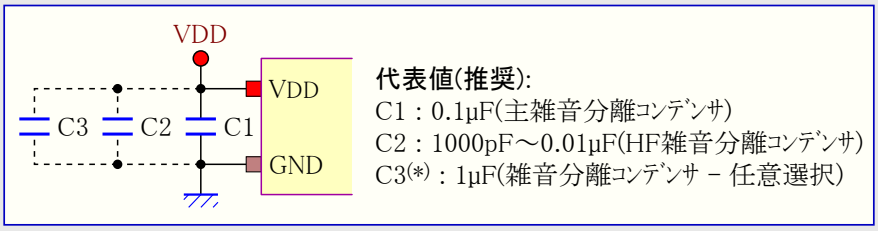
本章の始めで言及したように、例で使われる全ての値は代表値です。実際の設計は他の値を必要とするかもしれません。

4.2.1. ﾃﾞｼﾞﾀﾙ電源

より多ﾋﾟﾝ数の外囲器型についてはいくつかのVDDﾋﾟﾝと対応するGNDﾋﾟﾝがあります。ﾏｲｸﾛ ｺﾝﾄﾛｰﾗの全てのVDDﾋﾟﾝは内部的に接続されています。VDDﾋﾟﾝの各々に同じ電圧が印加されなければなりません。

右図はﾃﾞﾊﾞｲｽのVDDﾋﾟﾝへの推奨電源接続を示します。

図4-1. 推奨VDD接続回路図



重要: 頻繁にVDDをON/OFFする、または高速なVDD過渡応答を経験する系については電源のｽﾘｭｰﾚｰﾄ(上昇/下降速度)がｽﾘｭｰﾚｰﾄ限度を超える場合、雑音分離ｺﾝﾃﾞﾝｻ(C3)の追加が推奨されます。電源のｽﾘｭｰﾚｰﾄ限度については「電気的特性」で供給電圧部分を参照してください。

© 2023 Microchip Technology Inc.とその子会社

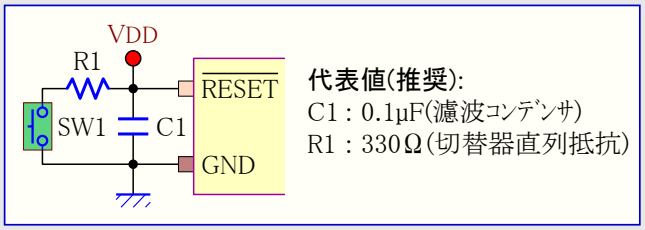
4.3. RESET用接続

デバイスのRESETピンは内部プルアップ抵抗付きLow活性で、ピンの外部的なLow引き込みはデバイスのリセットになります。外部プルアップ抵抗は通常必要とされません。

右図はデバイスへの外部リセット切替器接続の推奨を示します。

濾波コンデンサ短絡は系を害し得る尖頭雑音を発生するかもしれません。これを防ぐための切替器と直列の抵抗は濾波コンデンサを安全に放電することができ、サージ(瞬間大)電流を防ぎます。

図4-2. 推奨外部リセット回路の回路図



高電圧指定変更でのUPDI許可

RESETピンに高電圧を印加することによって禁止されたUPDIを許可することが可能です。こような高電圧パルスが印加されるかもしれない場合、リセット回路設計とRESETピンに接続されるどの部品にも注意してください。

より多くの詳細については「UPDIプログラミング用接続」項と「UPDI」章をご覧ください。

4.4. UPDIプログラミング用接続

統一プログラム/デバッグ インターフェース(UPDI)接続は外部プログラミングとチップ上デバッグ(OCD)用の単線インターフェースを提供します。本項は信号規約の詳細やUPDI周辺機能の機能ではなく、物理的な接続それ自身に関連します。これらの詳細は「UPDI」章で記述されます。

推奨UPDI接続はその最初の紹介から変更されました。この理由のため、両接続が以降で記述され、UPDI接続v1と名付けられた初期のUPDI接続配置図と同時に新しいUPDI接続配置図はUPDI接続v2と名付けられます。2つの接続間の違いはv2用接続でのRESET信号の内包です。

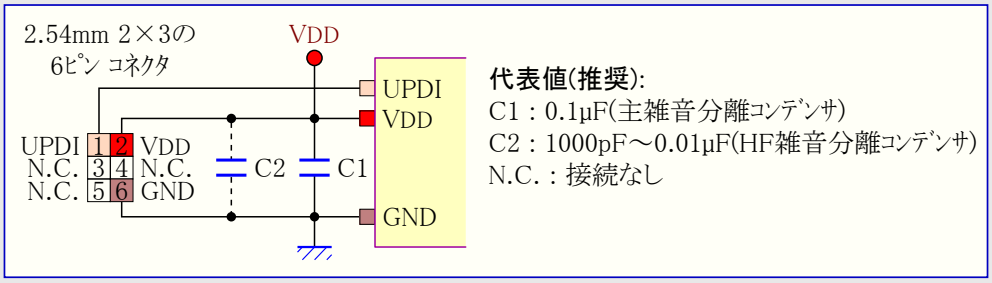
4.4.1. UPDI接続v1

これは(Atmel ICEのような)古いプログラミング ツールによって使われるUPDI接続用の初期配置図でした。

UPDI接続v1は100mil(2.54mm)2×3の6ピン ヘッダです。例えプログラミングに3つのピンだけを使うとしても、このコネクタを使う殆どのツールが100mil(2.54mm)2×3の6ピン コネクタで配給されるため、2×3ヘッダを使うことが推奨されます。

次図はUPDI接続v1を使うデバイスへのUPDI接続の推奨を示します。

図4-3. 推奨UPDIプログラミング回路の回路図



VDDとGND間の雑音分離コンデンサは可能な限りピン対の近くに配置されなければなりません。例えUPDIコネクタが回路内に含められなくても、雑音分離コンデンサを含めてください。

4.4.2. UPDI接続v2

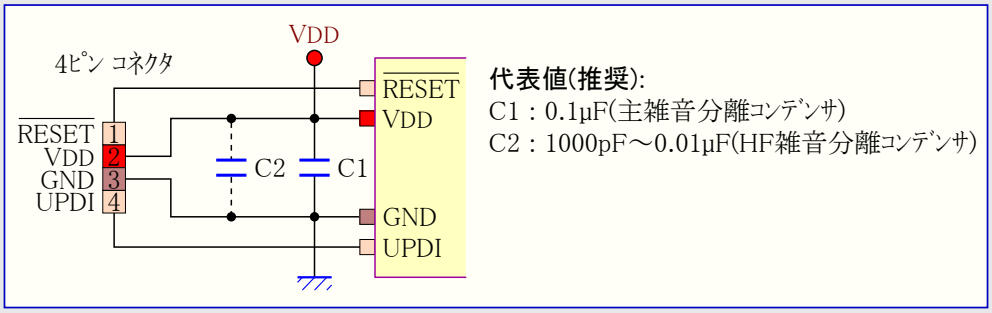
この接続はどのAVRデバイスにも対応しますが、100mil(2.54mm)2×3ヘッダを持つAtmel-ICEやAtmel Powerデバッカのような古い書き込み器/デバッガを持つ使用者に関して調整ケーブルを必要とします。この接続プログラミング ツールのPICkit 4™インサーキット デバッガに直接対応します。

UPDI接続v2は100mil(2.54mm)1×4の4ピン ヘッダです。例え多くのAVRデバイスをプログラミングするのに3つのピンで充分でも、含まれるべきRESET信号を許す100mil 1列4ピン ヘッダを使うことが推奨されます。これはPICkit 4書き込み器にも対応します。

次図はデバイスへUPDIコネクタを接続するための推奨を示します。

© 2023 Microchip Technology Inc.とその子会社

図4-4. 推奨UPDIプログラミング回路の回路図



VDDとGND間の雑音分離コンデンサは可能な限りピン対の近くに配置されなければなりません。例えUPDIコネクタが回路内に含められなくても、雑音分離コンデンサを含めてください。

RESETを使うUPDI許可

設計や誤りにより、適切なヒューズを書くことによってUPDIを禁止することが有り得ます。UPDI禁止の詳細については「メモリ」章の「FUSE」項をご覧ください。一部のデバイスについて、UPDIを禁止することができないことに注意してください。

UPDIを許可するにはRESETピンに高電圧パルスが印加されなければなりません。RESETピンへの高電圧パルス印加法の詳細については「UPDI」章をご覧ください。

RESETピンが他の部品に接続されている場合、回路の設計で追加の注意をしてください。RESETピンに高電圧パルスが印加される場合、この線に接続された他の部品が損傷するかもしれません。この場合、設計は高電圧パルスが印加される前に回路からそれらの部品の切断を許さなければなりません。これの一例は取り外し可能なジャンパで有り得ます。

注: 不変ブートを特徴とするデバイスでは、不変ブートが有効にされた後にRESETピンを使ってUPDIを再許可することはできません。

4.5. 外部クリスタル発振子接続

外部発振子の使用と発振器回路の設計はVDD、動作温度範囲、クリスタル型式と製造業者、負荷容量、回路配置とPCB材料のような多くの変数があるため重要です。基本的な発振器回路設計を手助けするいくつかの代表的な指針が本項で提示されます。

- 例え最良の性能の発振器回路と高品質のクリスタルでも、組立の間に使われる配置と材料が注意深く考慮されなければ、上手く行きません。
- クリスタル回路はデバイスと同じ基板の側に配置されなければなりません。クリスタル回路を可能な限り各々の発振器ピン近くに配置し、長い布線を避けてください。これは寄生容量を減らして雑音と漏話に対する耐性を増します。負荷容量を基板の同じ側でクリスタルの隣に配置してください。ソケットを使わないでください。
- 周辺回路から絶縁するためにクリスタル回路の周りに接地した銅箔領域を配置してください。回路基板が両面を持つなら、裏面層の銅箔領域はクリスタル回路を網羅するベタ領域でなければなりません。表面層の銅箔領域はクリスタル回路周辺でビアの使用によって裏面層に接続されなければなりません。
- 接地した銅箔領域の内側にどんな信号布線や電力布線も走らせないでください。クリスタル線の近くでのデジタル線、特にクロック線の配線を避けてください。
- 両面PCBを使う場合、クリスタルの下のどの配線も避けてください。多層PCBについてはクリスタル線の下の信号配線を避けてください。
- 塵や湿度は寄生容量を増やして信号絶縁を減らします。保護皮膜が推奨されます。
- 望まれるような発振器性能を保証するため、成功する発振器設計は良い動作条件の仕様、初期試験での部品選択段階、実際の動作条件での試験が必要とされます。

発振器と発振器回路設計についてより多くの詳細情報に関しては以下の応用記述をご覧ください。

- AN2648 – AVR®マイクロ コントローラ用32kHzクリスタルの選択と試験
- AN949 – 発振器を動かす

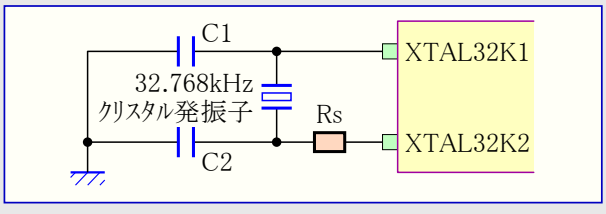
4.5.1. XTAL32K(外部32.768kHzクリスタル発振子)接続

超低電力32.768kHz発振器は一般的に1µWを大幅に下回って消費し、従って回路を流れる電流は極端に小さいです。クリスタル周波数は容量性負荷に大きく依存します。

発振器の過駆動を防ぐために直列抵抗(Rs)が必要とされるかもしれません。発振器駆動部での利得は低周波数発振子に対して時々高すぎるかもしれず、Rsでのインピーダンス追加で利得を下げることができます。過駆動は信号が飽和(切り取りまたは押し潰)されるため、発振器を正しくない振幅にさせます。クリスタルの過駆動は回路を高調波へ飛ばせることも有り得ます。

右図は外部32.768kHzクリスタル発振子を接続する方法を示します。

図4-5. 推奨外部32.768kHz発振子接続回路の回路図

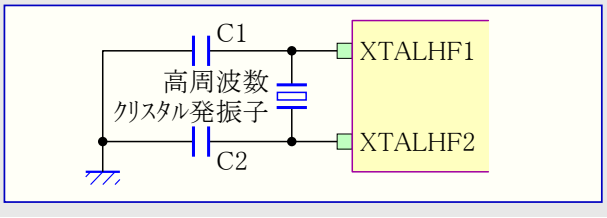


© 2023 Microchip Technology Inc.とその子会社

4.5.2. XTALHF(外部HFクリスタル発振子)接続

右図は外部高周波数クリスタル発振子を接続する方法を示します。

図4-6. 推奨外部高周波数発振子接続回路の回路図

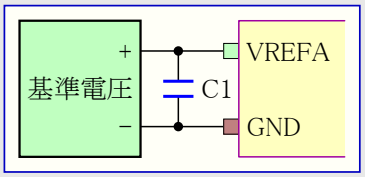


4.6. 外部基準電圧接続

設計が外部基準電圧の使用を含む場合、一般的な推奨は参照基準と並列に接続される適切なコンデンサを使うことです。参照基準の本質と濾波されるのが必要な電気的雑音の形式がコンデンサの値を与えます。

使われる外部参照基準電圧の形式に依存して追加の濾波部品が必要とされるかもしれません。

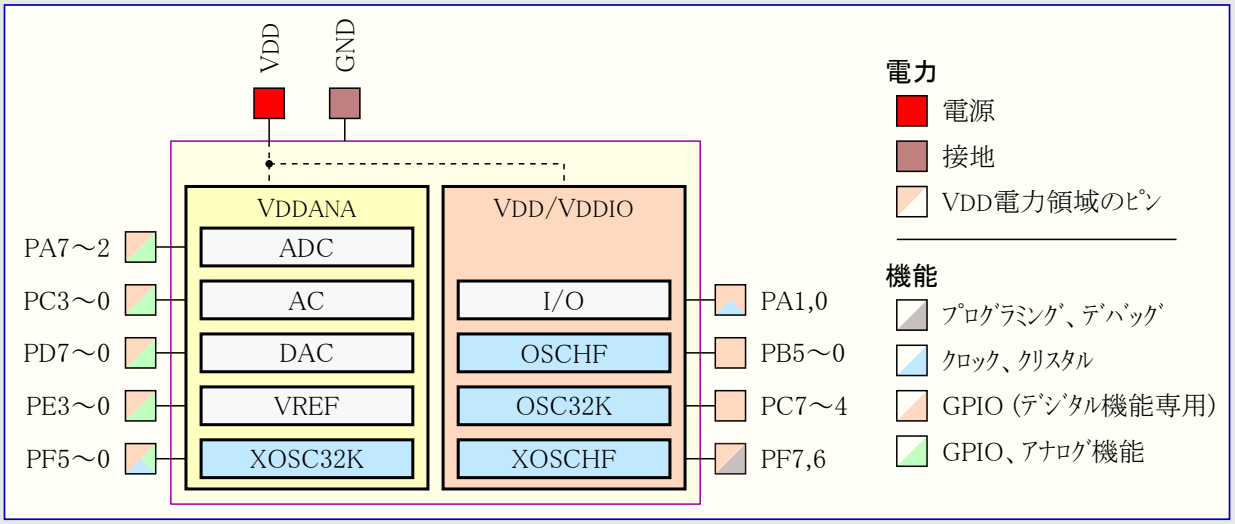
図4-7. 推奨外部基準電圧接続



© 2023 Microchip Technology Inc.とその子会社

5. 電力区域

図5-1. 電源区域概要



AVR® EA系統のﾃﾞﾊﾞｲｽは以下の電源ﾋﾟﾝでいくつかの電力区域を持ちます。

VDD/VDDIO	入出力線、OSCHF、OSC32K、XOSCHFに給電
VDDANA	入出力線、XOSC32K(外部32.768kHzｸﾘｽﾀﾙ用発振器)、ｱﾅﾛｸﾞ周辺機能に給電

全てのVDDﾋﾟﾝに同じ電圧が印加されなければなりません。

接地(GND)ﾋﾟﾝは同じ接地面に接続されなければなりません。

配置と雑音分離の推奨については「ﾊｰﾄﾞｳｪｱの指針」章を参照してください。

5.1. 電源投入

電源ONﾘｾｯﾄ(POR)と低電圧検出器(BOD)はVDDを監視し、電圧水準が各々の電圧閾値未満の場合に系をﾘｾｯﾄに保ちます。更なる情報については「RSTCTRL – ﾘｾｯﾄ制御器」と「BOD – 低電圧検出器」の章を参照してください。

電圧閾値と供給電圧傾斜の更なる情報については「電気的特性」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

6. 規定

6.1. 数字表記法

表6-1. 数字表記法

ｼﾝﾎﾞﾙ	説明
165	10進数値
0b0101	2進数値 (**訳注**:本書ではCｺｰﾄﾞ例内以外では不使用)
‘0101’	明白な場合に接頭辞で与えられる2進数値 (**訳注**:本書では基本的に赤文字で表現)
0x3B24	16進数値 (**訳注**:本書ではCｺｰﾄﾞ例内以外では不使用、代わりに$接頭辞で「$3B24」形式で表記)
x	未知またはどうでもよい値を表す。
Z	信号またはﾊﾞｽのどちらかに対して高ｲﾝﾋﾟｰﾀﾞﾝｽ(浮き)状態を表す。(**訳注**:本書では「Hi-Z」と表記)

6.2. ﾒﾓﾘの大きさと形式

表6-2. ﾒﾓﾘの大きさとﾋﾞｯﾄ速度

ｼﾝﾎﾞﾙ	説明
Kﾊﾞｲﾄ	ｷﾛ ﾊﾞｲﾄ (2^{10}=1024ﾊﾞｲﾄ)
Mﾊﾞｲﾄ	ﾒｶﾞ ﾊﾞｲﾄ (2^{20}=1024Kﾊﾞｲﾄ)
Gﾊﾞｲﾄ	ｷﾞｶﾞ ﾊﾞｲﾄ (2^{30}=1024Mﾊﾞｲﾄ)
b	ﾋﾞｯﾄ (2進数値の’0’または’1’) (**訳注**:本書では基本的に不使用、直接「ﾋﾞｯﾄ」と表記)
B	ﾊﾞｲﾄ (8ﾋﾞｯﾄ) (**訳注**:本書では基本的に不使用、直接「ﾊﾞｲﾄ」と表記)
1kﾋﾞｯﾄ/s	1,000ﾋﾞｯﾄ/s速度 (1,024ﾋﾞｯﾄ/sではない)
1Mﾋﾞｯﾄ/s	1,000,000ﾋﾞｯﾄ/s速度
1Gﾋﾞｯﾄ/s	1,000,000,000ﾋﾞｯﾄ/s速度
word	16ﾋﾞｯﾄ (**訳注**:本書では「語」と表記)

6.3. 周波数と時間

表6-3. 周波数と時間

ｼﾝﾎﾞﾙ	説明
kHz	1kHz=10^3Hz=1,000Hz
MHz	1MHz=10^6Hz=1,000,000Hz
GHz	1GHz=10^9Hz=1,000,000,000Hz
ms	1ms=10^{-3}s=0.001秒
µs	1µs=10^{-6}s=0.000001秒
ns	1ns=10^{-9}s=0.000000001秒

© 2023 Microchip Technology Inc.とその子会社

6.4. レジスタとビット

表6-4. レジスタとビットの簡略記法

シンボル	説明
R/W	読み書きアクセス可能なレジスタ ビット。このビットに対して読み書きすることができます。
R	読み込み専用アクセス可能なレジスタ ビット。このビットを読むことだけできます。書き込みは無視されます。
W	書き込み専用アクセス可能なレジスタ ビット。このビットを書くことだけできます。このビットの読み込みは未定義の値を返します。
ビット領域	ビット名は大文字で支援されます(例:INTMODE)。
ビット領域[n:m]	ビットn～m(n>m)のビットの組。(訳注:本書では不使用、「FIELDn～m」形式で表記) (例:PINA[3:0](不使用)=PINA3～0(本書表記)={PINA3,PINA2,PINA1,PINA0}
予約	予約されたビット、ビット領域、ビット領域値は使われず、将来に使うために予約されます。将来のデバイスとの互換性のため、そのレジスタが書かれ時に予約ビットに常に'0'を書いてください。予約ビットは読む時に常に'0'を返します。
周辺機能n	少数の周辺機能の実体が存在する場合、周辺機能名は1つの実体を識別するために単一番号によって後続されます。例:USARTnはUSART単位部の全実体の集合で、一方でUSART3はUSART単位部の1つの特定実体を指定します。
周辺機能x	少数の周辺機能の実体が存在する場合、周辺機能名は1つの実体を識別するために単一大文字(A～Z)によって後続されます。例:PORTxはPORT単位部の全実体の集合で、一方でPORTBはOIRT単位部の1つの特定実体を指定します。
リセット	電源ONリセット後のレジスタの値。これはデバッグ制御レジスタを除き、周辺機能のソフトウェア リセットを実行した後の周辺機能のレジスタの値でもあります。
SET/CLR/TGL	SET/CLR/TGL接尾辞を持つレジスタは「読み-変更-書き」操作を行うことなく、レジスタ内のビットの設定(1)と解除(0)を使用者に許します。各SET/CLR/TGLレジスタはそれが影響を及ぼすレジスタと対にされます。レジスタ対の両レジスタは読む時に同じ値を返します。 例: PORT周辺機能に於いて、OUTとOUTSETのレジスタがこのようなレジスタ対を形成します。OUTの内容はOUTSETへの書き込みによって変更されます。OUTとOUTSETの読み込みは同じ値を返します。 CLRレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを解除(0)します。 SETレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを設定(1)します。 TGLレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを反転します。

6.4.1. ヘッダ ファイルからのレジスタ アクセス

供給されるCヘッダ ファイルでレジスタをアドレス指定するには以下の規則が適用されます。

1. レジスタは<周辺機能実体名>.<レジスタ名>、例えば、CPU.SREG、USART2.CTRLA、PORTB.DIRによって識別されます。
2. 周辺機能名は「周辺機能と基本構造」章の「周辺機能アドレス配置」で与えられます。
3. <周辺機能実体名>は周辺機能名の何れかのnまたはxを正しい実体識別子で置き換えることによって得られます。
4. 周辺機能レジスタに予め定義された値を割り当てる時に、その値は次のような規則に従って構築されます。
   <周辺機能名>_<ビット領域名>_<ビット領域値>_gc

<周辺機能名>は<周辺機能実体名>ですが、どの実体識別子も取り去られます。

<ビット領域値>は周辺機能レジスタのビット領域を記述する「レジスタ説明」章内の表の「名称」列で見つけることができます。

例6-1. レジスタ割り当て

```
// EVSYSチャネル0はTCB3のOVF事象によって駆動されます。
EVSYS.CHANNEL0 = EVSYS_CHANNEL0_TCB3_OVF_gc;

// USART0のRXMODEは2倍速伝送を使います。
USART0.CTRLB = USART_RXMODE_CLK2X_gc;
```

注: 違う動作形態に於いて異なるレジスタ一式を持つ周辺機能に対して、<周辺機能実体名>と<周辺機能名>は動作形態名が後続されなければならず、例えば以下です。

```
// 標準(SINGLE)動作のTCA0は周波数動作で波形生成器を使います。
TCA0.SINGLE.CTRL=TCA_SINGLE_WGMODE_FRQ_gc;
```


© 2023 Microchip Technology Inc.とその子会社

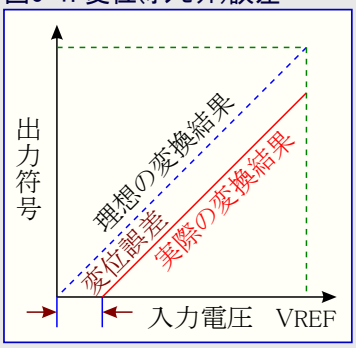
6.5. ADCパラメータ定義

理想nビット シングル エンドA/D変換はGNDとVREF間を2^n段階(LSB)で電圧を直線的に変換します。最低値符号は'0'として読まれ、最高値符号は2^n-1として読まれます。いくつかの項目は理想的な動きからの偏差を記述します。

変位(オフセット)誤差

理想遷移点(差0.5 LSB)と比べた最初の遷移($000から$001)の偏差です。理想値：0 LSB

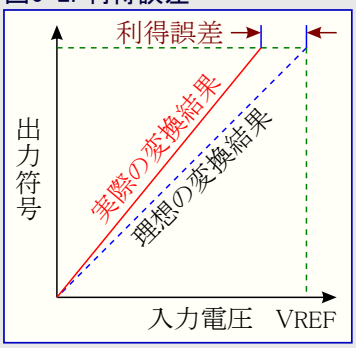
図6-1. 変位(オフセット)誤差



利得誤差

変位(オフセット)誤差補正後、利得誤差は理想遷移(最大1.5 LSB以下)と比べた最後の遷移(例えば、10ビットADCについては$3FEから$3FF)の偏差として見出されます。理想値：0 LSB

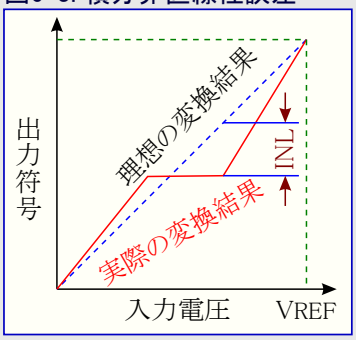
図6-2. 利得誤差



積分非直線性誤差 (INL)

変位(オフセット)誤差と利得誤差の補正後、INLは何れかの符号に対する理想遷移と比べた実際の遷移の最大偏差です。
理想値：0 LSB

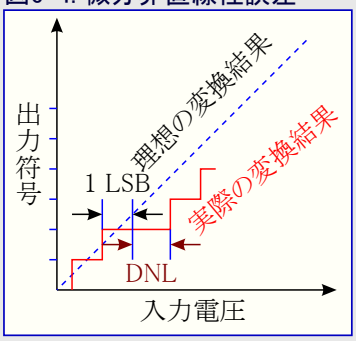
図6-3. 積分非直線性誤差



微分非直線性誤差 (DNL)

理想符号幅(1 LSB)から実際の符号幅(隣接する2つの遷移間の間隔)の最大偏差です。理想値：0 LSB

図6-4. 微分非直線性誤差



量子化誤差

有限数の符号への入力電圧の量子化のため、入力電圧範囲(1 LSB幅)は同じ値に符号化します。常に±0.5 LSB

絶対精度

何れかの符号に対して理想遷移点と比べた(非補正の)実際の遷移の最大偏差です。これは全ての前述の誤差の複合作用です。理想値：±0.5 LSB

© 2023 Microchip Technology Inc.とその子会社

7. AVR® CPU

7.1. 特徴

- 8ビット、高性能AVR RISC CPU
  - 135個の命令
  - ハードウェア乗算器
- ALUに直接続される32個の8ビット レジスタ
- RAM内のスタック
- I/Oメモリ空間でアクセス可能なスタック ポインタ
- 64Kバイトまでの統一されたメモリの直接アドレス指定
- 8,16,32ビット演算に対する効率的な支援
- システムの危険に対する構成設定変更保護機能
- 生来のチップ上デバッガ(OCD:On Chip Debugger)支援
  - 2つのハードウェア中断点(ブレークポイント)
  - 流れ変更、割り込みとソフトウェア中断点
  - スタック ポインタ(SP)レジスタ、プログラム カウンタ(PC)、ステータス レジスタ(SREG)の走行時読み出し
  - 停止動作でレジスタ ファイル読み書き可能

7.2. 概要

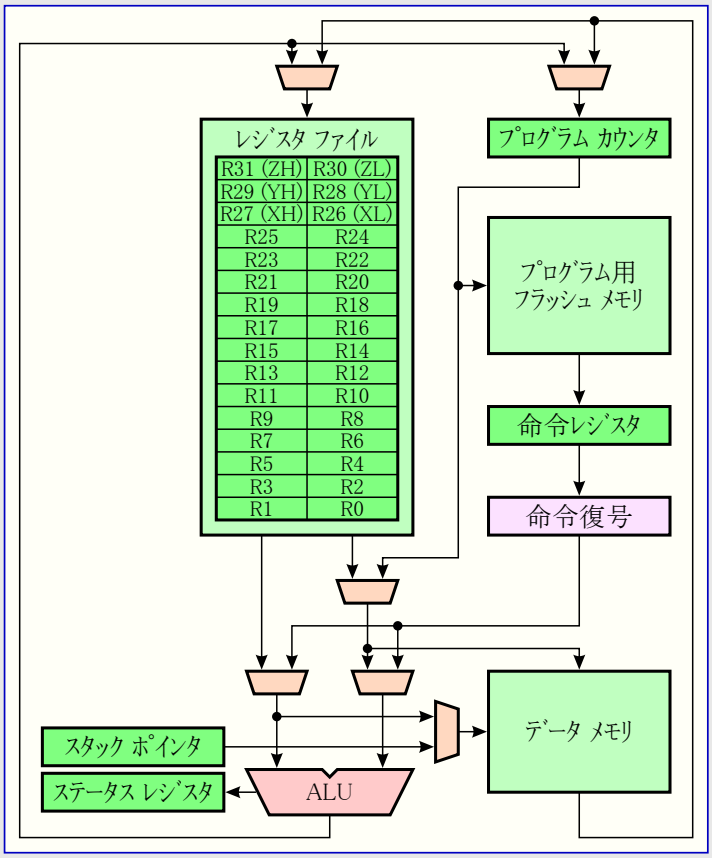
AVR CPUはメモリをアクセスし、計算を実行し、周辺機能を制御し、そしてプログラム メモリから命令を実行し割り込みを処理することができます。

7.3. 基本構成

性能と並列処理を最大化するため、AVR CPUはプログラムとデータに対して独立したバスを持つハーバード基本設計を使います。プログラム メモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあるのと同時に、次の命令がプログラム メモリから取得されます。これはクロック周期毎に実行されることを命令に許します。

全てのAVR命令の要約については「命令一式要約」章を参照してください。

図7-1. AVR® CPU構造の構成図



7.3.1. 算術論理演算部 (ALU)

算術論理演算部(ALU)は作業レジスタ間または定数と作業レジスタ間の演算と論理の操作を支援します。また、単一レジスタ操作を実行することができます。

ALUはレジスタ ファイル内の32個全ての汎用作業レジスタと直結で動きます。作業レジスタ間または、作業レジスタと即値被演算子間の算術操作が単一クロック周期で実行され、結果がレジスタ ファイルに格納されます。算術または論理の操作後、ステータス レジスタ(CPU.SREG)は操作の結果についての情報を反映するように更新されます。

ALU操作は算術、論理、ビット操作の3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、命令一式は効率的な32ビット算術演算の実装を許します。ハードウェア乗算器は符号付きと符号なしの乗算そして固定小数点形式を支援します。

© 2023 Microchip Technology Inc.とその子会社

7.3.1.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付きと符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号付き/符号なし整数の乗算
- 符号付き/符号なし固定小数点数の乗算
- 符号付きと符号なしの整数乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2 CPUクロック周期かかります。

7.4. 機能的な説明

7.4.1. プログラムの流れ

リセット後、CPUはフラッシュ プログラム メモリ内の最下位アドレスの$0000から命令を実行します。プログラム カウンタ(PC)は取得されるべき次の命令をアドレス指定します。

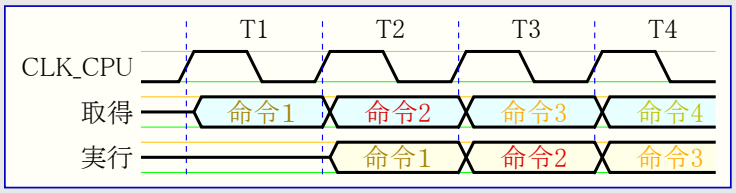
CPUは条件付きと条件なしでプログラムの流れを変更することができ、アドレス空間全体を直接位置指定できる命令を支援します。殆どのAVR命令は16ビット語形式を使い、限定数(の命令)は32ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC(値)が語ポインタとしてスタックに格納されます。スタックは一般的なデータSRAMに置かれ、必然的にスタック量は総SRAM量とSRAMの使い方によってのみ制限されます。スタック ポインタ(SP)がリセットされた後は内部SRAMの最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセス可能で、多数のスタックまたはスタック領域の容易な実装を許します。データSRAMはAVR CPUで支援される5つの異なるアドレス指定形式を通して容易にアクセスすることができます。詳細については「命令一式概要」章をご覧ください。

7.4.2. 命令実行タイミング

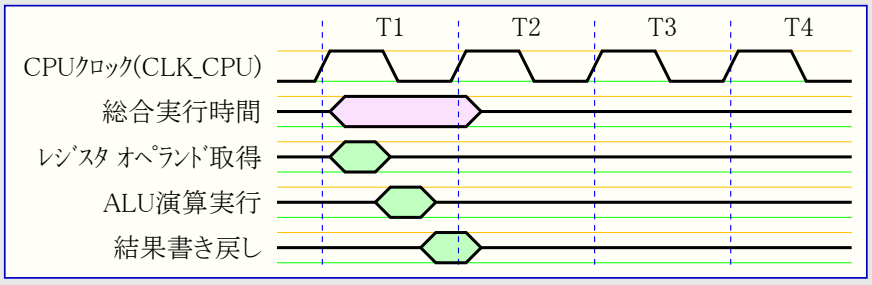
AVR CPUはCPUクロック(CLK_CPU)によってクロック駆動されます。内部クロック分周は全く適用されません。右図はハーバード基本構造と高速アクセス レジスタ ファイルの概念によって許される、並列での命令の取得と実行を示します。これは高い効率を持つ最大1 MIPS/MHzの性能を許す基本的なパイプラインの概念です。

図7-2. 並列の命令取得と命令実行



右図はレジスタ ファイルに対する内部タイミングの概念を示します。単一クロック周期で、2つのレジスタ オペランドを使うALU操作が実行され、その結果が転送先レジスタに格納されます。

図7-3. 単一周期ALU操作



7.4.3. ステータス レジスタ

ステータス レジスタ(CPU.SREG)は最も直前に実行した算術または論理の命令の結果についての情報を含みます。この情報は条件付き操作を実行するためプログラムの流れを変えるのに使うことができます。

CPU.SREGは「命令一式要約」章で詳述されるように、全てのALU操作後に更新され、多くの場合で専用比較命令を使う必要を取り去り、高速でもっと簡潔なコードに帰着します。CPU.SREGは割り込み処理ルーチン(ISR)への移行や復帰の時に自動的に保存や回復が行われません。従って、CPU(流れ)状態切り替え間でのステータス レジスタ維持は使用者定義ソフトウェアによって処理されなければなりません。CPU.SREGはI/Oメモリ空間でアクセス可能です。

© 2023 Microchip Technology Inc.とその子会社

7.4.4. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データを格納するのにも使うことができます。スタック ポインタ(SP)は常にスタックの先頭(**訳注**:次に使われるべき位置)を指し示します。SPによって指定されるアドレスはスタック ポインタ(CPU.SP)レジスタに格納されます。CPU.SPはI/Oメモリ空間でアクセス可能な2つの8ビット レジスタとして実装されます。

データは**表7-1.**で与えられる命令を使って、または割り込みを実行することによってスタックに対して押し込みと取り出しが行われます。スタックは上位から下位のメモリ位置へ伸びます。これはスタックへのデータ押し込み時にSPが減り、スタックからのデータ取り出し時にSPが増すことを意味します。SPはリセット後に内部SRAMの最上位アドレスへ自動的に設定されます。スタックが変更される場合、SRAM開始アドレス以上を指し示すように設定されなければならず、何れかのサブルーチン呼び出しが実行される前と割り込みが許可される前に定義されなければなりません(SRAM開始アドレスについてはメモリ章のSRAMデータ メモリ部分をご覧ください)。SPの詳細については下表をご覧ください。

表7-1. スタック ポインタ命令

命令	スタック ポインタ	内容
PUSH	-1	データがスタック上に押し込まれます。
CALL,ICALL,RCALL	-2	サブルーチン呼び出しまたは割り込みでの戻りアドレスがスタック上に押し込まれます。
POP	+1	データがスタックから引き出されます。
RET,RETI	+2	サブルーチンまたは割り込みからの復帰での戻りアドレスがスタックから引き出されます。

割り込みまたはサブルーチン呼び出しの間、復帰アドレスが語として自動的にスタックへ格納され、SPは2減少されます。復帰アドレスは2バイトから成り、下位バイト(LSB)がスタック(の上位側番地)で最初に押し込まれます。例として、$0006のバイト ポインタ復帰アドレスはスタック上に(1ビット右移動した)$0003として保存され、プログラム メモリ内の4番目の16ビット命令を指し示します。復帰アドレスは(割り込みからの復帰時に)RETIと(サブルーチン呼び出しからの復帰時に)RETの命令でスタックから取り出され、SPは2増やされます。

データがPUSH命令でスタックに押し込まれる時にSPは1減らされ、POP命令を使ってスタックからデータが取り出される時に1増やされます。

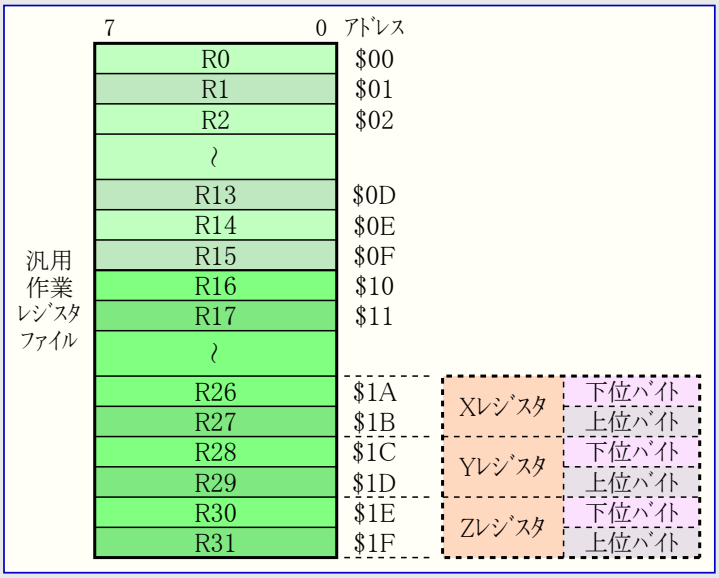
ソフトウェアからSPを更新する時の破損を防ぐため、SPL書き込みは最大4命令間または次のI/Oメモリ書き込みまでのどちらか速い方で自動的に割り込みを禁止します。

7.4.5. レジスタ ファイル

レジスタ ファイルはCPUによって使われる32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルはデータ メモリから独立したアドレス空間に置かれます。

作業レジスタで動く全てのCPU命令はレジスタ ファイルに対して直接且つ単一のアクセスを持ちます。定数の算術と論理の演算命令(SBCI、SUBI、CPI、ANDI、ORI、LDI)のような命令によってアクセスすることができる作業レジスタにいくつかの制限が適用されます。これらの命令はレジスタ ファイルの後半の作業レジスタ(R16～R31)に適用します。更なる詳細についてはAVR命令一式手引書をご覧ください。

図7-4. AVR® CPU 汎用作業レジスタ



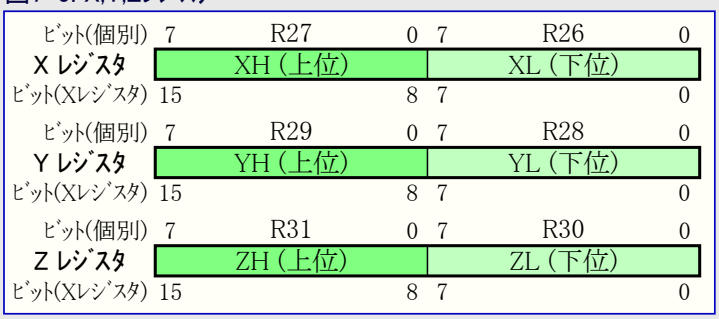
7.4.5.1. X,Y,Z レジスタ

R26～R31の作業レジスタはそれらの汎用の使い方に属する付加機能を持ちます。

これらのレジスタはデータ メモリの間接アドレス指定用の16ビット アドレス ポインタ形式にすることができます。これら3つのアドレス レジスタはXレジスタ、Yレジスタ、Zレジスタと呼ばれます。Zレジスタはプログラム メモリ用アドレス ポインタとして使うこともできます。

下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。各種LD/ST系命令で、これらのアドレス レジスタは固定変位、自動増加、自動減少として機能することができます。詳細については「命令一式要約」章をご覧ください。

図7-5. X,Y,Zレジスタ



© 2023 Microchip Technology Inc.とその子会社

7.4.6. 構成設定変更保護 (CCP) (Configuration Change Protection)

ｼｽﾃﾑの重要なI/Oﾚｼﾞｽﾀ設定は予期せぬ変更から保護されます。ﾌﾗｯｼｭ自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞが予期せぬ実行から保護されます。これは構成設定変更保護(CCP)ﾚｼﾞｽﾀによって全体的に処理されます。

保護されたI/Oﾚｼﾞｽﾀまたはﾋﾞｯﾄへの変更や、保護された命令の実行は、CPUがCCPﾚｼﾞｽﾀへ識票を書いた後でだけ可能です。各種識票はCCP(CPU.CCP)ﾚｼﾞｽﾀの説明で一覧にされます。

I/Oﾚｼﾞｽﾀ保護に関する1つと自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ保護に関する1つで2つの動作形態があります。

7.4.6.1. 構成設定保護されたI/Oﾚｼﾞｽﾀへの書き込み操作手順

CCPによって保護されたI/Oﾚｼﾞｽﾀへ書くには以下の手順が必要とされます。

1. ｿﾌﾄｳｪｱはCPU.CCPﾚｼﾞｽﾀのCCPﾋﾞｯﾄ領域に保護されたI/Oﾚｼﾞｽﾀの変更を許可する識票を書きます。
2. 4命令内で、ｿﾌﾄｳｪｱは保護されたﾚｼﾞｽﾀに適切なﾃﾞｰﾀを書かなければなりません。

   注: 殆どの保護されたﾚｼﾞｽﾀは書き込み許可/変更許可/施錠のﾋﾞｯﾄも含みます。このﾋﾞｯﾄはﾃﾞｰﾀが書かれるのと同じ操作内で1を書かれなければなりません。

   保護された変更はCPUがI/Oﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾒﾓﾘに書き込み操作を実行する場合、ﾌﾗｯｼｭ ﾒﾓﾘ、NVM制御器(NVMCTRL)、EEPROMに対する取得または格納のｱｸｾｽが行われる場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

7.4.6.2. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの実行手順

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを実行する(NVM制御器の指令ﾚｼﾞｽﾀへの書き込みの実行)には以下の手順が必要とされます。

1. ｿﾌﾄｳｪｱはCCP(CPU.CCP)ﾚｼﾞｽﾀにSPM識票を書くことによって自己ﾌﾟﾛｸﾞﾐﾝｸﾞを一時的に許可します。
2. 4命令内で、ｿﾌﾄｳｪｱは適切な命令を実行しなければなりません。保護された変更はCPUがﾌﾗｯｼｭ ﾒﾓﾘ、NVMCTRL、EEPROMへのｱｸｾｽを実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは構成設定変更許可期間の間無視されます。CCP期間の間の(遮蔽不可割り込みを含む)どの割り込み要求も通常様に対応する割り込み要求ﾌﾗｸﾞを設定(1)し、その要求は保留に保たれます。CCP期間完了後、どの保留割り込みもそれらのﾚﾍﾞﾙと優先権に従って実行されます。

7.4.7. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ能力

AVR CPUは生来のﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ(OCD)支援を含みます。これはCPU状態についての特性分析と詳細な情報を許すためのいくつかの強力なﾃﾞﾊﾞｯｸﾞ能力を含みます。CPU状態を変えてｺｰﾄﾞ実行を再開することが可能です。また、ﾊｰﾄﾞｳｪｱ ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ中断点、命令の流れ変更での中断点、割り込みでの中断点、ｿﾌﾄｳｪｱ中断点(BREAK命令)のような通常のﾃﾞﾊﾞｯｸﾞ能力が存在します。OCDについての詳細に関しては「UPDI - 統一ﾌﾟﾛｸﾞﾗﾑ/ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

7.5. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00 ～ +$03	予約									
+$04	CCP	7～0	CCP7～0							
+$05 ～ +$0C	予約									
+$0D	SP	7～0	SP7～0							
+$0E		15～8	SP15～8							
+$0F	SREG	7～0	I	T	H	S	V	N	Z	C

© 2023 Microchip Technology Inc.とその子会社

7.6. レジスタ説明

7.6.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection register)

名称 : CCP
変位 : +$04
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	CCP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – CCP7~0 : 構成設定変更保護** (Configuration Change Protection)

このビット領域への正しい識票書き込みは後続する4 CPU命令実行内での保護されたI/Oレジスタの変更または保護された命令の実行を許します。

これらの周期の間は全ての割り込みが無視されます。これらの周期完了後、割り込みはCPUによって自動的に処理されます。どの保留割り込みもそれらのレベルと優先権に従って実行されます。

保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り'1'を読みます。

保護された自己プログラミング識票が書かれると、CCP1は保護機能が許可されている限り'1'を読みます。

CCP7~2は常に'0'を読みます。

値	名称	説明
$9D	SPM	自己プログラミング許可
$D8	IOREG	保護されたI/Oレジスタ解錠

7.6.2. SP – スタック ポインタ (Stack Pointer)

名称 : SP (SPH,SPL)
変位 : +$0D
リセット : $7FFF
特質 : –

CPU.SPレジスタはスタックの先頭を指示するスタック ポインタを保持します。リセット後、SPは内部SRAM最高アドレスを指示します。

各デバイスに対して利用可能なSRAMをアドレス指定するのに必要とされるビット数だけが実装されます。未使用ビットはスタック ポインタが常にSRAMを指示するように設定されます。

CPU.SPHとCPU.SPLのレジスタ対は16ビット値のCPU.SPを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ソフトウェアからSPを更新する時の破損を防ぐため、CPU.SPLへの書き込みは後続する4命令間、または次のI/Oメモリ書き込みまでのどちらか速い方で割り込みを自動的に禁止します。

ビット	15	14	13	12	11	10	9	8
		SP14~8						
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	1	1	1	1	1	1	1

ビット	7	6	5	4	3	2	1	0
	SP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット14~8 – SP14~8 : スタック ポインタ上位バイト** (Stack Pointer high byte)

これらのビットは16ビット レジスタの上位バイトを保持します。

● **ビット7~0 – SP7~0 : スタック ポインタ下位バイト** (Stack Pointer low byte)

これらのビットは16ビット レジスタの下位バイトを保持します。

© 2023 Microchip Technology Inc.とその子会社

7.6.3. SREG – ステータス レジスタ (Status Register)

名称 : SREG
変位 : $0F
リセット : $00
特質 : –

ステータス レジスタは最も直前に実行した算術または論理の命令の結果についての情報を含みます。このレジスタ内のビットとそれらが各種命令によってどう影響されるかについての詳細に関しては「命令一式要約」章をご覧ください。

ビット	7	6	5	4	3	2	1	0
	I	T	H	S	V	N	Z	C
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – I : 全体割り込み許可** (Global Interrupt Enable Bit)

このビットへの'1'書き込みはデバイスでの割り込みを許可します。

このビットへの'0'書き込みは周辺機能の個別割り込み許可設定に関わらず、デバイスでの割り込みを禁止します。

このビットは割り込み処理ルーチン(ISR)移行中にハードウェアによって解除(0)されず、RETI命令が実行される時に設定(1)されません。

このビットはSEIとCLIの命令でソフトウェアによって設定(1)と解除(0)を行うことができます。

I/Oレジスタを通したIビットの変更はそのアクセスでの1周期の待ち状態に帰着します。

● **ビット6 – T : 転送ビット** (Transfer Bit)

ビット複写命令のビット取得(BLD)とビット格納(BST)は操作するための転送元または転送先としてTビットを使います。

● **ビット5 – H : ハーフキャリー フラグ** (Half Carry Flag)

このフラグはこれを支援する算術操作でハーフキャリーがある時に設定(1)されます。ハーフキャリーはBCD演算に有用です。

● **ビット4 – S : 符号フラグ** (Sign Flag)

このフラグは常に負(N)フラグと2の補数溢れ(V)フラグ間の排他的論理和(XOR)です。

● **ビット3 – V : 2の補数溢れフラグ** (2's Complement Overflow Flag)

このフラグはこれを支援する算術操作で溢れがある時に設定(1)され、さもなければ解除(0)されます。

● **ビット2 – N : 負フラグ** (Negative Flag)

このフラグは算術及び論理の操作で負の結果の時に設定(1)され、さもなければ解除(0)されます。

● **ビット1 – Z : ゼロ フラグ** (Zero Flag)

このフラグは算術及び論理の操作でゼロ(0)の結果の時に設定(1)され、さもなければ解除(0)されます。

● **ビット0 – C : キャリー フラグ** (Carry Flag)

このフラグは算術及び論理の操作でキャリー(またはボロー)がある時に設定(1)され、さもなければ解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

8. メモリ

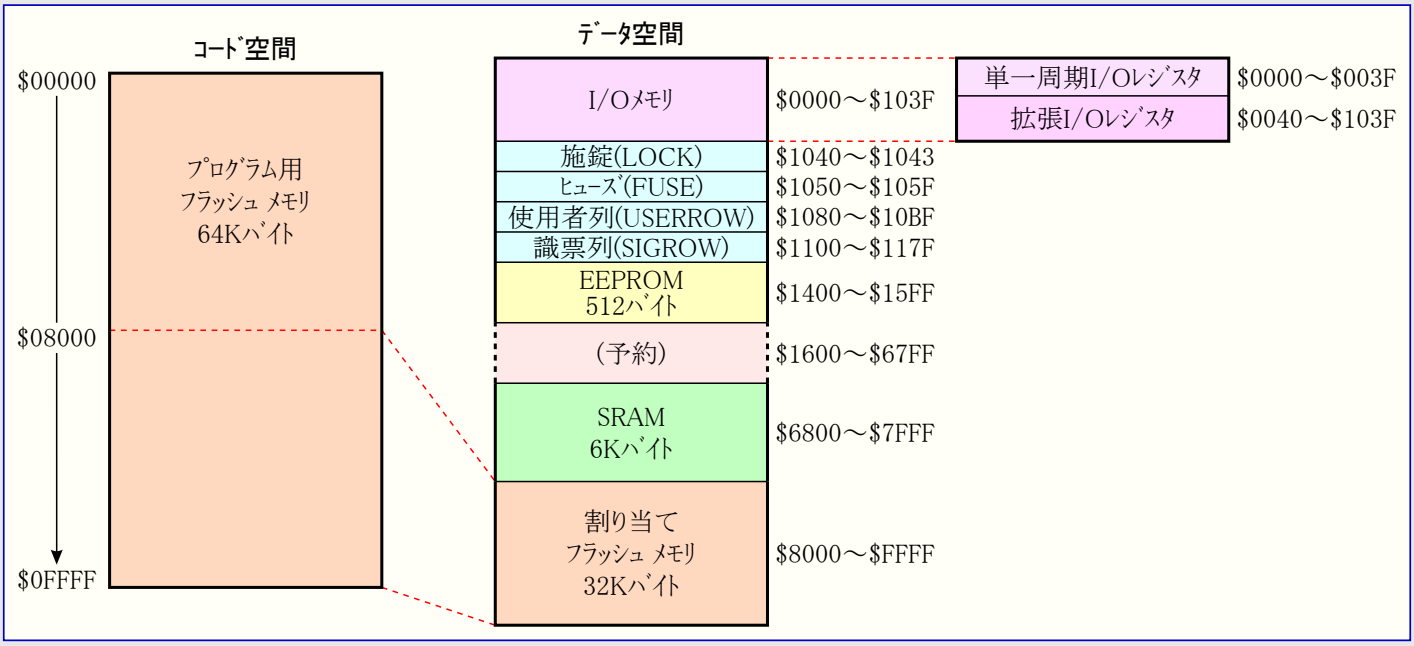
8.1. 概要

AVR32EA28/32/48ﾃﾞﾊﾞｲｽの主なﾒﾓﾘはSRAMﾃﾞｰﾀ ﾒﾓﾘ、EEPROMﾃﾞｰﾀ ﾒﾓﾘ、ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘです。また、周辺機能ﾚｼﾞｽﾀがI/Oﾒﾓﾘ空間に置かれます。

8.2. メモリ配置

下図はAVR® EA系統の最大ﾒﾓﾘに対するﾒﾓﾘ配置を示します。更なる詳細については後続する項と周辺機能ｱﾄﾞﾚｽ割り当て表を参照してください。

図8-1. ﾒﾓﾘ配置: ﾌﾗｯｼｭ ﾒﾓﾘ 64Kﾊﾞｲﾄ、内部SRAM 6Kﾊﾞｲﾄ、EEPROM 512ﾊﾞｲﾄ



8.3. 実装書き換え可能なﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ

AVR32EA28/32/48はﾌﾟﾛｸﾞﾗﾑ記憶用に実装書き換え可能なﾁｯﾌﾟ上の32Kﾊﾞｲﾄのﾌﾗｯｼｭ ﾒﾓﾘを含みます。全てのAVR命令が16または32のﾋﾞｯﾄ幅のため、このﾌﾗｯｼｭ ﾒﾓﾘは16ﾋﾞｯﾄ ﾃﾞｰﾀ幅で構成されます。書き込み保護のため、ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間はﾌﾞｰﾄ ｺｰﾄﾞ領域、応用ｺｰﾄﾞ領域、応用ﾃﾞｰﾀ領域の3つの領域に分けることができます。1つの領域に置かれたｺｰﾄﾞは別の領域のｱﾄﾞﾚｽへの書き込みを制限されるかもしれません。より多くの詳細については「NVMCTRL – 不揮発性ﾒﾓﾘ制御器」章をご覧ください。

ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ全体をｱﾄﾞﾚｽ指定することができます。ﾌﾗｯｼｭ ﾒﾓﾘを書くための手順はNVMCTRL章で詳細に記述されます。

ﾌﾗｯｼｭ ﾒﾓﾘの32Kﾊﾞｲﾄはﾃﾞｰﾀ空間に割り当てられ、通常のLD/ST系命令でｱｸｾｽ可能です。どのﾌﾗｯｼｭ ﾒﾓﾘ部分がこのﾃﾞｰﾀ空間に割り当てられるかの詳細についてはNVMCTRL章をご覧ください。LD/ST系命令について、ﾌﾗｯｼｭ ﾒﾓﾘはｱﾄﾞﾚｽ$8000から割り当てられます。ﾌﾗｯｼｭ ﾒﾓﾘはLPM命令でも読むことができます。LPM命令について、ﾌﾗｯｼｭ ﾒﾓﾘ開始ｱﾄﾞﾚｽは$0000です。

AVR32EA28/32/48はﾃﾞｰﾀ ﾊﾞｽでのCRC単位部主権者を持ちます。

右図は物理的と論理的なﾒﾓﾘ領域の割り当てを示します。

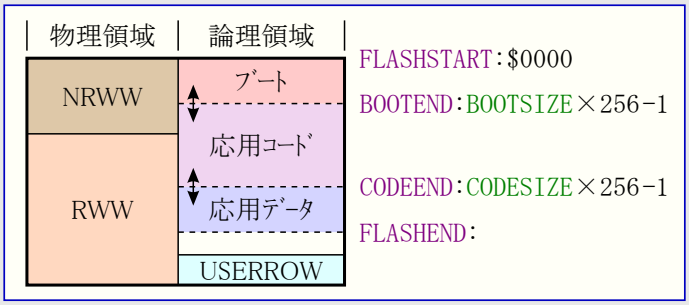
- NRWW = 書き込み中読み出し不可
- RWW = 書き込み中読み出し可

物理的と論理的なﾒﾓﾘ領域の違いとそれらの構成設定についてのより多くの詳細に関してはNVMCTRL章をご覧ください。

表8-1. ﾌﾗｯｼｭ ﾒﾓﾘの物理的な特性

特性	AVR32EA28/32/48
量	32Kﾊﾞｲﾄ
ﾍﾟｰｼﾞ容量	64ﾊﾞｲﾄ
ﾍﾟｰｼﾞ数	512
ﾃﾞｰﾀ空間での開始ｱﾄﾞﾚｽ	$8000
ｺｰﾄﾞ空間での開始ｱﾄﾞﾚｽ	$0000

図8-2. ﾌﾗｯｼｭ ﾒﾓﾘ領域



(訳補) BOOTSIZEﾋｭｰｽﾞ×256が応用ｺｰﾄﾞ領域先頭を、CODESIZEﾋｭｰｽﾞ×256が応用ﾃﾞｰﾀ領域先頭を示します。

© 2023 Microchip Technology Inc.とその子会社

8.4. SRAMデータ メモリ

SRAMメモリの主な仕事は応用データを格納することです。また、プログラム スタックは(通常、)SRAMの最後に置かれます。

SRAMからコードを実行することは不可能です。

表8-2. SRAMの物理的な特性

特性	AVR32EA28/32/48
量	4Kバイト
開始アドレス	$7000
終了アドレス	$7FFF

8.5. EEPROMデータ メモリ

EEPROMメモリの主な仕事は不揮発性応用データを格納することです。EEPROMメモリは単一と複数のバイト読み書きを支援します。EEPROMは不揮発性メモリ制御器(NVMCTRL)によって制御されます。

表8-3. EEPROMの物理的な特性

特性	AVR32EA28/32/48
量	512バイト
ページ容量	8バイト
ページ数	64
開始アドレス	$1400

8.6. USERROW – 使用者列

AVR32EA28/32/48は使用者列(USERROW)と呼ばれる特別な64バイト メモリ領域を持ちます。USERROWは最終製品データ用に使うことができ、チップ消去によって影響を及ぼされません。例えデバイスが施錠されていても、統一プログラミング/デバッグ インターフェース(UPDI)によって書くことができ、これは他のどのメモリへのアクセスもなしに最終構成設定の記憶を許します。デバイスが施錠されると、UPDIはUSERROWの内容を読むことが許されません。

CPUは通常のフラッシュ メモリとしてこれを読み書きすることができます。更なる詳細については「システム メモリ アドレス配置」表を参照してください。

8.7. LOCK – メモリ領域アクセス保護

デバイスは統一プログラミング/デバッグ インターフェース(UPDI)を用いてメモリを読むことができないように施錠することができます。この施錠はFUSEデータを含み、フラッシュ メモリ(ブート コード、応用コード、応用データの全領域)、SRAM、EEEPROMを保護し、デバッガ インターフェースを用いた応用のデータやコードの読み込みを防ぎます。応用内からの通常のメモリ アクセスは未だ許されます。

デバイスは施錠鍵(LOCK.KEY)レジスタに無効な鍵を書くことによって施錠されます。

表8-4. 解錠動作/施錠動作でのメモリ アクセス (〇/×は解錠時/施錠時、注1)

メモリ領域	CPUアクセス		UPDIアクセス	
	読み	書き	読み	書き
フラッシュ メモリ	〇/〇	〇/〇	〇/×	〇/×
SRAM	〇/〇	〇/〇	〇/×	〇/×
EEPROM	〇/〇	〇/〇	〇/×	〇/×
使用者列 (USERROW)	〇/〇	〇/〇	〇/×	〇/〇 (注2)
識票列 (SIGROW)	〇/〇	×/×	〇/×	×/×
ヒューズ (FUSE)	〇/〇	×/×	〇/×	〇/×
施錠 (LOCK)	〇/〇	×/×	〇/×	〇/×
レジスタ	〇/〇	〇/〇	〇/×	〇/×

注1: 表で×と記された読み込み操作が成功に見えるかもしれませんが、データは有効ではありません。故に、UPDIを通すどのコード確認の試みもこれらのメモリ領域で失敗します。

注2: 施錠動作でUSERROWはヒューズ書き込み指令を用いて書くことはできますが、現在のUSERROW値を読み出すことができません。

(訳注) 視認性から原書の表8-4.と表8-5.は表8-4.として纏めました。

重要: デバイスを解錠する唯一の方法はCHIPERASEです。応用データは保持されません。

© 2023 Microchip Technology Inc.とその子会社

8.7.1. 施錠要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	KEY	7～0	KEY7～0							
+$01		15～8	KEY15～8							
+$02		23～16	KEY23～16							
+$03		31～24	KEY31～24							

8.7.2. 施錠説明

8.7.2.1. KEY – 施錠鍵 (Lock Key)

名称 : KEY
変位 : +$00
リセット : 初期工場値=$5CC5C55C
特質 : –

ビット	31	30	29	28	27	26	25	24
	KEY31～24							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	x	x	x	x	x	x	x	x

ビット	23	22	21	20	19	18	17	16
	KEY23～16							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	x	x	x	x	x	x	x	x

ビット	15	14	13	12	11	10	9	8
	KEY15～8							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	x	x	x	x	x	x	x	x

ビット	7	6	5	4	3	2	1	0
	KEY7～0							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	x	x	x	x	x	x	x	x

● **ビット31～0 – KEY31～0 : 施錠鍵** (Lock Key)

このビット領域はデバイスが施錠されるか否かのどちらかかを制御します。

値	$5CC5C55C	その他
名称	UNLOCKED	LOCKED
説明	デバイスは解錠されています。	デバイスは施錠されています。

© 2023 Microchip Technology Inc.とその子会社

8.8. FUSE – 構成設定と使用者のﾋｭｰｽﾞ

ﾋｭｰｽﾞは不揮発性ﾒﾓﾘの一部で、ﾃﾞﾊﾞｲｽ構成設定を保持します。ﾋｭｰｽﾞはCPUとUPDIの両方によって読むことができますが、UPDIによってのみそれらを設定または解除することができます。ﾋｭｰｽﾞに格納された構成設定値は始動手順の最後でそれら各々の目的対象ﾚｼﾞｽﾀに書かれます。

周辺機能構成設定用のﾋｭｰｽﾞは予め書かれていますが、使用者によって変えることができます。構成設定ﾋｭｰｽﾞで変えられた値はﾘｾｯﾄ後にだけ有効です。

注: ﾋｭｰｽﾞを書く時に全ての予約ﾋﾞｯﾄは'1'を書かれなければなりません。

8.8.1. ﾋｭｰｽﾞ要約

変位	略称	ﾋﾞｯﾄ位置	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0
+$00	WDTCFG	7～0	WINDOW3～0				PERIOD3～0			
+$01	BODCFG	7～0	LVL2～0			SAMPFREQ	ACTIVE1,0		SLEEP1,0	
+$02	OSCCFG	7～0					OSCHFFRQ			
+$03	予約									
+$04	予約									
+$05	SYSCFG0	7～0	CRCSRC1,0		CRCSEL	UPDIPINCFG	RSTPINCFG			EESAVE
+$06	SYSCFG1	7～0						SUT2～0		
+$07	CODESIZE	7～0	CODESIZE7～0							
+$08	BOOTSIZE	7～0	BOOTSIZE7～0							

© 2023 Microchip Technology Inc.とその子会社

8.8.2. ﾋｭｰｽﾞ説明

8.8.2.1. WDTCFG – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成設定 (Watchdog Timer Configration)

名称 : WDTCFG
変位 : +$00
既定 : $00
特質 : –

このﾋｭｰｽﾞ記述で与えられる既定値は工場書き込み値で、ﾘｾｯﾄ値と間違えてはいけません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	WINDOW3~0				PERIOD3~0			
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~4 – WINDOW3~0 : ｳｫｯﾁﾄﾞｯｸﾞ窓制限時間周期** (Watchdog Window Timeout Period)

この値は電源ONまたはﾘｾｯﾄ後の始動手順の最後でｳｫｯﾁﾄﾞｯｸﾞ制御A(WDT.CTRLA)ﾚｼﾞｽﾀの窓期間(WINDOW)ﾋﾞｯﾄ領域に設定されます。

● **ﾋﾞｯﾄ3~0 – PERIOD3~0 : ｳｫｯﾁﾄﾞｯｸﾞ制限時間周期** (Watchdog Timeout Period)

この値は電源ONまたはﾘｾｯﾄ後の始動手順の最後でｳｫｯﾁﾄﾞｯｸﾞ制御A(WDT.CTRLA)ﾚｼﾞｽﾀの制限期間(PERIOD)ﾋﾞｯﾄ領域に設定されます。

8.8.2.2. BODCFG – 低電圧検出器構成設定 (Brown-out Detector Configration)

名称 : BODCFG
変位 : +$01
既定 : $00
特質 : –

このﾋｭｰｽﾞ ﾚｼﾞｽﾀのﾋﾞｯﾄ値は始動で対応するBOD構成設定ﾚｼﾞｽﾀに書かれます。

このﾋｭｰｽﾞ記述で与えられる既定値は工場書き込み値で、ﾘｾｯﾄ値と間違えてはいけません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	LVL2~0			SAMPFREQ	ACTIVE1,0		SLEEP1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~5 – LVL2~0 : BOD基準** (BOD Level)

この値はﾘｾｯﾄ中にBOD制御B(BOD.CTRLB)ﾚｼﾞｽﾀのBOD基準(LVL)ﾋﾞｯﾄ領域に設定されます。

注: 説明行の値は代表値です。更なる詳細については「電気的特性」章を参照してください。

注: BODLEVEL0はﾁｯﾌﾟ消去中にだけ許可されます。通常動作では、このﾋﾞｯﾄ領域への'000'書き込みはBOD禁止と同じです。

値	0 0 0	0 0 1	0 1 0	0 1 1	その他
名称	BODLEVEL0	BODLEVEL1	BODLEVEL2	BODLEVEL3	–
説明	1.75V (ﾁｯﾌﾟ消去中だけ許可されるBOD。「電気的特性」章をご覧ください。)	1.90V	2.60V	4.30V	(予約)

● **ﾋﾞｯﾄ4 – SAMPFREQ : BOD採取周波数** (BOD Sample Frequency)

この値はﾘｾｯﾄ中にBOD制御A(BOD.CTRLA)ﾚｼﾞｽﾀの採取周波数(SAMPFREQ)ﾋﾞｯﾄに設定されます。更なる詳細については「BOD – 低電圧検出器」章を参照してください。

値	0	1
名称	128HZ	32HZ
説明	採取周波数は128Hzです。	採取周波数は32Hzです。

● **ﾋﾞｯﾄ3,2 – ACTIVE1,0 : 活動とｱｲﾄﾞﾙでのBOD動作形態** (BOD Operation Mode in Active and Idle)

この値はﾘｾｯﾄ中にBOD制御A(BOD.CTRLA)ﾚｼﾞｽﾀの活動/ｱｲﾄﾞﾙ時動作(ACTIVE)ﾋﾞｯﾄ領域に設定されます。更なる詳細については「BOD – 低電圧検出器」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

値	0 0	0 1	1 0	1 1
名称	DISABLE	ENABLE	SAMPLE	ENABLEWAIT
説明	BOD禁止	継続動作でBOD許可	採取動作でBOD許可	継続動作でBOD許可。実行は起き上がりでBODの準備が整うまで停止されます。

● **ビット1,0 – SLEEP1,0 : 休止でのBOD動作形態** (BOD Operation Mode in Sleep)

この値はリセット中にBOD制御A(BOD.CTRLA)レジスタのスタンバイ/パワーダウン時動作(SLEEP)ビット領域に設定されます。更なる詳細については「BOD – 低電圧検出器」章を参照してください。

値	0 0	0 1	1 0	1 1
名称	DISABLE	ENABLE	SAMPLE	–
説明	BOD禁止	継続動作でBOD許可	採取動作でBOD許可	(予約)

8.8.2.3. OSCCFG – 発振器構成設定 (Oscillator Configration)

名称 : OSCCFG
変位 : +$02
既定 : $00
特質 : –

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
					OSCHFFRQ			
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● **ビット3~0 – OSCHFFRQ : 内部高周波数発振器周波数** (Internal High-frequency Oscillator Frequency)

このヒューズ ビットは内部高周波数発振器(OSCHF)の走行周波数を制御します。

値	0	1
説明	20MHzで走行するOSCHF	16MHzで走行するOSCHF

8.8.2.4. SYSCFG0 – システム構成設定0 (System Configration 0)

名称 : SYSCFG0
変位 : +$05
既定 : $D0
特質 : –

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	CRCSRC1,0		CRCSEL	UPDIPINCFG	RSTPINCFG			EESAVE
アクセス種別	R	R	R	R	R	R	R	R
既定値	1	1	0	1	0	0	0	0

● **ビット7,6 – CRCSRC1,0 : CRC供給元** (CRC Source)

このビット領域はリセット初期化中にフラッシュ メモリのどの領域がCRCSCAN周辺機能によって検査されるかを制御します。機能についてのより多くの情報に関しては「CRCSCAN – 巡回冗長検査メモリ走査」章をご覧ください。

値	0 0	0 1	1 0	1 1
名称	FLASH	BOOT	BOOTAPP	NOCRC
説明	全フラッシュ メモリ(ブート、応用コード、応用データ)のCRC	ブート領域のCRC	応用コードとブートの領域のCRC	CRCなし

● **ビット5 – CRCSEL : CRC多項式選択** (CRC Polynomial Selection)

このビットはCRCSCAN周辺機能によって実行されるCRCの形式を制御します。機能についてのより多くの情報に関しては「CRCSCAN – 巡回冗長検査メモリ走査」章をご覧ください。

© 2023 Microchip Technology Inc.とその子会社

値	0	1
名称	CRC16	CRC32
説明	CRC-16-CCITT	CRC-32 (IEEE 802.3)

● **ビット4 – UPDIPINCFG : UPDIピン構成設定** (Configuration of UDPI Pin at Start-Up)

このビットは始動でのUPDIピン構成設定を選びます。

値	0	1
名称	GPIO	UPDI
説明	GPIOとして構成設定	PF7で許可されるプルアップ付きUPDIとして構成設定

● **ビット3 – RSTPINCFG : リセット ピン構成設定** (Configuration of Reset Pin at Start-Up)

このビットは始動でのリセット ピンに対する構成設定を選びます。

値	0	1
名称	INPUT	RESET
説明	外部入力ピンとしてPF6構成設定	PF6で許可されるプルアップ付き外部リセット

● **ビット0 – EESAVE : チップ消去中EEPROM保存** (EEPROM Saved During Chip Erase)

このビットはチップ消去中にEEPROMが消去されるか保存されるかのどちらかを制御します。許可されたなら、チップ消去によってフラッシュメモリだけが消去されます。

値	0	1
名称	DISABLE	ENABLE
説明	チップ消去中にEEPROMが消去されます。	デバイスが施錠されているか否かに関わらず、 チップ消去中にEEPROMは保存されます。

8.8.2.5. SYSCFG1 – システム構成設定1 (System Configration 1)

名称 : SYSCFG1
変位 : +$06
既定 : $07
特質 : –

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
						SUT2~0		
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	1	1	1

● **ビット2~0 – SUT2~0 : 始動時間** (Start Up Time)

このビット領域は電源ONとコード実行開始間の時間を意味する始動時間を制御します。

値	000	001	010	011	100	101	110	111
名称	0MS	1MS	2MS	4MS	8MS	16MS	32MS	64MS
説明	0ms	1ms	2ms	4ms	8ms	16ms	32ms	64ms

© 2023 Microchip Technology Inc.とその子会社

8.8.2.6. CODESIZE – ｺｰﾄﾞの大きさ (Code Size)

名称 : CODESIZE
変位 : +$07
既定 : $00
特質 : –

このﾋｭｰｽﾞ記述で与えられる既定値は工場書き込み値で、ﾘｾｯﾄ値と間違えてはいけません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CODESIZE7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – CODESIZE7~0 : ｺｰﾄﾞ領域の大きさ** (Code Section Size)

このﾋﾞｯﾄ領域は256ﾊﾞｲﾄの塊でﾌﾞｰﾄ ｺｰﾄﾞ領域と応用ｺｰﾄﾞ領域を合わせた大きさを定義します。より多くの詳細については「不揮発性ﾒﾓﾘ制御器」章を参照してください。

注: FUSE.BOOTSIZEが$00の場合、FUSE.CODESIZE値を使うことなく、ﾌﾗｯｼｭ ﾒﾓﾘ全体がﾌﾞｰﾄ ｺｰﾄﾞ領域として設定されます。

8.8.2.7. BOOTSIZE – ﾌﾞｰﾄの大きさ (Boot Size)

名称 : BOOTSIZE
変位 : +$08
既定 : $00
特質 : –

このﾋｭｰｽﾞ記述で与えられる既定値は工場書き込み値で、ﾘｾｯﾄ値と間違えてはいけません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	BOOTEND7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – BOOTSIZE7~0 : ﾌﾞｰﾄ領域の大きさ** (Boot Section Size)

このﾋﾞｯﾄ領域は256ﾊﾞｲﾄの塊でﾌﾞｰﾄ領域の大きさを制御します。$00の値はﾌﾞｰﾄ ｺｰﾄﾞ領域としてﾌﾗｯｼｭ ﾒﾓﾘ全体を制御します。より多くの詳細については「不揮発性ﾒﾓﾘ制御器」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

8.9. SIGROW – 識票列

識票列(SIGROW)ﾋｭｰｽﾞの内容は予め書かれていて変えることができません。SIGROWはﾃﾞﾊﾞｲｽID、通番、校正値を保持します。

全てのAVR32EA28/32/48ﾃﾞﾊﾞｲｽはﾃﾞﾊﾞｲｽを識別する3ﾊﾞｲﾄのﾃﾞﾊﾞｲｽIDを持ちます。このﾃﾞﾊﾞｲｽIDは例えﾃﾞﾊﾞｲｽが施錠されている時でも、UPDIｲﾝﾀｰﾌｪｰｽを使って読むことができます。この3ﾊﾞｲﾄは識票列に属します。識票ﾊﾞｲﾄは右表で与えられます。

表8-6. ﾃﾞﾊﾞｲｽID

ﾃﾞﾊﾞｲｽ名	識票ﾊﾞｲﾄ ｱﾄﾞﾚｽ		
	$0000	$0001	$0002
AVR32EA28	$1E	$95	$3E
AVR32EA32	$1E	$95	$3D
AVR32EA48	$1E	$95	$3C

8.9.1. 識票列要約

変位	略称	ﾋﾞｯﾄ位置	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0
+$00	DEVICEID0	7～0	DEVICEID7~0							
+$01	DEVICEID1	7～0	DEVICEID7~0							
+$02	DEVICEID2	7～0	DEVICEID7~0							
+$03	予約									
+$04	TEMPSENSE0	7～0	TEMPSENSE7~0							
+$05		15～8	TEMPSENSE15~8							
+$06	TEMPSENSE1	7～0	TEMPSENSE7~0							
+$07		15～8	TEMPSENSE15~8							
+$08 ～ +$0F	予約									
+$10	SERNUM0	7～0	SERNUM7~0							
～										
+$1F	SERNUM15	7～0	SERNUM7~0							

© 2023 Microchip Technology Inc.とその子会社

8.9.2. 識票列説明

8.9.2.1. DEVICEIDn – ﾃﾞﾊﾞｲｽIDn (Device ID n)

名称 : DEVICEID0 : DEVICEID1 : DEICEVID2
変位 : +$00 : +$01 : +$02
ﾘｾｯﾄ : [ﾃﾞﾊﾞｲｽID]
特質 : –

各ﾃﾞﾊﾞｲｽはﾃﾞﾊﾞｲｽとﾒﾓﾘ量、ﾋﾟﾝ数、ﾀﾞｲ改訂を含むそれの特性を識別するﾃﾞﾊﾞｲｽIDを持ちます。ﾃﾞﾊﾞｲｽと利用可能な機能を識別するのにこのIDを使ってください。ﾃﾞﾊﾞｲｽIDはSIGROW.DEVICEID2～0の3ﾊﾞｲﾄから成ります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DEVICEID7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x

● **ﾋﾞｯﾄ7～0 – DEVICEID7~0 : ﾃﾞﾊﾞｲｽIDのﾊﾞｲﾄn** (Byte n of the Device ID)

8.9.2.2. TEMPSENSEn – 温度感知器校正n (Temperature Sensor Calibration n)

名称 : TEMPSENSE0L : TEMPSENSE0H : TEMPSENSE1L : TEMPSENSE1H
変位 : +$04 : +$05 : +$06 : +$07
ﾘｾｯﾄ : [温度感知器校正値]
特質 : –

温度感知器校正ﾚｼﾞｽﾀはﾁｯﾌﾟ上温度感知器での温度測定に対する修正係数を含みます。SIGROW.TEMPSENSE0は利得/傾斜に対する(符号付き)修正係数で、SIGROW.TEMPSENSE1は変位(ｵﾌｾｯﾄ)に対する(符号付き)修正係数です。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	TEMPSENSE15~8							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TEMPSENSE7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x

● **ﾋﾞｯﾄ15～0 – TEMPSENSE15~0 : 温度感知器校正** (Temperature Sensor Calibration)

これらのﾚｼﾞｽﾀの使い方については「ADC – A/D変換器」章を参照してください。

8.9.2.3. SERNUMn – 通番ﾊﾞｲﾄn (Serial Number Byte n)

名称 : SERNUM0 ～ SERNUM15
変位 : +$10 ～ +$1F
ﾘｾｯﾄ : [ﾃﾞﾊﾞｲｽ通番のﾊﾞｲﾄn]
特質 : –

各ﾃﾞﾊﾞｲｽは固有のIDを表す個別の通番を持ちます。この固有の通番は在野で特定ﾃﾞﾊﾞｲｽを識別するのに使うことができます。通番はSIGROW.SERNUM15～0の16ﾊﾞｲﾄから成ります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SERNUM7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x

● **ﾋﾞｯﾄ7～0 – SERNUM7~0 : 通番のﾊﾞｲﾄn** (Serial Number Byte n)

© 2023 Microchip Technology Inc.とその子会社

8.10. I/Oメモリ

AVR32EA28/32/48ﾃﾞﾊﾞｲｽの全てのI/Oと周辺機能はI/Oﾒﾓﾘ空間に配置されます。更なる詳細については「周辺機能ｱﾄﾞﾚｽ配置」表を参照してください。

将来のﾃﾞﾊﾞｲｽとの互換性のため、予約ﾋﾞｯﾄを含むﾚｼﾞｽﾀが書かれる場合、予約されたﾋﾞｯﾄは'0'を書かれなければなりません。予約されたI/Oﾒﾓﾘ ｱﾄﾞﾚｽは決して書かれてはなりません。

単一周期I/Oﾚｼﾞｽﾀ

$00～$3Fに及ぶI/OﾒﾓﾘはINまたはOUTの命令を使って単一周期CPU命令によってｱｸｾｽすることができます。

単一周期I/Oﾚｼﾞｽﾀで利用可能な周辺機能は次のとおりです。

- VPORTx (仮想ﾎﾟｰﾄ)
  - 更なる詳細については「I/Oﾋﾟﾝ構成設定」章を参照してください。
- GPR (汎用ﾚｼﾞｽﾀ)
  - 更なる詳細については「汎用ﾚｼﾞｽﾀ」章を参照してください。
- CPU
  - 更なる詳細については「AVR® CPU」章を参照してください。

$00～$1Fに及ぶ単一周期I/Oﾚｼﾞｽﾀ(VPORTxとGPR)はSBIまたはCBIの命令を用いて直接ﾋﾞｯﾄ ｱｸｾｽも可能です。これらの単一周期I/Oﾚｼﾞｽﾀでは、SBISまたはSBICの命令を用いることによって単一ﾋﾞｯﾄを調べることができます。

更なる詳細については「命令一式要約」章を参照してください。

8.10.1. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

AVR32EA28/32/48ﾃﾞﾊﾞｲｽ用のﾚｼﾞｽﾀの殆どは8ﾋﾞｯﾄ ﾚｼﾞｽﾀですが、このﾃﾞﾊﾞｲｽは少数の16ﾋﾞｯﾄ ﾚｼﾞｽﾀも特徴です。AVRﾃﾞｰﾀ ﾊﾞｽが8ﾋﾞｯﾄの幅を持つため、16ﾋﾞｯﾄのｱｸｾｽは2つの読みまたは書きの操作を必要とします。AVR32EA28/32/48ﾃﾞﾊﾞｲｽの全ての16ﾋﾞｯﾄﾚｼﾞｽﾀは一時(TEMP)ﾚｼﾞｽﾀを通して8ﾋﾞｯﾄ ﾊﾞｽに接続されます。

16ﾋﾞｯﾄ書き込み操作については、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ ﾚｼﾞｽﾀ(例えば、DATAL)が上位ﾊﾞｲﾄ ﾚｼﾞｽﾀ(例えば、DATAH)に先立って書かれなければなりません。下位ﾊﾞｲﾄ ﾚｼﾞｽﾀ書き込みは図8-3.の左側で示されるように、下位ﾊﾞｲﾄ ﾚｼﾞｽﾀの代わりに一時(TEMP)ﾚｼﾞｽﾀへの書き込みに帰着します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ ﾚｼﾞｽﾀが書かれると、図8-3.の右側で示されるように、同じｸﾛｯｸ周期でTEMPが16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄに複写されます。

16ﾋﾞｯﾄ読み込み操作については、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ ﾚｼﾞｽﾀ(例えば、DATAL)が上位ﾊﾞｲﾄ ﾚｼﾞｽﾀ(例えば、DATAH)に先立って読まれなければなりません。下位ﾊﾞｲﾄ ﾚｼﾞｽﾀが読まれると、図8-4.の左側で示されるように、同じｸﾛｯｸ周期で16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ ﾚｼﾞｽﾀが一時(TEMP)に複写されます。上位ﾊﾞｲﾄ ﾚｼﾞｽﾀ読み込みは図8-4.の右側で示されるように、上位ﾊﾞｲﾄ ﾚｼﾞｽﾀの代わりにTEMPﾚｼﾞｽﾀからの読み込みになります。

記述された機構はﾚｼﾞｽﾀが読みまたは書きされた時に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位と下位のﾊﾞｲﾄが常に同時にｱｸｾｽされることを保証します。

16ﾋﾞｯﾄ読み書き操作の間に割り込みが起動され、割り込み処理ﾙｰﾁﾝで同じ周辺機能内の16ﾋﾞｯﾄ ﾚｼﾞｽﾀがｱｸｾｽされる場合、割り込みは時限手順を不正にし得ます。これを防ぐため、16ﾋﾞｯﾄ ﾚｼﾞｽﾀを読みまたは書きする前に割り込みを禁止することが推奨されます。代わりに、割り込み処理ﾙｰﾁﾝで一時ﾚｼﾞｽﾀを先に読み、16ﾋﾞｯﾄ ｱｸｾｽ後に復元することができます。

図8-3. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀ書き込み動作

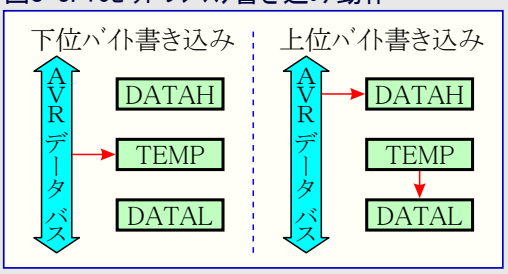
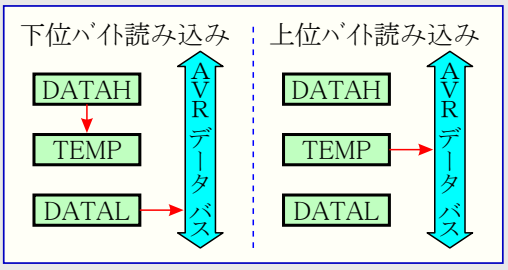


図8-4. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込み動作



8.10.2. 24ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀのｱｸｾｽ

24ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀについては、24ﾋﾞｯﾄ ﾚｼﾞｽﾀ用に2つの一時ﾚｼﾞｽﾀと32ﾋﾞｯﾄ ﾚｼﾞｽﾀ用に3つの一時ﾚｼﾞｽﾀがあることを除き、16ﾋﾞｯﾄ ﾚｼﾞｽﾀに対して記述されたのと同じ方法で行われます。ﾚｼﾞｽﾀに書く時は最上位ﾊﾞｲﾄが最後に書かれなければならず、ﾚｼﾞｽﾀを読む時は最下位ﾊﾞｲﾄが先に読まれなければなりません。

© 2023 Microchip Technology Inc.とその子会社

9. GPR – 汎用ﾚｼﾞｽﾀ

AVR32EA28/32/48ﾃﾞﾊﾞｲｽは4つの汎用ﾚｼﾞｽﾀを提供します。これらのﾚｼﾞｽﾀはどんな情報を格納するのにも使うことができ、それらは特に全域変数と割り込みﾌﾗｸﾞを格納するのに有用です。汎用ﾚｼﾞｽﾀのﾋﾞｯﾄに暗黙的または明示的な意味は適用されません。ﾋﾞｯﾄ値の意味はｿﾌﾄｳｪｱによって決められます。

ｱﾄﾞﾚｽ範囲$0C～$1Fに属す汎用ﾚｼﾞｽﾀはSBI、CBI、SBIS、SBICの命令を用いて直接ﾋﾞｯﾄ ｱｸｾｽ可能です。

© 2023 Microchip Technology Inc.とその子会社

9.1. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	GPR0	7～0	GPR7～0							
+$01	GPR1	7～0	GPR7～0							
+$02	GPR2	7～0	GPR7～0							
+$03	GPR3	7～0	GPR7～0							

© 2023 Microchip Technology Inc.とその子会社

9.2. ﾚｼﾞｽﾀ説明

9.2.1. GPRn – 汎用ﾚｼﾞｽﾀn (General Purpose Register n)

名称 : GPR0 : GPR1 : GPR2 : GPR3
変位 : +$00 : +$01 : +$02 : +$03
ﾘｾｯﾄ : $00
特質 : –

これらはﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間で全域変数やﾌﾗｸﾞのようなﾃﾞｰﾀを格納するのに使うことができる汎用ﾚｼﾞｽﾀです。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	GPR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ7~0 – GPR7~0 : 汎用ﾚｼﾞｽﾀn ﾊﾞｲﾄ** (General Purpose Register Byte)

© 2023 Microchip Technology Inc.とその子会社

10. 周辺機能と基本構造

10.1. 周辺機能ｱﾄﾞﾚｽ配置

ｱﾄﾞﾚｽ配置は各周辺機能に対する基準ｱﾄﾞﾚｽを示します。各周辺機能に対する完全なﾚｼﾞｽﾀ記述と要約については各々の周辺機能章を参照してください。

表10-1. 周辺機能ｱﾄﾞﾚｽ配置

基準ｱﾄﾞﾚｽ	名称	説明	28ﾋﾟﾝ	32ﾋﾟﾝ	48ﾋﾟﾝ
$0000	VPORTA	仮想ﾎﾟｰﾄA	○	○	○
$0004	VPORTB	仮想ﾎﾟｰﾄB	×	×	○
$0008	VPORTC	仮想ﾎﾟｰﾄC	○	○	○
$000C	VPORTD	仮想ﾎﾟｰﾄD	○	○	○
$0010	VPORTE	仮想ﾎﾟｰﾄE	×	×	○
$0014	VPORTF	仮想ﾎﾟｰﾄF	○	○	○
$001C	GPR	汎用ﾚｼﾞｽﾀ	○	○	○
$0030	CPU	CPU	○	○	○
$0040	RSTCTRL	ﾘｾｯﾄ制御器	○	○	○
$0050	SLPCTRL	休止制御器	○	○	○
$0060	CLKCTRL	ｸﾛｯｸ制御器	○	○	○
$00A0	BOD	低電圧検出	○	○	○
$00B0	VREF	基準電圧	○	○	○
$0100	WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ	○	○	○
$0110	CPUINT	割り込み制御器	○	○	○
$0120	CRCSCAN	巡回冗長検査ﾒﾓﾘ走査	○	○	○
$0140	RTC	実時間計数器	○	○	○
$01C0	CCL	構成設定可能な注文論理回路	○	○	○
$0200	EVSYS	事象ｼｽﾃﾑ	○	○	○
$0400	PORTA	ﾎﾟｰﾄA構成設定	○	○	○
$0420	PORTB	ﾎﾟｰﾄB構成設定	×	×	○
$0440	PORTC	ﾎﾟｰﾄC構成設定	○	○	○
$0460	PORTD	ﾎﾟｰﾄD構成設定	○	○	○
$0480	PORTE	ﾎﾟｰﾄE構成設定	×	×	○
$04A0	PORTF	ﾎﾟｰﾄF構成設定	○	○	○
$05E0	PORTMUX	ﾎﾟｰﾄ多重器	○	○	○
$0600	ADC0	A/D変換器0	○	○	○
$0680	AC0	ｱﾅﾛｸﾞ比較器0	○	○	○
$0688	AC1	ｱﾅﾛｸﾞ比較器1	○	○	○
$06A0	DAC0	D/A変換器0	○	○	○
$0800	USART0	万能同期非同期送受信器0	○	○	○
$0820	USART1	万能同期非同期送受信器1	○	○	○
$0840	USART2	万能同期非同期送受信器2	○	○	○
$0900	TWI0	2線ｲﾝﾀｰﾌｪｰｽ0	○	○	○
$0940	SPI0	直列周辺ｲﾝﾀｰﾌｪｰｽ0	○	○	○
$0A00	TCA0	ﾀｲﾏ/ｶｳﾝﾀA型0	○	○	○
$0A40	TCA1	ﾀｲﾏ/ｶｳﾝﾀA型1	○	○	○
$0B00	TCB0	ﾀｲﾏ/ｶｳﾝﾀB型0	○	○	○
$0B10	TCB1	ﾀｲﾏ/ｶｳﾝﾀB型1	○	○	○
$0B20	TCB2	ﾀｲﾏ/ｶｳﾝﾀB型2	○	○	○
$0B30	TCB3	ﾀｲﾏ/ｶｳﾝﾀB型3	○	○	○
$0F00	SYSCFG	ｼｽﾃﾑ構成設定	○	○	○
$0F80	OCD	ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ	○	○	○
$1000	NVMCTRL	不揮発性ﾒﾓﾘ制御器	○	○	○

© 2023 Microchip Technology Inc.とその子会社

表10-2. システム メモリ アドレス配置

基準アドレス	名称	説明	28ピン	32ピン	48ピン
$1040	LOCKBIT	施錠ビット	○	○	○
$1050	FUSE	使用者構成設定	○	○	○
$1080	USERROW	使用者列	○	○	○
$1100	SIGROW	識票列	○	○	○

10.2. 割り込みベクタ配置

各々の割り込みベクタは下表で示されるように1つの周辺機能実体に接続されます。周辺機能は1つ以上の割り込み元を持ち得ます。利用可能な割り込み元のより多くの詳細については各々の周辺機能の「機能的な説明」の「割り込み」項をご覧ください。

割り込み条件が起こると、例え割り込みが許可されていなくても、周辺機能の割り込み要求フラグ(周辺機能名.INTFLAGS)レジスタで割り込み要求フラグが設定(1)されます。

割り込みは周辺機能の割り込み制御(周辺機能名.INTCTRL)レジスタで対応する割り込み許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込みが許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求はその割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除(0)する方法の詳細については周辺機能の割り込み要求フラグ(周辺機能名.INTFLAGS)レジスタをご覧ください。

注: 割り込みが生成されるには割り込み要求に対して割り込みが全体的に許可されなければなりません。

表10-3. 割り込みベクタ配置

ベクタ番号	ベクタアドレス (語)	周辺機能 (名称)	説明	28ピン	32ピン	48ピン
0	$0000	RESET	リセット	○	○	○
1	$0002	NMI	以下に対して利用可能な遮蔽不可割り込み: ・CRCSCAN ・CFD	○	○	○
2	$0004	BOD_VLM	電圧水準監視器割り込み	○	○	○
3	$0006	CLKCTRL_CFD	外部クリスタル発振器/クロック元障害割り込み (CFD)	○	○	○
4	$0008	RTC_CNT	実時間計数器の溢れまたは比較一致の割り込み	○	○	○
5	$000A	RTC_PIT	実時間計数器の周期割り込み (PIT)	○	○	○
6	$000C	CCL_CCL	構成設定可能な注文論理回路割り込み	○	○	○
7	$000E	PORTA_PORT	ポートA外部割り込み	○	○	○
8	$0010	TCA0_OVF TCA0_LUNF	標準: タイマ/カウンタA型溢れ割り込み 分割: タイマ/カウンタA型下位下溢れ割り込み	○	○	○
9	$0012	 TCA0_HUNF	標準: 未使用 分割: タイマ/カウンタA型上位下溢れ割り込み	○	○	○
10	$0014	TCA0_CMP0 TCA0_LCMP0	標準: タイマ/カウンタA型比較0割り込み 分割: タイマ/カウンタA型下位比較0割り込み	○	○	○
11	$0016	TCA0_CMP1 TCA0_LCMP1	標準: タイマ/カウンタA型比較1割り込み 分割: タイマ/カウンタA型下位比較1割り込み	○	○	○
12	$0018	TCA0_CMP2 TCA0_LCMP2	標準: タイマ/カウンタA型比較2割り込み 分割: タイマ/カウンタA型下位比較2割り込み	○	○	○
13	$001A	TCB0_INT	タイマ/カウンタB型捕獲/溢れ割り込み	○	○	○
14	$001C	TCB1_INT	タイマ/カウンタB型捕獲/溢れ割り込み	○	○	○
15	$001E	TWI0_TWIS	2線インターフェース従装置割り込み	○	○	○
16	$0020	TWI0_TWIM	2線インターフェース主装置割り込み	○	○	○
17	$0022	SPI0_INT	直列周辺インターフェース割り込み	○	○	○
18	$0024	USART0_RXC	万能同期非同期送受信器受信完了割り込み	○	○	○
19	$0026	USART0_DRE	万能同期非同期送受信器データ レジスタ空割り込み	○	○	○
20	$0028	USART0_TXC	万能同期非同期送受信器送信完了割り込み	○	○	○
21	$002A	PORTD_PORT	ポートD外部割り込み	○	○	○
22	$002C	AC0_AC	アナログ比較器割り込み	○	○	○
23	$002E	ADC0_ERROR	A/D変換器誤り割り込み	○	○	○
24	$0030	ADC0_RESRDY	A/D変換器結果準備可割り込み	○	○	○
25	$0032	ADC0_SAMPRDY	A/D変換器試料準備可割り込み	○	○	○
26	$0034	AC1_AC	アナログ比較器割り込み	○	○	○
27	$0036	PORTC_PORT	ポートC外部割り込み	○	○	○
28	$0038	TCB2_INT	タイマ/カウンタB型捕獲/溢れ割り込み	○	○	○
29	$003A	USART1_RXC	万能同期非同期送受信器受信完了割り込み	○	○	○
30	$003C	USART1_DRE	万能同期非同期送受信器データ レジスタ空割り込み	○	○	○
31	$003E	USART1_TXC	万能同期非同期送受信器送信完了割り込み	○	○	○

次頁へ続く

© 2023 Microchip Technology Inc.とその子会社

表10-3 (続き). 割り込みﾍﾞｸﾀ配置

ﾍﾞｸﾀ番号	ﾍﾞｸﾀ ｱﾄﾞﾚｽ (語)	周辺機能 (名称)	説明	28 ﾋﾟﾝ	32 ﾋﾟﾝ	48 ﾋﾟﾝ
32	$0040	PORTF_PORT	ﾎﾟｰﾄF外部割り込み	○	○	○
33	$0042	EEREADY FLREADY	不揮発性ﾒﾓﾘ制御器EEPROM準備可割り込み 不揮発性ﾒﾓﾘ制御器ﾌﾗｯｼｭ ﾒﾓﾘ準備可割り込み	○	○	○
34	$0044	USART2_RXC	万能同期非同期送受信器受信完了割り込み	○	○	○
35	$0046	USART2_DRE	万能同期非同期送受信器ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み	○	○	○
36	$0048	USART2_TXC	万能同期非同期送受信器送信完了割り込み	○	○	○
37	$004A	TCB3_INT	ﾀｲﾏ/ｶｳﾝﾀB型捕獲/溢れ割り込み	○	○	○
38	$004C	TCA1_OVF TCA1_LUNF	標準: ﾀｲﾏ/ｶｳﾝﾀA型溢れ割り込み 分割: ﾀｲﾏ/ｶｳﾝﾀA型下位下溢れ割り込み	○	○	○
39	$004E	 TCA1_HUNF	標準: 未使用 分割: ﾀｲﾏ/ｶｳﾝﾀA型上位下溢れ割り込み	○	○	○
40	$0050	TCA1_CMP0 TCA1_LCMP0	標準: ﾀｲﾏ/ｶｳﾝﾀA型比較0割り込み 分割: ﾀｲﾏ/ｶｳﾝﾀA型下位比較0割り込み	○	○	○
41	$0052	TCA1_CMP1 TCA1_LCMP1	標準: ﾀｲﾏ/ｶｳﾝﾀA型比較1割り込み 分割: ﾀｲﾏ/ｶｳﾝﾀA型下位比較1割り込み	○	○	○
42	$0054	TCA1_CMP2 TCA1_LCMP2	標準: ﾀｲﾏ/ｶｳﾝﾀA型比較2割り込み 分割: ﾀｲﾏ/ｶｳﾝﾀA型下位比較2割り込み	○	○	○
43	$0056	PORTE_PORT	ﾎﾟｰﾄE外部割り込み	×	×	○
44	$0058	PORTB_PORT	ﾎﾟｰﾄB外部割り込み	×	×	○

10.3. SYSCFG – システム構成設定

システム構成設定は部品の改訂IDを含みます。この改訂IDはCPUから読め、部品の改訂間での応用変更の実装に対してそれを有用にします。

10.3.1. ﾚｼﾞｽﾀ要約

変位	略称	ﾋﾞｯﾄ位置	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0
+$00	予約									
+$01	REVID	7～0	MAJOR3~0				MINOR3~0			

10.3.2. ﾚｼﾞｽﾀ説明

10.3.2.1. REVID – ﾃﾞﾊﾞｲｽ改訂IDﾚｼﾞｽﾀ (Device Revision ID Register)

名称 : REVID
変位 : +$01
ﾘｾｯﾄ : [改訂ID]
特質 : –

このﾚｼﾞｽﾀは読み込み専用でﾃﾞﾊﾞｲｽ改訂IDを示します。改訂=A0, A1,～B0, B1,～以下同様です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	MAJOR3~0				MINOR3~0			
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x

- **ﾋﾞｯﾄ7~4 – MAJOR3~0 : 主改訂** (Major Revision)

このﾋﾞｯﾄ領域は主ﾃﾞﾊﾞｲｽ改訂を含みます。$1=A、$2=B、以下同様です。

- **ﾋﾞｯﾄ3~0 – MINOR3~0 : 副改訂** (Minor Revision)

このﾋﾞｯﾄ領域は$0から始まる副ﾃﾞﾊﾞｲｽ改訂を含みます。

© 2023 Microchip Technology Inc.とその子会社

11. NVMCTRL – 不揮発性ﾒﾓﾘ制御器

11.1. 特徴

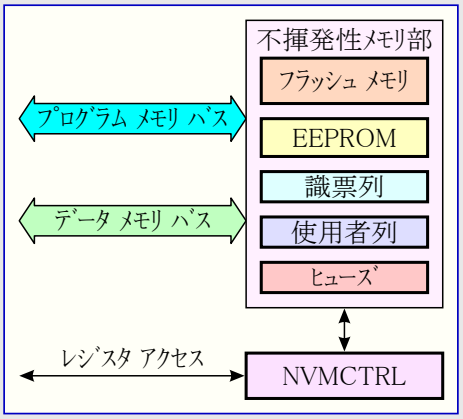
- 実装ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ可能
- 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄ ﾛｰﾀﾞ支援
- 真の書き込み中読み込み支援
- 構成設定可能なﾒﾓﾘ領域:
  - ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞ領域
  - 応用ｺｰﾄﾞ領域
  - 応用ﾃﾞｰﾀ領域
- 工場書き込みされたﾃﾞｰﾀ用の識票列
  - 各ﾃﾞﾊﾞｲｽ型式用のID
  - 各ﾃﾞﾊﾞｲｽ用の通番
  - 工場校正された周辺機能用の校正ﾊﾞｲﾄ
- 応用ﾃﾞｰﾀ用の使用者列
  - ｿﾌﾄｳｪｱから読み書き可能
  - 施錠されたﾃﾞﾊﾞｲｽでUPDIから書き込み可能
  - ﾁｯﾌﾟ消去後も保持される内容

11.2. 概要

NVM制御器(NVMCTRL)はCPUと不揮発性ﾒﾓﾘ(ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、識票列、使用者列、ﾋｭｰｽﾞ)間のｲﾝﾀｰﾌｪｰｽです。これらは給電されない時にそれらの値を保持する再書き込み可能なﾒﾓﾘ部です。ﾌﾗｯｼｭ ﾒﾓﾘは主にﾌﾟﾛｸﾞﾗﾑ記憶に使われますが、ﾃﾞｰﾀ記録に使うこともできます。EEPROM、識票列、使用者列、ﾋｭｰｽﾞはもっぱらﾃﾞｰﾀ記憶に使われます。

11.2.1. 構成図

図11-1. NVMCTRL構成図



11.3. 機能的な説明

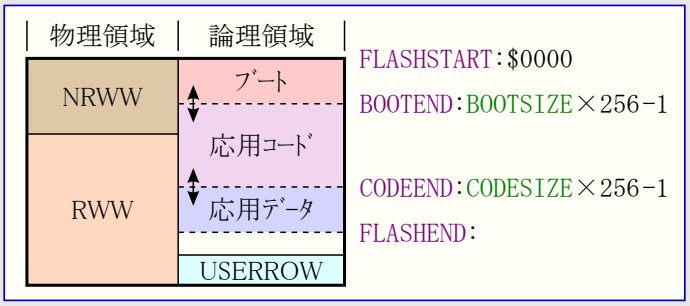
11.3.1. ﾒﾓﾘ構成

11.3.1.1. ﾌﾗｯｼｭ ﾒﾓﾘ

ﾌﾗｯｼｭ ﾒﾓﾘはﾍﾟｰｼﾞの組に分けられます。ﾍﾟｰｼﾞはﾌﾗｯｼｭ ﾒﾓﾘを消去する時にｱﾄﾞﾚｽ指定可能な最小単位です。それは一度にﾍﾟｰｼﾞ全体を書くまたは消去することだけが可能です。1ﾍﾟｰｼﾞは64ﾊﾞｲﾄから成ります。

ﾍﾟｰｼﾞの大きさと無関係に、ﾌﾗｯｼｭ ﾒﾓﾘは領域で構成されます。ﾌﾗｯｼｭ ﾒﾓﾘはﾌﾞｰﾄ ﾛｰﾀﾞ応用に対する構造を最適化するために書き込み中読み込み可(RWW:Read-While-Write)と書き込み中読み込み不可(NRWW:Non Read-While-Write)の2つの物理的な領域に分けられます。これら2つの領域をﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞ(BOOT)、応用ｺｰﾄﾞ(APPCODE)、応用ﾃﾞｰﾀ(APPDATA)の3つの論理的な領域に分けることが可能です。

図11-2. AVR EA系ﾌﾗｯｼｭ ﾒﾓﾘ領域



© 2023 Microchip Technology Inc.とその子会社

11.3.1.1.1. 物理的な領域

ﾌﾗｯｼｭ ﾒﾓﾘは物理的に2つの固定された領域、書き込み中読み込み可(RWW:Read-While-Write)と書き込み中読み込み不可(NRWW:Non Read-While-Write)に分けられます。

2つの領域間の主な違いは次のとおりです。

- RWWﾌﾗｯｼｭ ﾒﾓﾘ内に位置するﾍﾟｰｼﾞの消去または書き込み時、NRWWﾌﾗｯｼｭ ﾒﾓﾘはその操作中に読むことができます。
- NRWWﾌﾗｯｼｭ ﾒﾓﾘ内に位置するﾍﾟｰｼﾞの消去または書き込み時、CPUはその操作全体の間停止されます。

「書き込み中読み込み可領域」の記法はﾌﾟﾛｸﾞﾗﾑ(消去または書き込み)することで読めない領域を指します。RWWﾌﾗｯｼｭ ﾒﾓﾘが書かれ、または消去されつつある間にNRWWﾌﾗｯｼｭ ﾒﾓﾘ内に位置するｺｰﾄﾞだけがCPU命令を実行する、またはﾃﾞｰﾀを読むのどちらかによってｱｸｾｽすることができます。

注: RWW領域に置かれた割り込みｺｰﾄﾞはNRWW領域が消去または書き込みされる間に関連する割り込みが起動された場合にCPUを停止するかもしれません。これを避けるには割り込みを禁止するか、または割り込みｺｰﾄﾞをﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞ(BOOT)領域に置いてください。

下の図と表はこれら2つの物理的なﾌﾗｯｼｭ ﾒﾓﾘ領域を詳細に説明します。

図11-3. 書き込み中読み込みの筋書き

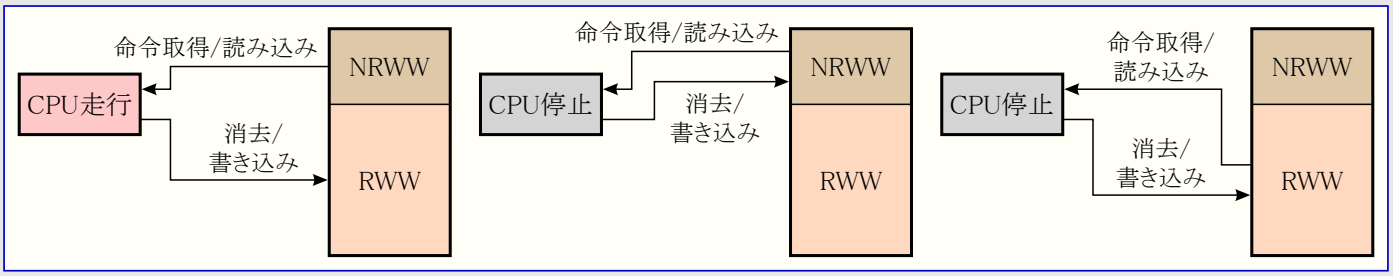


表11-1. 書き込み中読み込みの筋書き

ﾌﾗｯｼｭ ﾒﾓﾘ領域消去/書き込み	ﾌﾗｯｼｭ ﾒﾓﾘ領域ｱｸｾｽ	CPU
RWW領域	NRWW領域	走行
NRWW領域	NRWW領域	停止
RWW領域	RWW領域	停止

注: 使用者列はRWWﾌﾗｯｼｭ ﾒﾓﾘに置かれます。使用者列に位置するﾍﾟｰｼﾞを消去または書き込む時はこの操作の間にNRWWﾌﾗｯｼｭ ﾒﾓﾘを読むことができます。

注: 物理的な領域の大きさはﾃﾞﾊﾞｲｽ依存です。更なる詳細については「ﾒﾓﾘ概要」項を参照してください。

11.3.1.1.2. 論理的な領域

ﾌﾗｯｼｭ ﾒﾓﾘは各々が可変ﾍﾟｰｼﾞ数から成る3つの論理的な領域に分けることができます。これらの領域は次のとおりです。

- **ﾌﾞｰﾄ ﾛｰﾀﾞ ｺｰﾄﾞ (BOOT)** – 完全な書き込みｱｸｾｽを持つﾌﾗｯｼｭ ﾒﾓﾘ領域。ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱが使われるなら、この領域に置かれなければなりません。
- **応用ｺｰﾄﾞ (APPCODE)** – 限定された書き込みｱｸｾｽを持つﾌﾗｯｼｭ ﾒﾓﾘ領域。実行可能な応用ｺｰﾄﾞは通常、この領域に置かれます。
- **応用ﾃﾞｰﾀ (APPDATA)** – 書き込みｱｸｾｽを持たないﾌﾗｯｼｭ ﾒﾓﾘ領域。定数は通常、この領域に置かれます。

領域容量

ﾌﾞｰﾄの大きさ(FUSE.BOOTSIZE)ﾋｭｰｽﾞとｺｰﾄﾞの大きさ(FUSE.CODESIZE)ﾋｭｰｽﾞはこれらの領域の大きさを設定します。ﾋｭｰｽﾞは256ﾊﾞｲﾄの塊単位で領域容量を選びます。BOOT領域はFLASHSTARTからBOOTENDに達し、APPCODE領域はBOOTEND直後からCODEENDまで広がります。残りの領域がAPPDATA領域です。

FUSE.BOOTSIZEが'0'を書かれた場合、ﾌﾗｯｼｭ ﾒﾓﾘ全体がBOOT領域と見做されます。FUSE.CODESIZEが'0'を書かれ、FUSE.BOOTSEIZEが>0の場合、APPCODE領域はBOOTENDからﾌﾗｯｼｭ ﾒﾓﾘの最後までを走ります(APPDATA領域なし)。

FUSE.CODESIZE≦FUSE.BOOTSIZEだと、APPCODE領域は取り去られ、APPDATAがBOOTENDからﾌﾗｯｼｭ ﾒﾓﾘの最後までを走ります。

© 2023 Microchip Technology Inc.とその子会社

表11-2. ﾌﾗｯｼｭ ﾒﾓﾘ領域の構成設定

BOOTSIZE	CODESIZE	BOOT領域	APPCODE領域	APPDATA領域
0	0	0～FLASHEND	-	-
＞0	0	0～BOOTEND	BOOTEND～FLASHEND	-
＞0	≦BOOTEND	0～BOOTEND	-	BOOTEND～FLASHEND
＞0	＞BOOTEND	0～BOOTEND	BOOTEND～CODEEND	CODEEND～FLASHEND

ﾌﾞｰﾄ ﾛｰﾀﾞ ｿﾌﾄｳｪｱがない場合、応用ｺｰﾄﾞ用にBOOT領域を使うことが推奨されます。

注: 1. ﾘｾｯﾄ後、既定ﾍﾞｸﾀ表位置はAPPCODE領域の始めです。BOOT領域の始めに割り込みﾍﾞｸﾀ表を再配置することによってBOOT領域で走っているｺｰﾄﾞで周辺機能割り込みを使うことができます。それは制御A(CPUINT.CTRLA)ﾚｼﾞｽﾀの割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄを設定(1)することによって行われます。詳細については「CPUINT」章を参照してください。

2. BOOTSIZE/CODESIZEのﾋｭｰｽﾞ設定によって決定されるBOOTEND/APPENDがﾃﾞﾊﾞｲｽのFLASHENDを超える場合、対応するﾋｭｰｽﾞ設定は無視され、既定値が使われます。既定値については「ﾒﾓﾘ」章の「FUSE」項を参照してください。

例11-1. ﾌﾗｯｼｭ ﾒﾓﾘ領域の大きさの例

FUSE.BOOTSIZEが$04を書かれ、FUSE.CODESIZEが$08を書かれた場合、最初の4×256ﾊﾞｲﾄがBOOTで、次の4×256ﾊﾞｲﾄがAPPCODE、そして残りのﾌﾗｯｼｭ ﾒﾓﾘがAPPDATAです。

11.3.1.1.3. ﾌﾗｯｼｭ ﾒﾓﾘ ｱｸｾｽ保護

交差書き込み保護

安全性のため、ｺｰﾄﾞが現在実行しているﾌﾗｯｼｭ ﾒﾓﾘの領域へ書くことは不可能です。APPCODE領域へ書くｺｰﾄﾞはBOOT領域から実行されることが必要で、APPDATAに書くｺｰﾄﾞはBOOT領域またはAPPDATA領域のどちらかから実行される必要があります。

表11-3. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する書き込み保護 (ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ可)

処理されつつある領域 / ﾌﾟﾛｸﾞﾗﾑ実行領域	BOOT	APPCODE	APPDATA	EEPROM	USERROW
BOOT	×	○	○	○	○
APPCODE	×	×	○	○	○
APPDATA	×	×	×	×	×

ﾌﾗｯｼｭ ﾒﾓﾘ保護

交差書き込み保護に加えて、NVMCTRLはﾌﾗｯｼｭ ﾒﾓﾘ領域への望まれないｱｸｾｽを避けるための安全機構を提供します。例えCPUが決してBOOT領域に書くことできないにしても、制御B(NVMCTRL.CTRLB)ﾚｼﾞｽﾀのﾌﾞｰﾄ領域読み込み保護(BOOTRP)ﾋﾞｯﾄはBOOT領域からのｺｰﾄﾞの読み込みと実行の防止を提供します。このﾋﾞｯﾄはBOOT領域で実行されるｺｰﾄﾞからだけ設定(1)することができ、BOOT領域を去る時にだけ有効になります。

制御B(NVMCTRL.CTRLB)ﾚｼﾞｽﾀの3つの書き込み保護ﾋﾞｯﾄ(EEPROM書き込み保護(EEWP)、応用ﾃﾞｰﾀ領域書き込み保護(APPDATAWP)と応用ｺｰﾄﾞ領域書き込み保護(APPCODEWP))は各々、EEPROM、APPDATA、APPCODEの領域に対して書き込み保護を設定することができます。

11.3.1.2. EEPROM

EEPROMは1ﾍﾟｰｼﾞが多数のﾊﾞｲﾄからなるﾍﾟｰｼﾞの組に分けられる512ﾊﾞｲﾄの不揮発性ﾒﾓﾘ領域です。EEPROMは消去/書き込みでﾊﾞｲﾄの粒度を持ちます。各書き込み/消去はﾍﾟｰｼﾞ内で1つ以上のﾊﾞｲﾄを含むことができます。ﾍﾟｰｼﾞ緩衝部へのﾃﾞｰﾀ書き込み時、そのﾃﾞｰﾀに対するｱﾄﾞﾚｽが次の消去/書き込み実行時に更新されるように記されます。ﾍﾟｰｼﾞの残りのﾊﾞｲﾄは消去/書き込みされません。1操作で1ﾊﾞｲﾄの消去と書き込みを実行することもできます。

11.3.1.3. 使用者列

使用者列は書き込み中読み込み可(RWW)ﾌﾗｯｼｭ ﾒﾓﾘの64ﾊﾞｲﾄです。校正/構成設定のﾃﾞｰﾀや通番のような様々なﾃﾞｰﾀを格納するのにこの領域を使ってください。この領域はﾁｯﾌﾟ消去によって消去されません。

使用者列領域はCPUから読み書きすることができます。使用者列消去時、列全体が同時に消去されます。

この領域は解錠されたﾃﾞﾊﾞｲｽでUPDIを通して書くことができます。

11.3.1.4. ﾋｭｰｽﾞ

ﾋｭｰｽﾞはﾃﾞﾊﾞｲｽ構成設定値を含み、始動手順最後でそれらの目的対象ﾚｼﾞｽﾀに複写されます。

ﾋｭｰｽﾞはCPUまたはUPDIによって読むことができますが、UPDIによってだけ、書くまたは解除することができます。

© 2023 Microchip Technology Inc.とその子会社

11.3.1.5. 識票列

識票列は各ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾃﾞﾊﾞｲｽ型式と製造された各ﾃﾞﾊﾞｲｽに対する通番を識別するﾃﾞﾊﾞｲｽIDを含みます。通番は製造ﾛｯﾄ番号、ｳｪﾊ番号、ﾃﾞﾊﾞｲｽのｳｪﾊ座標から成ります。識票列はCPUまたはUPDIｲﾝﾀｰﾌｪｰｽによって読むことができますが、書き込みや消去ができません。

11.3.2. ﾒﾓﾘ ｱｸｾｽ

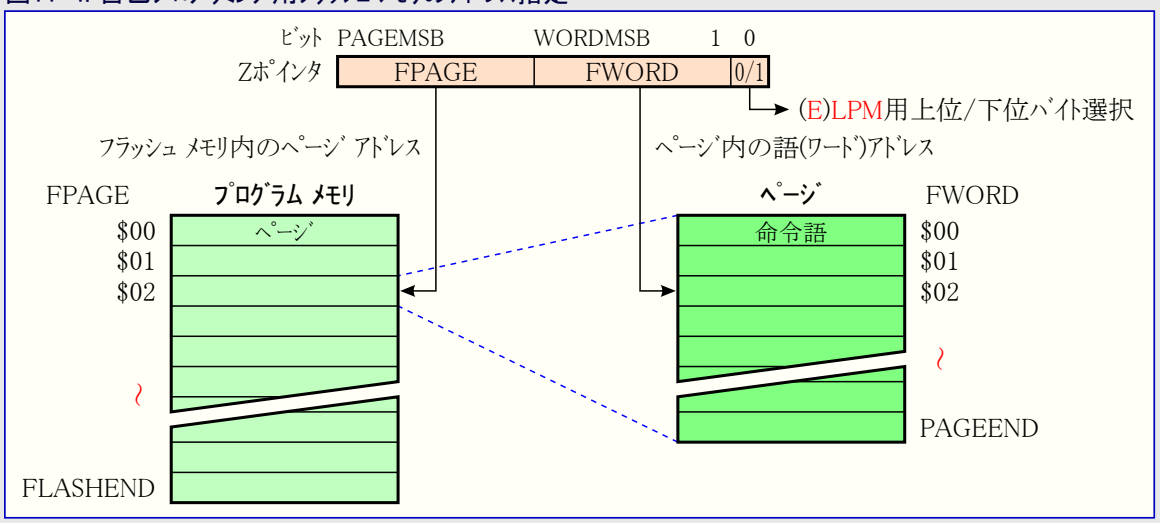
ﾌﾗｯｼｭ ﾒﾓﾘは読み/書き操作に対してｺｰﾄﾞ空間またはCPUﾃﾞｰﾀ空間のどちらかでｱｸｾｽすることができます。ｺｰﾄﾞ空間使用時、ﾌﾗｯｼｭ ﾒﾓﾘはLPMとSPM系命令を通してｱｸｾｽ可能です。

加えて、ﾌﾗｯｼｭ ﾒﾓﾘはCPUﾃﾞｰﾀ空間を通してﾊﾞｲﾄ ｱｸｾｽ可能で、SRAM、EEPROM、I/Oﾚｼﾞｽﾀと同じｱﾄﾞﾚｽ空間と命令を共用することを意味し、ｱｾﾝﾌﾞﾘ言語でLD/ST系命令を使ってｱｸｾｽ可能です。

ｺｰﾄﾞ空間でのﾌﾗｯｼｭ ﾒﾓﾘ ｱﾄﾞﾚｽ指定

ｺｰﾄﾞ空間でのﾌﾗｯｼｭ ﾒﾓﾘへの読み書きｱｸｾｽには、LPM/SPMｱｸｾｽ用のZﾎﾟｲﾝﾀを使ってください。

図11-4. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用ﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定



ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成され、語(ﾜｰﾄﾞ)でｱｸｾｽされるため、上図で示されるように、ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀは2つの領域を持つように扱うことができます。ﾍﾟｰｼﾞ内の語ｱﾄﾞﾚｽ(FWORD)はｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの下位側ﾋﾞｯﾄ(LSb)によって保持され、同時にｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの上位側ﾋﾞｯﾄ(MSb)がﾌﾗｯｼｭ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ(FPAGE)を保持します。FPAGEとFWORDはﾌﾗｯｼｭ ﾒﾓﾘ内の語への絶対ｱﾄﾞﾚｽを保持します。

ﾌﾗｯｼｭ ﾒﾓﾘ読み込み操作については1度に1ﾊﾞｲﾄが読まれます。このため、語ｱﾄﾞﾚｽ内の上位ﾊﾞｲﾄと下位ﾊﾞｲﾄを選ぶのにｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの最下位ﾋﾞｯﾄ(ﾋﾞｯﾄ0)を使ってください。このﾋﾞｯﾄが'0'ならば下位ﾊﾞｲﾄが読まれ、このﾋﾞｯﾄが'1'ならば上位ﾊﾞｲﾄが読まれます。

一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作を始めると、ｱﾄﾞﾚｽはﾗｯﾁされ、ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀは更新して他の作業に使うことができます。

CPUﾃﾞｰﾀ空間でのﾌﾗｯｼｭ ﾒﾓﾘ ｱﾄﾞﾚｽ指定

ﾃﾞｰﾀ空間でのﾌﾗｯｼｭ ﾒﾓﾘ領域は32Kﾊﾞｲﾄだけを持ちます。32Kﾊﾞｲﾄよりも大きなﾌﾗｯｼｭ ﾒﾓﾘ量を持つﾃﾞﾊﾞｲｽについては、ﾌﾗｯｼｭ ﾒﾓﾘが32Kﾊﾞｲﾄの塊に分割されます。これらの塊は制御B(NVMCTRL.CTRLB)ﾚｼﾞｽﾀのﾃﾞｰﾀ空間に割り当てられるﾌﾗｯｼｭ ﾒﾓﾘ領域(FLMAP)ﾋﾞｯﾄ領域を使ってﾃﾞｰﾀ空間に割り当てられます。

CPUﾃﾞｰﾀ空間でのﾌﾗｯｼｭ ﾒﾓﾘへの読み書きｱｸｾｽに対しては、1度に1ﾊﾞｲﾄをｱｸｾｽするのにLD/ST系命令を使ってください。

11.3.2.1. 読み込み

ﾌﾗｯｼｭ ﾒﾓﾘ読み込みはﾒﾓﾘ割り当てに従ったｱﾄﾞﾚｽを持つﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ取得(LPM)系命令または取得型(LD*)系命令を用いて行われます。EEPROMと識票列の読み込みはLD*系命令を用いて行われます。書き込みまたは消去が進行中の間の読み込み操作実行は進行中の操作が完了するまで保留にされます。

11.3.2.2. ﾍﾟｰｼﾞ緩衝部設定

ﾍﾟｰｼﾞ緩衝部はﾒﾓﾘ割り当てで定義されるように直接ﾒﾓﾘに書くことによって設定されます。EEPROMが独立したﾍﾟｰｼﾞ緩衝部を持つ一方でﾌﾗｯｼｭ ﾒﾓﾘと使用者列は同じﾍﾟｰｼﾞ緩衝部を共用し、故に同時に1つの領域だけをﾌﾟﾛｸﾞﾗﾐﾝｸﾞすることができます。ﾍﾟｰｼﾞ緩衝部にﾃﾞｰﾀを書く場所を選ぶのにｱﾄﾞﾚｽの下位側ﾋﾞｯﾄを使ってください。結果のﾃﾞｰﾀはﾍﾟｰｼﾞ緩衝部の以前の内容と新規値間の2進AND操作になります。ﾍﾟｰｼﾞ緩衝部は以下の後で自動的に消去(全ﾋﾞｯﾄ設定(1)に)されます。

- ﾃﾞﾊﾞｲｽ ﾘｾｯﾄ
- 何れかのﾍﾟｰｼﾞ書き込みまたは消去の操作
- ﾍﾟｰｼﾞ緩衝部解消指令
- 何れかの休止形態からのﾃﾞﾊﾞｲｽ起き上がり

注: ﾍﾟｰｼﾞ緩衝部でのどの操作も直前のNVMCTRL操作(指令)が完了されるまでCPUを停止します。

© 2023 Microchip Technology Inc.とその子会社

11.3.2.3. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ（書き込み）

ﾍﾟｰｼﾞ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞについてはﾍﾟｰｼﾞ緩衝部を満たすのと、ﾍﾟｰｼﾞ緩衝部をﾌﾗｯｼｭ ﾒﾓﾘ、使用者列、EEPROMに書く、2つに分かれた操作です。

ﾍﾟｰｼﾞ緩衝部内のﾃﾞｰﾀでﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞをﾌﾟﾛｸﾞﾗﾐﾝｸﾞする前に、ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞの内容は消去($FF読み戻し)されなければなりません。未消去ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞのﾌﾟﾛｸﾞﾗﾐﾝｸﾞはその内容を不正にします。

ﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ内容が正しくﾌﾟﾛｸﾞﾗﾐﾝｸﾞされるのを確実にのに以下の2つの任意選択が利用可能です。

任意選択1: ﾌﾗｯｼｭ ﾒﾓﾘは消去と書き込みの両方を処理する1つの指令を使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞされます。

1. 状態(NVMCTRL.STATUS)ﾚｼﾞｽﾀのﾌﾗｯｼｭ ﾒﾓﾘ多忙(FLBUSY)ﾌﾗｸﾞを読むことによってﾌﾗｯｼｭ ﾒﾓﾘの準備が整っているのを確実にしてください。
2. ﾍﾟｰｼﾞ緩衝部を満たしてください。
3. ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み(FLPERW)指令でﾍﾟｰｼﾞ緩衝部をﾌﾗｯｼｭ ﾒﾓﾘに書き込んでください。

任意選択2: ﾌﾗｯｼｭ ﾒﾓﾘはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み用の独立した指令を使ってﾌﾟﾛｸﾞﾗﾐﾝｸﾞされます。

1. 状態(NVMCTRL.STATUS)ﾚｼﾞｽﾀのﾌﾗｯｼｭ ﾒﾓﾘ多忙(FLBUSY)ﾌﾗｸﾞを読むことによってﾌﾗｯｼｭ ﾒﾓﾘの準備が整っているのを確実にしてください。
2. ｱﾄﾞﾚｽを設定するためにﾍﾟｰｼﾞ上の位置に書いてください。
3. ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ消去(FLPER)指令を実行してください。
4. ﾍﾟｰｼﾞ緩衝部を満たしてください。
5. ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み(FLPW)指令を実行してください。

NVM指令一式はﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの両方に対して単一の消去/書き込み(FLPERW/EEPERW)操作と分離したﾍﾟｰｼﾞ消去(FLPER/EEPER)指令とﾍﾟｰｼﾞ書き込み(FLPW/EEPW)指令の両方を支援します。これらの分離した指令は書く指令に対してより短いﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間を許し、消去操作は時間が重要でないﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行の間に行うことができます。

EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞはﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと似ていますが、ﾍﾟｰｼﾞ緩衝部で更新されたﾊﾞｲﾄだけがEEPROMで書かれるか、または消去されます。

表11-4. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ粒度

ﾒﾓﾘ領域	消去粒度	書き込み粒度
ﾌﾗｯｼｭ ﾒﾓﾘ配列	ﾍﾟｰｼﾞ	ﾍﾟｰｼﾞ
EEPROM配列	ﾊﾞｲﾄ	ﾊﾞｲﾄ
使用者列	ﾍﾟｰｼﾞ (注)	ﾍﾟｰｼﾞ (注)

注: 使用者列ﾍﾟｰｼﾞは64ﾊﾞｲﾄです。

11.3.2.4. 指令動作

ﾒﾓﾘ配列の読み込みはLD/LPM系命令(注)を用いて処理されます。

EEPROM消去(EECHER)指令は制御A(NVMCTRL.CTRLA)ﾚｼﾞｽﾀに指令を書くことによって開始されます。他の書き込み/消去操作は単にNVMCTRL.CTRLAﾚｼﾞｽﾀに指令を書くことによって許可され、ST/SPM系命令(注)を用いてﾒﾓﾘ配列に書くことが後続されなければなりません。

注: LPM/SPM系命令はEEPROMに使えません。

NVMCTRL.CTRLAﾚｼﾞｽﾀに指令を書くには以下の手順の実行が必要です。

1. 状態(NVMCTRL.STATUS)ﾚｼﾞｽﾀの多忙(EEBUSYとFLBUSY)ﾌﾗｸﾞを読むことによって直前のどの操作も完了されていることを確認してください。
2. NVM制御A(NVMCTRL.CTRLA)ﾚｼﾞｽﾀを解錠するために構成設定変更保護(CPU.CCP)ﾚｼﾞｽﾀに適切な鍵を書いてください。
3. 後続する4命令内で制御A(NVMCTRL.CTRLA)ﾚｼﾞｽﾀの指令(CMD)ﾋﾞｯﾄ領域に望む指令値を書いてください。

11.3.2.4.1. ﾍﾟｰｼﾞ書き込み指令

ﾍﾟｰｼﾞ書き込み(FLPW/EEPW)指令はﾍﾟｰｼﾞ緩衝部の内容をﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROMに書きます。

書き込みがﾌﾗｯｼ ﾒﾓﾘへの場合、CPUは「11.3.1.1.1. 物理的な領域」で説明されたようにｺｰﾄﾞを実行します。

書き込みがEEPROMへの場合、CPUはその操作が進行中の間にｺｰﾄﾞを実行します。書き込みを実行する前にﾍﾟｰｼﾞ/ﾊﾞｲﾄを消去してください。

使ったﾍﾟｰｼﾞ緩衝部はその操作の終了後、自動的に消去されます。

11.3.2.4.2. ﾍﾟｰｼﾞ消去指令

ﾍﾟｰｼﾞ消去(FLPER/EEPER)指令は現在のﾍﾟｰｼﾞを消去します。ﾍﾟｰｼﾞ消去指令を実施するにはﾍﾟｰｼﾞ緩衝部に1ﾊﾞｲﾄを書いてください。

ﾌﾗｯｼｭ ﾒﾓﾘ消去については、初めに望むﾍﾟｰｼﾞ内の1つのｱﾄﾞﾚｽへの偽装書き込みが必要とされ、その後に指令実行が続きます。そしてﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ全体が消去されます。CPUはﾍﾟｰｼﾞ書き込み指令と同じ条件に基づいて停止または継続します。

EEPROMに対する指令実行時、ﾍﾟｰｼﾞ緩衝部に書かれたﾊﾞｲﾄだけが消去されます。特定のﾊﾞｲﾄを消去するには指令を実行する前にそれに対応するｱﾄﾞﾚｽに書いてください。ﾍﾟｰｼﾞ全体を消去するには指令を書く前にﾍﾟｰｼﾞ緩衝部の全ﾊﾞｲﾄを更新してください。CPUはその操作が進行中の間、ｺｰﾄﾞの実行を続けます。

使ったﾍﾟｰｼﾞ緩衝部はその操作の終了後、自動的に消去されます。

© 2023 Microchip Technology Inc.とその子会社

11.3.2.4.3. ﾌﾗｯｼｭ複数ﾍﾟｰｼﾞ消去動作

ﾌﾗｯｼｭ複数ﾍﾟｰｼﾞ消去(FLMPERn)動作は複数ﾍﾟｰｼﾞを消去するためのﾒﾓﾘ配列への各書き込みを許します。FLMPERn使用時、2、4、8、16、32ﾍﾟｰｼﾞの消去から選ぶことが可能です。

どの複数ﾌﾗｯｼｭ ﾍﾟｰｼﾞが消去されるかを定義している時に、ﾍﾟｰｼﾞ ｱﾄﾞﾚｽの下位ﾋﾞｯﾄが無視されます。例としてFLMPER4を使うと、$08～$0B範囲内のどのﾍﾟｰｼﾞの消去も、範囲内の全てのﾍﾟｰｼﾞの消去を引き起こします。

表11-5. ﾌﾗｯｼｭ複数ﾍﾟｰｼﾞ消去

CMD	消去ﾍﾟｰｼﾞ数	説明
FLMPER2	2	FPAGEn～1に合致するﾍﾟｰｼﾞが消去されます。FPAGE0の値は無視されます。
FLMPER4	4	FPAGEn～2に合致するﾍﾟｰｼﾞが消去されます。FPAGE1～0の値は無視されます。
FLMPER8	8	FPAGEn～3に合致するﾍﾟｰｼﾞが消去されます。FPAGE2～0の値は無視されます。
FLMPER16	16	FPAGEn～4に合致するﾍﾟｰｼﾞが消去されます。FPAGE3～0の値は無視されます。
FLMPER32	32	FPAGEn～5に合致するﾍﾟｰｼﾞが消去されます。FPAGE4～0の値は無視されます。

注: FPAGEはﾌﾗｯｼｭ ﾒﾓﾘ消去を行う時のﾍﾟｰｼﾞ番号です。詳細については「11.3.2. ﾒﾓﾘ ｱｸｾｽ」を参照してください。

11.3.2.4.4. ﾍﾟｰｼﾞ消去/書き込み操作

ﾍﾟｰｼﾞ消去/書き込み(FLPERW/EEPERW)指令はﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込みの指令を組み合わせますが、ﾍﾟｰｼﾞ消去指令後のﾍﾟｰｼﾞ緩衝部解除なしです。消去/書き込み操作は初めに選んだﾍﾟｰｼﾞを消去し、その後に同じﾍﾟｰｼﾞにﾍﾟｰｼﾞ緩衝部の内容を書きます。

ﾌﾗｯｼｭ ﾒﾓﾘで実行されると、CPUはﾍﾟｰｼﾞ書き込み指令と同じ条件に基づいて停止または継続します。EEPROMで行われると、CPUはｺｰﾄﾞの実行を続けます。

使ったﾍﾟｰｼﾞ緩衝部はその操作の終了後、自動的に消去されます。

11.3.2.4.5. ﾍﾟｰｼﾞ緩衝部消去指令

ﾍﾟｰｼﾞ緩衝部解消(FLBCLR/EEBCLR)指令は対応するﾍﾟｰｼﾞ緩衝部を消去します。ﾍﾟｰｼﾞ緩衝部の内容はこの操作後に全て'1'です。CPUはこの操作実行の間、(7 CPU周期)停止されます。

11.3.2.4.6. EEPROM消去指令

EEPROM消去(EECHER)指令はEEPROMを消去します。全てのEEPROMは操作後に$FFを読み戻します。CPUはEEPROM消去の間、停止されます。

11.3.3. ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROM化け防止

CPUとﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMの正しい動作に対して供給電圧が低すぎる場合、ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの書き込みや消去はﾒﾓﾘ化けを起こし得ます。これらの問題はﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMを使う基板上程の系と同じです。動作電圧が充分高いことを保証するために内部または外部の低電圧検出器(BOD:Brown-Out Detector)が推奨されます。

電圧が低すぎると、次のような2つの状況がﾌﾗｯｼｭ ﾒﾓﾘ/EEPROM化けを引き起こすかもしれません。

1. ﾌﾗｯｼｭ ﾒﾓﾘへの通常の書き込み手順は正しく動くための最低電圧を必要とします。
2. 供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

ﾁｯﾌﾟ消去はﾋｭｰｽﾞを消しません。ﾁｯﾌﾟ消去指令を開始する前にBODがﾋｭｰｽﾞによって許可されている場合、ﾁｯﾌﾟ消去中、自動的にそれが以前に構成設定されていた基準で許可されます。

最大周波数対VDDについては「電気的特性」章を参照してください。

注意: 以下の対策を取ると、ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROM化けを避けるかもしれません。

- 不十分な電力供給電圧の期間中、ﾃﾞﾊﾞｲｽをﾘｾｯﾄに保ってください。内部低電圧検出器(BOD)を許可することによってこれを行ってください。
- BOD基準近くでEEPROMへの書き込み開始を防ぐのにBODでの電圧水準監視部(VLM)を使うことができます。
- 内部BODの検出基準が必要とする検出基準と一致しない場合、外部VDDﾘｾｯﾄ保護回路を使うことができます。書き込み操作が進行中の間にﾘｾｯﾄが起こる場合、その書き込み操作は中止されます。

© 2023 Microchip Technology Inc.とその子会社

11.3.4. 割り込み

表11-6. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
EEREADY	NVM	新規の書き込み/消去の操作に対してEEPROMが準備可
FLREADY		新規の書き込み/消去の操作に対してﾌﾗｯｼｭ ﾒﾓﾘが準備可

割り込み条件が起こると、割り込み要求ﾌﾗｸﾞ(NVMCTRL.INTFLAGS)ﾚｼﾞｽﾀでﾌﾗｯｼｭ ﾒﾓﾘ準備可(FLREADY)またはEEPROM準備可(EEREADY)の割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は割り込み許可(NVMCTRL.INTCTRL)ﾚｼﾞｽﾀでﾌﾗｯｼｭ ﾒﾓﾘ準備可割り込み許可(FLREADY)またはEEPROM準備可割り込み許可(EEREADY)のﾋﾞｯﾄに書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細についてはNVMCTRL.INTFLAGSﾚｼﾞｽﾀを参照してください。

11.3.5. 休止形態動作

進行中のNVM書き込み/消去操作が全くなければ、NVMCTRLはｼｽﾃﾑが休止動作形態へ移行する時に休止動作形態へ移行します。

ｼｽﾃﾑが休止動作形態へ移行する時に書き込み操作が進行中の場合、NVM部、NVM制御器、ｼｽﾃﾑ ｸﾛｯｸは書き込みが終了されるまでONに留まり、これはﾊﾟﾜｰﾀﾞｳﾝ休止動作を含む全ての休止動作形態に対して有効です。

EEPROM準備可とﾌﾗｯｼｭ ﾒﾓﾘ準備可の割り込みはｱｲﾄﾞﾙ休止動作からだけﾃﾞﾊﾞｲｽを起き上がらせます。

11.3.6. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるﾚｼﾞｽﾀを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)ﾚｼﾞｽﾀへ与えられた鍵が書かれ、4 CPU命令以内に保護されたﾋﾞｯﾄへの書き込みｱｸｾｽが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたﾚｼﾞｽﾀへ書こうとすると、それを無変化のままにします。

右のﾚｼﾞｽﾀがCCP下です。

表11-7. NVMCTRL – 構成設定変更保護下のﾚｼﾞｽﾀ

ﾚｼﾞｽﾀ	鍵種別
NVMCTRL.CTRLA	SPM
NVMCTRL.CTRLB	IOREG

© 2023 Microchip Technology Inc.とその子会社

11.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		CMD6～0						
+$01	CTRLB	7～0	FLMAPLOCK		FLMAP1,0		EEWP	APPDATAWP	BOOTRP	APPCODEWP
+$02 ～ +$03	予約									
+$04	INTCTRL	7～0							FLREADY	EEREADY
+$05	INTFLAGS	7～0							FLREADY	EEREADY
+$06	STATUS	7～0		ERROR2～0					FLBUSY	EEBUSY
+$07	予約									
+$08	DATA	7～0	DATA7～0							
+$09		15～8	DATA15～8							
+$0A ～ +$0B	予約									
+$0C	ADDR	7～0	ADDR7～0							
+$0D		15～8	ADDR15～8							
+$0E		23～16				ADDR23～16				
+$0F		31～24								

© 2023 Microchip Technology Inc.とその子会社

11.5. ﾚｼﾞｽﾀ説明

11.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
ﾘｾｯﾄ : $00
特質 : 構成設定変更保護

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		CMD2~0						
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6~0 – CMD6~0 : 指令** (Command)

指令を許可または発行するにはこのﾋﾞｯﾄ領域に書いてください。ﾁｯﾌﾟ消去とEEPROM消去の指令はこのﾋﾞｯﾄ領域にどちらかの指令を書く時に開始します。他の指令は消去または書き込みの操作を許可します。これらの操作は消去または書き込みをされているﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽに格納を行う時に開始します。

(状態(NVMCTRL.STATUS)ﾚｼﾞｽﾀの異常符号(ERROR)ﾋﾞｯﾄ領域での)指令衝突異常を防ぐため、1つの指令から次へ行く時に無指令(NOCMD)または無操作(NOOP)の指令を含むことが推奨されます。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(SPM)用の構成設定変更保護鍵がこれらのﾋﾞｯﾄを保護します。

値	名称	説明
000 0000 ($00)	NOCMD	無指令
000 0001 ($01)	NOOP	無操作
000 0100 ($04)	FLPW	ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ書き込み許可
000 0101 ($05)	FLPERW	ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み許可
000 1000 ($08)	FLPER	ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ消去許可
000 1001 ($09)	FLMPER2	ﾌﾗｯｼｭ ﾒﾓﾘ 2ﾍﾟｰｼﾞ消去許可
000 1010 ($0A)	FLMPER4	ﾌﾗｯｼｭ ﾒﾓﾘ 4ﾍﾟｰｼﾞ消去許可
000 1011 ($0B)	FLMPER8	ﾌﾗｯｼｭ ﾒﾓﾘ 8ﾍﾟｰｼﾞ消去許可
000 1100 ($0C)	FLMPER16	ﾌﾗｯｼｭ ﾒﾓﾘ 16ﾍﾟｰｼﾞ消去許可
000 1101 ($0D)	FLMPER32	ﾌﾗｯｼｭ ﾒﾓﾘ 32ﾍﾟｰｼﾞ消去許可
000 1111 ($0F)	FLPBCLR	ﾌﾗｯｼｭ ﾒﾓﾘ ﾍﾟｰｼﾞ緩衝部解消許可
001 0100 ($14)	EEPW	EEPROMﾍﾟｰｼﾞ書き込み許可
001 0101 ($15)	EEPERW	EEPROMﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み許可
001 0111 ($17)	EEPER	EEPROMﾍﾟｰｼﾞ消去許可
001 1111 ($1F)	EEPBCLR	EEPROMﾍﾟｰｼﾞ緩衝部解消許可
010 0000 ($20)	CHER	ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMを消去。 EEPROMはEESAVEﾋｭｰｽﾞが設定(1)の場合に飛ばされます(UPDIｱｸｾｽのみ)。
011 0000 ($30)	EECHER	EEPROM消去
その他	–	(予約)

11.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
ﾘｾｯﾄ : $30
特質 : 構成設定変更保護

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	FLMAPLOCK		FLMAP1,0		EEWP	APPDATAWP	BOOTRP	APPCODEWP
ｱｸｾｽ種別	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	1	1	0	0	0	0

● **ﾋﾞｯﾄ7 – FLMAPLOCK : ﾌﾗｯｼｭ ﾒﾓﾘ割り当て施錠** (Flash Mapping Lock)

このﾋﾞｯﾄへの'1'設定はﾃﾞｰﾀ空間に割り当てるﾌﾗｯｼｭ ﾒﾓﾘ領域(FLMAP1,0)の更なる更新を防ぎます。ﾘｾｯﾄだけがこのﾋﾞｯﾄを解除(0)できます。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ5,4 – FLMAP1,0 : ﾃﾞｰﾀ空間に割り当てるﾌﾗｯｼｭ ﾒﾓﾘ領域** (Flash Section Mapped into Data Space)

ﾌﾗｯｼｭ ﾒﾓﾘの(32Kﾊﾞｲﾄの塊で)どの部分がCPUﾃﾞｰﾀ空間の一部として割り当てられてLD/ST系命令を通してｱｸｾｽ可能かを選びます。

値	0 0	0 1	1 0	1 1
名称	SECTION0	SECTION1	SECTION2	SECTION3
割り当てられるﾌﾗｯｼｭ ﾒﾓﾘ部分 (32KB)	0～32	0～32	0～32	0～32

● **ﾋﾞｯﾄ3 – EEWP : EEPROM書き込み保護** (EEPROM Write Protection)

このﾋﾞｯﾄへの'1'書き込みは更なる書き込みからEEPROMを守ります。このﾋﾞｯﾄは'1'に書くことだけができます。ﾘｾｯﾄによってのみ解除(0)されます。

● **ﾋﾞｯﾄ2 – APPDATAWP : 応用ﾃﾞｰﾀ領域書き込み保護** (Application Data Section Write Protection)

このﾋﾞｯﾄへの'1'書き込みは更なる書き込みから応用ﾃﾞｰﾀ領域を守ります。このﾋﾞｯﾄは'1'に書くことだけができます。ﾘｾｯﾄによってのみ解除(0)されます。

● **ﾋﾞｯﾄ1 – BOOTRP : ﾌﾞｰﾄ領域読み込み保護** (Boot Section Read Protection)

このﾋﾞｯﾄへの'1'書き込みは読み込みと命令取得からﾌﾞｰﾄ領域を守ります。応用領域から読み込みが発行された場合、'0'を返します。BOOT領域からの命令取得はNOP命令を返します。このﾋﾞｯﾄはBOOT領域からだけ書くことができ、ﾘｾｯﾄによってのみ解除(0)されます。このﾋﾞｯﾄはこのﾋﾞｯﾄが(1を)書かれた後初めてBOOT領域を去る時にだけ有効です。

● **ﾋﾞｯﾄ0 – APPCODEWP : 応用ｺｰﾄﾞ領域書き込み保護** (Application Code Section Write Protection)

このﾋﾞｯﾄへの'1'書き込みは更なる書き込みから応用ｺｰﾄﾞ領域を守ります。このﾋﾞｯﾄは'1'に書くことだけができます。このﾋﾞｯﾄはﾘｾｯﾄによってのみ解除(0)されます。

11.5.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							FLREADY	EEREADY
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – FLREADY : ﾌﾗｯｼｭ ﾒﾓﾘ準備可割り込み許可** (Flash Ready Interrupt Enable)

このﾋﾞｯﾄへの'1'書き込みはﾌﾗｯｼｭ ﾒﾓﾘが新しい書き込み/消去の操作の準備が整ったことを示す割り込みを許可します。

これは割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのﾌﾗｯｼｭ ﾒﾓﾘ準備可割り込み要求(FLREADY)ﾌﾗｸﾞが'1'に設定されている時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM指令が発行される前にFLREADYﾌﾗｸﾞが解除(0)されないため、この割り込みはNVM指令を起動する前に許可されてはなりません。この割り込みは割り込み処理部で禁止されなければなりません。

● **ﾋﾞｯﾄ0 – EEREADY : EEPROM準備可割り込み許可** (EEPROM Ready Interrupt Enable)

このﾋﾞｯﾄへの'1'書き込みはEEPROMが新しい書き込み/消去の操作の準備が整ったことを示す割り込みを許可します。

これは割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのEEPROM準備可割り込み要求(EEREADY)ﾌﾗｸﾞが'1'に設定されている時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM指令が発行される前にEEREADYﾌﾗｸﾞが解除(0)されないため、この割り込みはNVM指令を起動する前に許可されてはなりません。この割り込みは割り込み処理部で禁止されなければなりません。

11.5.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flags)

名称 : INTFLAGS
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							FLREADY	EEREADY
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – FLREADY : ﾌﾗｯｼｭ ﾒﾓﾘ準備可割り込み要求ﾌﾗｸﾞ** (Flash Ready Interrupt Flag)

このﾌﾗｸﾞはﾌﾗｯｼｭ ﾒﾓﾘが多忙でない限り継続して設定(1)されます。このﾌﾗｸﾞはこれに'1'を書くことによって解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

● ﾋﾞｯﾄ0 – EEREADY : EEPROM準備可割り込み要求ﾌﾗｸﾞ (EEPROM Ready Interrupt Flag)

このﾌﾗｸﾞはEEPROMが多忙でない限り継続して設定(1)されます。このﾌﾗｸﾞはこれに'1'を書くことによって解除(0)されます。

11.5.5. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		ERROR2~0					FLBUSY	EEBUSY
ｱｸｾｽ種別	R	R/W	R/W	R/W	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ6~4 – ERROR2~0 : 異常符号 (Error Code)

このﾋﾞｯﾄ領域は最後に発生した異常を示します。この異常符号はこのﾋﾞｯﾄ領域に'0'を書くことによって解除することができます。

値	0 0 0	0 1 0	0 1 1	1 0 0	その他
名称	NONE	WRITEPROTECT	CMDCOLLISION	WRONGSECTION	–
説明	異常なし	書き込み保護された領域を書く試み	既に書き込み指令が選ばれている間に新しい書き込み指令を選択	使ったｱﾄﾞﾚｽに対する書き込み指令が不正	(予約)

● ﾋﾞｯﾄ1 – FLBUSY : ﾌﾗｯｼｭ ﾒﾓﾘ多忙 (Flash Busy)

このﾋﾞｯﾄはﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が進行中の時に'1'を読みます。

● ﾋﾞｯﾄ0 – EEBUSY : EEPROM多忙 (EEPROM Busy)

このﾋﾞｯﾄはEEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が進行中の時に'1'を読みます。

11.5.6. DATA – ﾃﾞｰﾀ (Data)

名称 : DATA (DATAH,DATAL)
変位 : +$08
ﾘｾｯﾄ : $0000
特質 : –

NVNCTRL.DATAHとNVMCTRL.DATALのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のNVMCTRL.DATAを表します。
下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽ可能です。
上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	DATA15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ15~0 – DATA15~0 : ﾃﾞｰﾀ値 (Data Register)

ﾃﾞｰﾀ ﾚｼﾞｽﾀはﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、またはNVMCTRLからの最後の読み込み値を含みます。EEPROMｱｸｾｽにはDATA7～0だけが使われます。

© 2023 Microchip Technology Inc.とその子会社

11.5.7. ADDR – ｱﾄﾞﾚｽ (Address)

名称 : ADDR (ADDR2,ADDR1,ADDR0)
変位 : +$0C
ﾘｾｯﾄ : $000000
特質 : –

NVNCTRL.ADDR0、NVMCTRL.ADDR1、NVMCTRL.ADDR2、NVMCTRL.ADDR3は32ﾋﾞｯﾄ値のNVMCTRL.ADDRを表します。
下位ﾊﾞｲﾄ[7～0](接尾辞0)は変位原点でｱｸｾｽ可能です。
上位ﾊﾞｲﾄ[15～8](接尾辞1)は変位+1でｱｸｾｽすることができます。
拡張ﾊﾞｲﾄ[23～16](接尾辞2)は変位+2でｱｸｾｽすることができます。
ﾊﾞｲﾄ[31～24](接尾辞3)は変位+3でｱｸｾｽすることができますが、どんな値も決して含みません。

ﾋﾞｯﾄ	31	30	29	28	27	26	25	24
ｱｸｾｽ種別	–	–	–	–	–	–	–	–
ﾘｾｯﾄ値	–	–	–	–	–	–	–	–
ﾋﾞｯﾄ	23	22	21	20	19	18	17	16
	ADDR23~16							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	ADDR15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADDR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ23~0 – ADDR23~0 : ｱﾄﾞﾚｽ値** (Address)

ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは最後にｱｸｾｽされたﾒﾓﾘ位置のｱﾄﾞﾚｽを含みます。ﾒﾓﾘをｱｸｾｽするのに必要とされるﾋﾞｯﾄ数だけが使われます。

© 2023 Microchip Technology Inc.とその子会社

12. CLKCTRL – クロック制御器

12.1. 特徴

- 周辺機能によって要求される時に自動的に許可される全てのクロックとクロック元
- 内部発振器
  - 20MHzまでの内部高周波数発振器(OSCHF)
  - 32.768kHz超低電力発振器(OSC32K)
  - 2倍または3倍のクロック逓倍器を持つ48MHzまでの位相固定化閉路(PLL)
- 内部発振器精度を改善するための自動調整
- 外部クロック任意選択
  - 32.768kHzクリスタル用発振器(XOSC32K)
  - 高周波数クリスタル用発振器(XOSCHF)
  - 外部クロック
- 主なクロック機能
  - 安全な走行時切り替え
  - 1～64の範囲の分周係数を持つ前置分周器
  - 内部供給元への自動クロック切り替えを持つクロック障害検出(CFD)

12.2. 概要

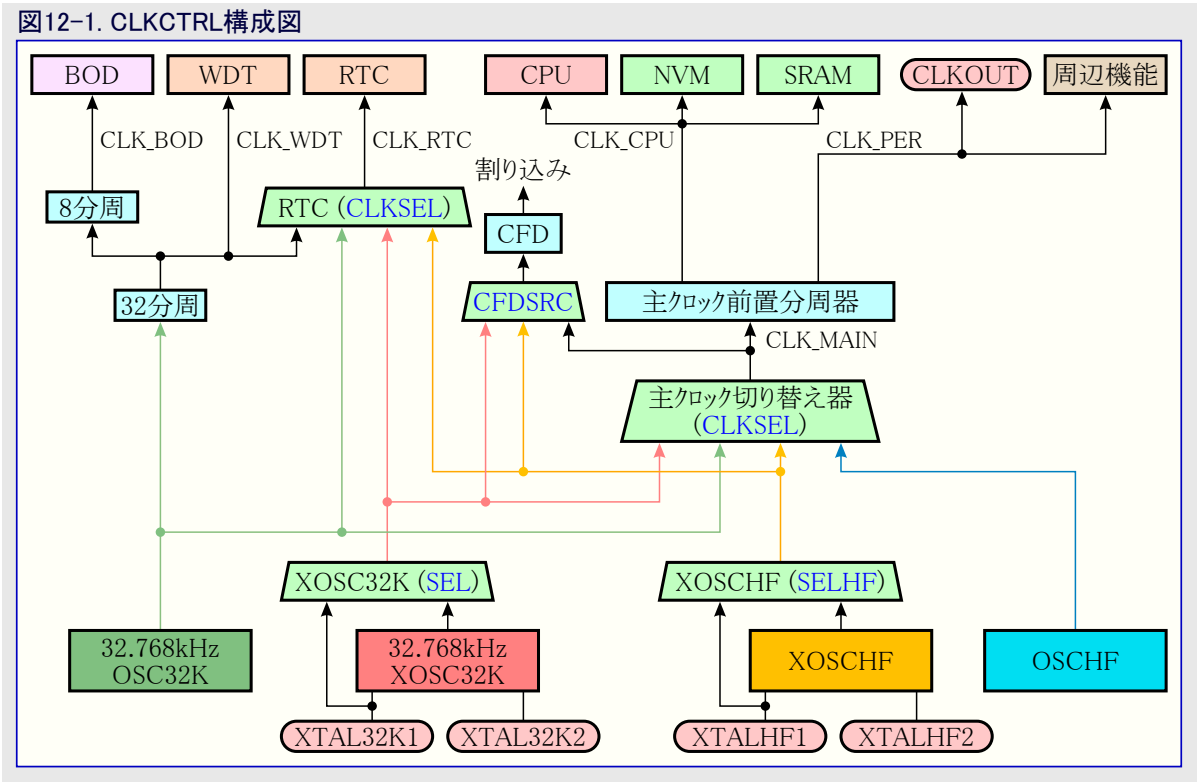
クロック制御器(CLKCTRL)は利用可能な発振器からのクロック信号を制御、分配、前置分周し、内部と外部のクロック元を支援します。

CLKCTRLはデバイス上の全ての周辺機能に実装された自動クロック要求システムに基づきます。周辺機能は必要とされるクロックを自動的に要求します。多数のクロック元が利用可能な場合、その要求は正しいクロック元に配線されます。

主クロック(CLK_MAIN)はCPU、SRAM、それとI/Oバスに接続される全ての周辺機能よって使われます。主クロック元を選んで前置分周することができます。いくつかの周辺機能は主クロックと同じクロック元を共用し、または主クロック領域と非同期に動きます。

12.2.1. 構成図

図12-1. CLKCTRL構成図



クロック システムは主クロックと主クロックから派生したクロック、更にいくつかの非同期クロックから成ります。

- 主クロック(CLK_MAIN)は常に活動動作とアイドル休止動作で動きます。必要とされる場合はスタンバイ休止動作でも動きます。
- CLK_MAINはクロック制御器によって前置分周されて分配されます。
  - CLK_CPUはCPU、SRAM、不揮発性メモリ制御器(NVMCTRL)によって使われます。
  - CLK_PERは非同期クロック下で一覧にされない全ての周辺機能によって使われ、CLKOUTピンに配線することもできます。
  - 全てのクロック元を主クロックとして使うことができます。

© 2023 Microchip Technology Inc.とその子会社

- 主クロック領域に対して非同期に動くクロック
  - CLK_RTCは実時間計数器(RTC)と周期的割り込み計時器(PIT)に使われ、RTC/PITが許可される時に要求されます。CLK_RTC用のクロック元はこの周辺機能が禁止されている場合にだけ変更することができます。
  - CLK_WDTはウォッチドッグ タイマ(WDT)によって使われます。WDTが許可される時に要求されます。
  - CLK_BODは低電圧検出器(BOD)によって使われます。BODが採取動作で許可される時に要求されます。代替クロック元はヒューズによって制御されます。
  - クロック障害検出器(CFD:Clock Failure Detector)は外部のクリスタルまたはクロック元での障害を検出する非同期機構です。

主クロック領域用のクロック元は主クロック制御A(CLKCTRL.MCLKCTRLA)レジスタのクロック選択(CLKSEL)ビット領域に書くことによって構成設定されます。このレジスタは構成設定変更保護(CCP)を持ち、CLKSELビット領域に書くのに先立って構成設定変更保護(CCP)レジスタに適切な鍵が書かれなければなりません。非同期クロック元は各々の周辺機能内のレジスタによって構成設定されます。

12.2.2. 信号説明

信号	形式	説明
CLKOUT	デジタル出力	CLK_PER出力
XTALHF1	アナログ入力	外部クロック元(EXTCLK)または高周波数クリスタルの1つのピン用の入力
XTALHF2	アナログ出力	高周波数クリスタルの1つのピン用の出力
XTAL32K1	アナログ入力	外部クロック元(EXTCLK)または32.768kHzクリスタルの1つのピン用の入力
XTAL32K2	アナログ出力	32.768kHzクリスタルの1つのピン用の出力

より多くの詳細については「入出力多重化」項を参照してください。

12.3. 機能的な説明

12.3.1. 初期化

クロック元を主クロックとして初期化するには以下のこれらの手順に従ってください。

1. 任意選択: 各々のクロック元のCTRLAレジスタのスタンバイ時走行(RUNSTDBY)ビットに'1'を書くことによって常に動くことをクロックに強制してください。
2. 対応するクロック元のCTRLAレジスタで必要とされるようにクロック元を構成設定し、当て嵌まるなら、許可ビットに'1'を書くことによってクロック元を許可してください。
3. 任意選択: RUNSTDBYビットが'1'の場合、CLKCTRL.MCLKSTATUSで当該状態ビットをポーリングすることによってクロック元が安定するのを待ってください。
4. 以下の補助手順は主クロック周波数が許された最大クロック周波数を決して超えないような順番で実行されることが必要です。
   a. 必要とされるなら、主クロック制御B(CLKCTRL.MCLKCTRLB)レジスタで前置分周器分周値(PDIV)ビット領域に書いて前置分周器許可(PEN)ビットに'1'を書くことによってクロック元周波数を構成設定してください。
   b. 主クロック制御A(CLKCTRL.MCLKCTRLA)レジスタのクロック選択(CLKSEL)ビット領域で主クロックとして構成設定したクロック元を選んでください。
5. 主クロック状態(CLKCTRL.MCLKSTATUS)レジスタの主クロック発振器変更(SOSC)ビットをポーリングすることによって主クロック変更を待ってください。
6. 任意選択: クロック元のCTRLAレジスタのRUNSTDBYビットを解除(0)してください。

12.3.2. 主クロック選択と前置分周器

利用可能な全ての発振器と外部クロック(EXTCLK)は主クロック(CLK_MAIN)用の主クロック元として使うことができます。主クロック元はソフトウェアから選択可能で、標準動作の間に安全に変更することができます。

構成設定変更保護機構は安全でないクロック切り替えを防ぎます。より多くの詳細については「構成設定変更保護」項を参照してください。

許可されると、クロック障害検出機構はクロック障害で内部クロック元へ安全に切り替えることを保証します。

外部クロック元の選択では選んだクロック元への切り替えは充分な数の端(エッジ)が検出される場合だけに起こります。充分なクロック端数が検出されない場合、クロック元は無変化に留まり、リセットを実行することなく別のクロック元へ変更することは不可能です。

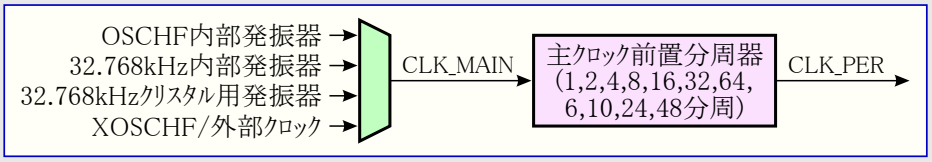
進行中のクロック元切り替えは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタの主クロック発振器変更(SOSC)フラグによって示されます。外部クロック元の安定性はCLKCTRL.MCLKSTATUSの各々の状態(外部クロック状態(EXTS)と32.768kHzクリスタル用発振器状態(XOSC32KS))のビットによって示されます。

⚠注意 外部クロック元がCLK_MAIN供給元として使われている間に機能しなくなった場合、ウォッチドッグ タイマ(WDT)だけがシステム リセットを提供することができます。

© 2023 Microchip Technology Inc.とその子会社

CLK_MAINはデバイスの周辺機能(CLK_PER)によって使われるのに先立って前置分周器へ供給されます。前置分周器は1段だけを持ち、1～64の係数でCLK_MAINを分周します。

図12-2. 主クロックと前置分周器



12.3.3. リセット後の主クロック

どのリセット後も、主クロック(CLK_MAIN)は分周係数6の前置分周器での20MHz発振器(OSCHF)によって提供されます。

実際のOSCNF周波数は発振器構成設定(FUSE.OSCCFG)ヒューズの内部高周波数発振器周波数(OSCHFFRQ)選択ビットによって決められます。リセット後に可能な周波数の詳細についてはFUSE.OSCCFGヒューズの記述を参照してください。

12.3.4. クロック元

全ての内部クロック元はそれらが周辺機能によって要求される時に自動的に許可されます。外部クリスタルに基づくクルスタル用発振器はこれらがクロック元として扱うことができるのに先立って許可されなければなりません。

- XOSC32K発振器は32.768kHzクリスタル用発振器制御A(CLKCTRL.XOSC32KCTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって許可されます。
- XOSCHF発振器は高周波数クリスタル用発振器制御A(CLKCTRL.XOSCHFCTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって許可されます。

リセット後、デバイスは内部高周波数発振器または内部32.768kHz発振器から走行を始めます。

主クロック状態(CLKCTRL.MCLKSTATUS)レジスタの各々の状態ビットはクロック元が走行していて安定かを示します。

12.3.4.1. 内部発振器

内部発振器は走行するのにどんな外部部品も必要としません。精度と電気的特性については「電気的特性」章を参照してください。

12.3.4.1.1. 内部高周波数発振器 (OSCHF)

OSCHFは20MHzまでの出力周波数を支援します。これは主クロック(CLK_MAIN)と実時間計数器(CLK_RTC)用クロック元として使うことができます。OSCHFの出力周波数は手動または外部発振器に対する自動のどちらかで調整することができます。

調整範囲と発振器仕様については「電気的特性」章を参照してください。

12.3.4.1.2. 32.768kHz発振器 (OSC32K)

32.768kHz発振器は超低電力(ULP)動作に最適化されています。外部クリスタル用発振器に比べて下げられた精度を犠牲にして消費電力が減らされています。

この発振器は実時間計数器(RTC)、ウォッチドッグ タイマ(WDT)、低電圧検出器(BOD)のために1.024kHzまたは32.768kHzのックロックを提供します。また、この発振器は主クロック(CLK_MAIN)へ32.768kHzクロックを提供することができます。

この発振器の始動時間については「電気的特性」章を参照してください。

12.3.4.2. 外部クロック元

これらの外部クロック元が利用可能です。

- XTALHF1とXTALHF2のピンは高周波数クリスタル用発振器(XOSCHF)を駆動するための専用にされます。
- クリスタル用発振器に代わりに、XTALHF1は外部クロック元を受け入れるように構成設定することができます。
- XTAL32K1とXTAL32K2のピンは32.768kHzクリスタル用発振器(XOSC32K)を駆動するための専用にされます。
- クリスタル用発振器の代わりに、XTAL32K1は外部クロック元を受け入れるように構成設定することができます。

12.3.4.2.1. 高周波数クリスタル用発振器 (XOSCHF)

この発振器は以下の2つの入力任意選択を支援します。

- クリスタルはXTALHF1とXTALHF2のピンに接続されます。
- XTALHF1に接続された20MHzまでで走行する外部クロック

入力任意選択はXOSCHF制御A(CLKCTRL.XOSCHFCTRLA)レジスタの供給元選択(SELHF)ビットへの書き込みによって構成設定されなければなりません。

XOSCHFはXOSCHFCTRLAの許可(ENABLE)ビットに'1'を書くことによって許可されます。許可されると、XOSCHFによって使われる汎用入出力(GPIO)ピンの構成設定はXTALHF1とXTALHF2のピンのため無効にされます。発振器は要求された時に走行を開始するように許可されることが必要です。

与えられたクリスタル用発振器の始動時間はCLKCTRL.XOSCHFCTRLAのクリスタル始動時間(CSUTHF)ビット領域への書き込みによって調節することができます。

XOSCHFがXTALHF1で外部クロックを使うように構成設定されると、始動時間は2周期に固定されます。

© 2023 Microchip Technology Inc.とその子会社

12.3.4.2.2. 32.768kHzクリスタル用発振器 (XOSC32K)

この発振器は以下の2つの入力任意選択を支援します。

- クリスタルはXTAL32K1とXTAL32K2のピンに接続されます。
- XTAL32K1に接続された32.768kHzで走行する外部クロック

XOSC32K制御A(CLKCTRL.XOSC32KCTRLA)レジスタの供給元選択(SEL)ビットを書くことによって入力任意選択を構成設定してください。

XOSC32KはCLKCTRL.XOSC32KCTRLAの許可(ENABLE)ビットに'1'を書くことによって許可されます。許可されると、XOSC32Kによって使われる汎用入出力(GPIO)ピンの構成設定はXTAL32K1とXTAL32K2のピンから無効にされます。発振器は要求された時に走行を開始するように許可されることが必要です。

与えられたクリスタル用発振器の始動時間はXOSC32KCTRLAのクリスタル始動時間(CSUT)ビット領域への書き込みによって調節することができます。

XOSC32KがXTAL32K1で外部クロックを使うように構成設定されると、始動時間は2周期に固定されます。

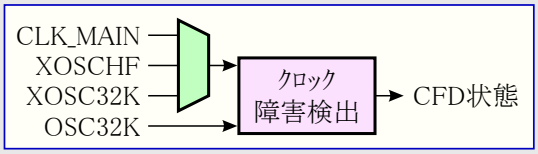
12.3.5. クロック障害検出 (CFD)

クロック障害検出(CFD:Clock Failure Detection)は外部のクリスタル発振子やクロック元が動かない場合に動作を続けることをデバイスに許します。CFDは主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出許可(CFDEN)ビットに'1'を書くことによって許可されます。監視可能な発振器とクロック元についてはクロック障害検出(CFD)構成図をご覧ください。

12.3.5.1. クロック障害検出(CFD)動作

クロック障害検出(CFD)機能は選んだ発振器/クロックで端を調べることによって動かない発振器やクロック元を検出します。特定時間内で端が検出されない場合、CFD状態が発行され、割り込みを起動するか、または安定な内部クロック元への切り替えをデバイスに強制します。

図12-3. クロック障害検出(CFD)構成図



CFD機能が許可されると、主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出元(CFDSRC)ビット領域で選ばれた供給元を監視します。休止でのCFDは選んだ供給元が活性である場合にだけ許可されます。

CFD状態が起きた場合、主クロック割り込み要求フラグ(CLKCTRL.MCLKINTFLAGS)レジスタのCFD割り込み要求フラグが設定(1)されます。割り込みが許可される場合、割り込み要求が発行されます。主クロック割り込み制御(CLKCTRL.MCLKINTCTRL)レジスタの割り込み型(INTTYP)ビットは標準割り込みまたは遮蔽不可割り込み(NMI)のどちらが発行されるかを決めます。

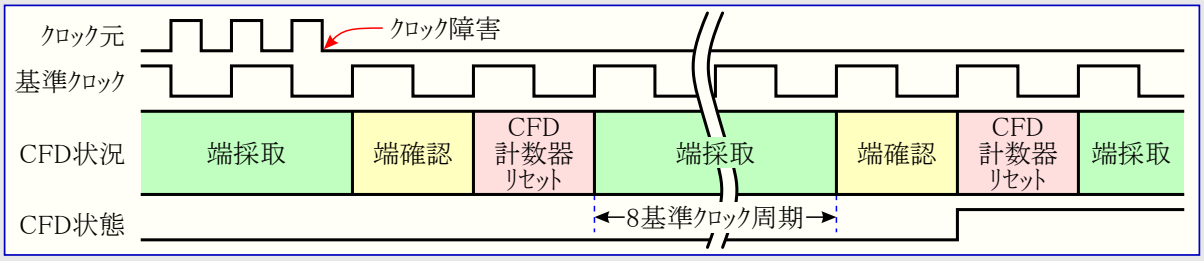
NMIが選ばれ、複数の割り込み元がNMIに設定される場合、どの供給元が割り込みを生成したかを知るためベクタを調べることが必要です。

監視されるクロック元が主クロックでそれが動かない場合、それで動く全てが停止します。これが起きた場合、CFD状態は始動クロック元を選ぶように主クロック制御A(CLKCTRL.MCLKCTRLA)レジスタのクロック選択(CLKSEL)ビット領域を上書きし、これはそれのリセット周波数に戻されます。

始動クロックは電源ONリセット(POR)後にシステムが走るクロックとして定義されます。この始動クロック元はヒューズによって定義されます。

CFD事象によってCLKSELが無効にされると、CLKOUT信号が禁止されます。

図12-4. クロック障害検出タイミング図



12.3.5.2. 状態解消

CFD状態はリセット後に解消され、監視される供給元が再び交互切り替えを開始するか、または主クロック割り込み要求フラグ(CLKCTRL.MCLKINTFLAGS)レジスタのクロック障害検出割り込み要求(CFD)フラグが設定(1)されます。障害状態に出会う限り、10 OSC32K周期毎に割り込みが起動します。それらの繰り返される割り込みが不要なら、主クロック割り込み制御(CLKCTR L.MCLKCTRL)レジスタのクロック障害検出割り込み許可(CFD)ビットに'0'を書いてください。それが監視されている主クロックの場合、既定始動クロックに戻すことが再び主クロックに交互切り替えを開始させ、この状態を解消します。

12.3.5.3. CFD試験

主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出試験(CFDTST)ビットはクロック障害検出器でクロック障害を起動するのに使うことができます。使用事例に応じて、クロック障害検出器を試験する2つの異なる動作形態があります。

© 2023 Microchip Technology Inc.とその子会社

12.3.5.3.1. 主クロックへの影響なしでのCFD試験

この動作形態は走行時の使用が意図されます。主クロックに影響しないよう、主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出試験(CFDTST)ビットが書かれる時にCLKCTRL.MCLKCTRLCのクロック障害検出供給元(CFDSRC)ビット領域は主クロックと違うクロック元に構成設定されなければなりません。CFDSRCは'00'以外でなければなりません。主クロック割り込み要求フラグ(CLKCTRL.MCLKINTFLAGS)レジスタのCFD割り込み要求(CFD)フラグが設定(1)されますが、主クロックは始動クロック元に変わりません。

クロック障害検出器が主クロックを監視し、クロック障害検出器の走行時検査が必要とされる場合、以下の手順を行うことが必要です。

1. CLKCTRL.MCLKCTRLCのクロック障害検出許可(CFDEN)ビットに'0'を書くことによってクロック障害検出器を禁止し、CFDSRCビットに'00'以外の数値を書くことによって供給元を直接的に発振器へ変更してください。
2. このフラグを解除するためにCLKCTRL.MCLKINTFLAGSのCFD割り込み要求フラグに'1'を書いてください。
3. CFDTSTビットに'1'を書き、CFDENビットに'1'を書くことによって再びクロック障害検出器を許可してください。
4. クロック障害作業を調べるためにCLKCTRL.MCLKINTFLAGSのCFDビットが設定(1)されるのを待ってください。
5. CFDビットに'0'を書くことによってクロック障害検出器を禁止し、CFDSRCビット領域に'00'を書くことによって再び供給元を主クロックに変更してください。
6. CFDTSTビットに'0'を書き、CFDENビットに'1'を書くことによってクロック障害検出器を再び許可してください。

12.3.5.3.2. CFD試験と主クロックを始動クロック元へ変更

主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出元(CFDSRC)ビット領域が'00'の値を持ち、主クロックが監視される場合、MCLKCTRLCのクロック障害検出試験(CFDTST)ビットへの'1'書き込みは主クロックを始動クロック元へ変更する障害を起動します。

12.3.6. 時間基準

時間基準は1µs以上のタイミング周期を生成するの使われ、ADC始動時間のような内部遅延のタイミングに使われます。これは時間基準(CLKCTRL.MCLKTIMEBASE)レジスタの時間基準(TIMEBASE)ビット領域を1µs以上になるCLK_PER周期数に設定することによって行われます。この時間基準は最も近い整数に丸められなければなりません。

12.3.7. 手動調整と自動調整

OSCHFの出力周波数は手動または外部発振器に対する自動のどちらかで調節することができます。

手動調整

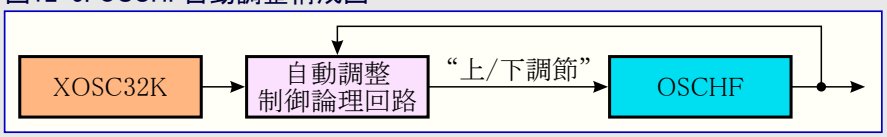
OSCHFの出力周波数は内部高周波数発振器調節(OSCHFTUNE)レジスタの使用者周波数調節(TUNE)ビット領域を書くことによって上下に調節することができます。内部高周波数発振器制御A(OSCHFCTRLA)レジスタの自動調整許可(AUTOTUNE)ビットは'0'に留まらなければなりません。

外部クリスタル発振器に対する自動調整

OSCHF出力周波数は外部クルスタル用発振器に対して自動的に調節することによって安定化することができます。OSCHFCTRLAレジスタのAUTOTUNEビットで外部発振器(='1')を選ぶことによって自動調整を許可してください。これはOSCHFTUNEレジスタを施錠して手動調整を阻止します。OSCHFTUNEレジスタはAUTOTUNEが禁止される時に最新のTUNE値で更新されます。

詳細については「電気的特性」章も参照してください。

図12-5. OSCHF自動調整構成図



12.3.8. 休止形態動作

クロック元が使用または要求されないと、それは止まります。各々の発振器の制御A(CLKCTRL.[発振器種別名]CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットに'1'を書くことによって直接クロック元を要求することが可能です。これはパワーダウン休止動作を除き、その発振器を絶えず走行させます。更に、このビットが'1'を書かれると、クロック元が周辺機能によって要求される時に、発振器の始動時間が取り去られます。

主クロックは活動動作とアイドル休止動作で常に動きます。スタンバイ休止動作では、どれかの周辺機能がこれを要求する、または各々の発振器の制御A(CLKCTRL.[発振器種別名]CTRLA)レジスタのRUNSTDBYビットが'1'を書かれる場合にだけ主クロックが動きます。

パワーダウン休止動作では全ての不揮発性メモリ(NVM)操作が完了された後に主クロックが停止します。休止動作形態のより多くの詳細については「SLPCTRL – 休止制御器」章を参照してください。

休止でクロック障害検出(CFD)は選んだ供給元が活動の場合にだけ許可されます。リセット後、CFDは監視される発振器の始動時間(SUT)が経過されるのと等しい時間まで障害探索を始めません。

© 2023 Microchip Technology Inc.とその子会社

12.3.9. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

表12-1. CLKCTRL – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
CLKCTRL.MCLKCTRLA	IOREG
CLKCTRL.MCLKCTRLB	
CLKCTRL.MCLKCTRLC	
CLKCTRL.MCLKINTCTRL	
CLKCTRL.OSCHFCTRLA	
CLKCTRL.OSC32KCTRLA	
CLKCTRL.XOSC32KCTRLA	
CLKCTRL.XOSCHFCTRLA	

© 2023 Microchip Technology Inc.とその子会社

12.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	MCLKCTRLA	7～0	CLKOUT				CLKSEL3~0			
+$01	MCLKCTRLB	7～0				PDIV3~0				PEN
+$02	MCLKCTRLC	7～0					CFDSRC1,0		CFDTST	CFDEN
+$03	MCLKINTCTRL	7～0	INTTYPE							CFD
+$04	MCLKINTFLAGS	7～0								CFD
+$05	MCLKSTATUS	7～0				EXTS/XOSCHFS	XOSC32KS	OSC32KS	OSCHFS	SOSC
+$06	MCLKTIMEBASE	7～0				TIMEBASE4~0				
+$07	予約									
+$08	OSCHFCTRLA	7～0	RUNSTDBY							AUTOTUNE
+$09	OSCHFTUNE	7～0	TUNE7~0							
+$0A ～ +$17	予約									
+$18	OSC32KCTRLA	7～0	RUNSTDBY							
+$19 ～ +$1B	予約									
+$1C	XOSC32KCTRLA	7～0	RUNSTDBY		CSUT1,0			SEL	LPMODE	ENABLE
+$1D ～ +$1F	予約									
+$20	XOSCHFCTRLA	7～0	RUNSTDBY		CSUTHF1,0				SELHF	ENABLE

© 2023 Microchip Technology Inc.とその子会社

12.5. レジスタ説明

12.5.1. MCLKCTRLA – 主クロック制御A (Main Clock Control A)

名称 : MCLKCTRLA
変位 : +$00
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	CLKOUT				CLKSEL3~0			
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – CLKOUT : 主クロック出力** (Main Clock Out)

このビットは主クロックが動いている時に主クロックが主クロック出力(CLKOUT)ピンで利用可能かどうかを制御します。
このビットはこれに'0'が書かれる時か、または供給元として主クロックでクロック障害検出(CFD)状態が起きた時に解除(0)されます。
このビットはこれに'1'が書かれる時に設定(1)されます。

値	0	1
説明	主クロックはCLKOUTピンで利用不能です。	主クロックはCLKOUTピンで利用可能です。

● **ビット3~0 – CLKSEL3~0 : クロック選択** (Clock Select)

このビット領域は主クロック(CLK_MAIN)用の供給元を選びます。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	その他
名称	OSCHF	OSC32K	XOSC32K	EXTCLK	–
説明	内部高周波数発振器	32.768kHz内部発振器	XOSC32KCTRLAのSELビットに応じて32.768kHz外部クロックまたは32.768kHz外部クリスタル用発振器	XOSCHFCTRLAのSELHFビットに応じて外部クロックまたは外部高周波数クリスタル用発振器	(予約)

12.5.2. MCLKCTRLB – 主クロック制御B (Main Clock Control B)

名称 : MCLKCTRLB
変位 : +$01
リセット : $11
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
				PDIV3~0				PEN
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	1	0	0	0	1

● **ビット4~1 – PDIV3~0 : 前置分周器分周値** (Prescaler Division)

このビット領域は前置分周器許可(PEN)ビットが'1'の時に主クロック(CLK_MAIN)前置分周器の分周比を制御します。

値	0000	0001	0010	0011	0100	0101	1000	1001	1010	1011	1100	その他
名称	DIV2	DIV4	DIV8	DIV16	DIV32	DIV64	DIV6	DIV10	DIV12	DIV24	DIV48	–
説明 (CLK_MAIN分周数)	2	4	8	16	32	64	6	10	12	24	48	(予約)

注: 入力周波数(CLK_MAIN)の構成設定と前置分周器設定は許された最大周波数の周辺機能クロック(CLK_PER)やCPUクロック(CLK_CPU)を超えてはなりません。更なる情報については「電気的特性」章を参照してください。

● **ビット0 – PEN : 前置分周器許可** (Prescaler Enable)

このビットは主クロック(CLK_MAIN)前置分周器が許可されるか否かを制御します。

値	0	1
説明	CLK_MAIN前置分周器禁止	CLK_MAIN前置分周器許可、分周比は前置分周器分周値(PDIV)ビット領域によって制御されます。

© 2023 Microchip Technology Inc.とその子会社

12.5.3. MCLKCTRLC – 主クロック制御C (Main Clock Control C)

名称 : MCLKCTRLC
変位 : +$02
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
					CFDSRC1,0		CFDTST	CFDEN
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3,2 – CFDSRC1,0 : クロック障害検出元** (Clock Failure Detection Source)

このビット領域はクロック障害検出許可(CFDEN)ビットが'1'の時にどのクロック元が監視されるかを制御します。

値	0 0	0 1	1 0	1 1
名称	SYS	XOSCHF	XOSC32K	–
説明	主クロック	外部高周波数発振器	外部32.768kHz発振器	(予約)

注: このビット領域はCFDENビットが'1'で、主クロック割り込み制御(CLKCTRL.MCLKINTCTRL)レジスタのクロック障害検出割り込み許可(CFD)ビットと割り込み型(INTTYPE)ビットの両方が'1'の時に読み込み専用です。このビットはシステム リセットが起こるまで読み込み専用に留まります。

● **ビット1 – CFDTST : クロック障害検出試験** (Clock Failure Detection Test)

このビットはCFD機能の試験を制御します。このビットへの'0'書き込みはこのビットを解除(0)して進行中のCFD試験障害状態を解消します。このビットへの'1'書き込みはこのビットを設定(1)してCFD障害状態を強制します。

値	0	1
説明	CFD機能の進行中試験なし	CFD障害状態が強制されます。

● **ビット0 – CFDEN : クロック障害検出許可** (Clock Failure Detection Enable)

このビットはCFDが許可されるか否かを制御します。

値	0	1
説明	CFDは禁止	CFDは許可

注: このビット領域はCFDENビットが'1'で、主クロック割り込み制御(CLKCTRL.MCLKINTCTRL)レジスタのクロック障害検出割り込み許可(CFD)ビットと割り込み型(INTTYPE)ビットの両方が'1'の時に読み込み専用です。このビットはシステム リセットが起こるまで読み込み専用に留まります。

12.5.4. MCLKINTCTRL – 主クロック割り込み制御 (Main Clock Interrupt Control)

名称 : MCLKINTCTRL
変位 : +$03
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	INTTYPE							CFD
アクセス種別	R/W	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – INTTYPE : 割り込み型** (Interrupt Type)

このビットはクロック障害検出(CFD)割り込みの型を制御します。

値	0	1
名称	INT	NMI
説明	通常割り込み	遮蔽不可割り込み

注: このビット領域は主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出許可(CFDEN)ビットが'1'で、クロック障害検出割り込み許可(CFD)ビットとこのビットの両方が'1'の時に読み込み専用です。このビットはシステム リセットが起こるまで読み込み専用に留まります。

© 2023 Microchip Technology Inc.とその子会社

● **ビット0 – CFD : クロック障害検出割り込み許可** (Clock Failure Detection Interrupt Enable)

このビットはクロック障害検出(CFD)割り込みが許可されるか否かを制御します。

値	0	1
説明	CFD割り込みは禁止	CFD割り込みは許可

注: このビット領域は主クロック制御C(CLKCTRL.MCLKCTRLC)レジスタのクロック障害検出許可(CFDEN)ビットが'1'で、割り込み型(INTTYPE)ビットとこのビットの両方が'1'の時に読み込み専用です。このビットはシステム リセットが起こるまで読み込み専用に留まります。

12.5.5. MCLKINTFLAGS – 主クロック割り込み要求フラグ (Main Clock Interrupt Flag)

名称 : MCLKINTFLAGS
変位 : +$04
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
								CFD
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – CFD : クロック障害検出割り込み要求フラグ** (Clock Failure Detection Interrupt Flag)

このビットはこれに'1'を書くことによって解除(0)されます。このフラグはクロック障害が検出された時に設定(1)されます。このビットへの'0'書き込みは無効です。このビットへの'1'書き込みはクロック障害検出割り込み要求(CFD)フラグを解除(0)します。

12.5.6. MCLKSTATUS – 主クロック状態 (Main Clock Status)

名称 : MCLKSTATUS
変位 : +$05
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
				EXTS/XOSCHFS	XOSC32KS	OSC32KS	OSCHFS	SOSC
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット4 – EXTS/XOSCHFS : 外部クリスタル/クロック状態** (External Crystal/Clock Status)

値	0	1
説明	外部高周波数発振器制御A(CLKCTRL.XOSCHFCTRLA)レジスタの供給元選択(SELHF)ビットが'0'の時に外部高周波数クリスタルは安定ではありません。 SELHFビットが'1'の時に外部高周波数クロックは動いていません。	SELHFビットが'0'の時に外部高周波数クリスタルは安定です。 SELHFビットが'1'の時に外部高周波数クロックは動いています。

● **ビット3 – XOSC32KS : 32.768kHzクリスタル用発振器状態** (32.768kHz External Crystal Oscillator Status)

値	0	1
説明	外部32.768kHz発振器制御A(CLKCTRL.XOSC32KCTRLA)レジスタの供給元選択(SEL)ビットが'0'の時に外部32.768kHzクリスタルは安定ではありません。 SELビットが'1'の時に外部32.768kHzクロックは動いていません。	SELビットが'0'の時に外部32.768kHzクリスタルは安定です。 SELビットが'1'の時に外部32.768kHzクロックは動いています。

● **ビット2 – OSC32KS : 内部32kHz超低電力発振器状態** (32.768kHz Ultra Low-Power Internal Oscillator Status)

値	0	1
説明	OSC32Kは安定ではありません。	OSC32Kは安定です。

● **ビット1 – OSCHFS : 内部高周波数発振器状態** (Internal High-Frequency Osillator Status)

値	0	1
説明	OSCHFは安定ではありません。	OSCHFは安定です。

© 2023 Microchip Technology Inc.とその子会社

● ﾋﾞｯﾄ0 – SOSC : 主ｸﾛｯｸ発振器変更 (Main Clock Oscillator Changing)

値	0	1
説明	CLK_MAIN用ｸﾛｯｸ元は切り替えを体験していません。	CLK_MAIN用ｸﾛｯｸ元は切り替えを体験し、 新供給元が安定すると直ぐに変更します。

12.5.7. MCLKTIMEBASE – 時間基準 (Timebase)

名称 : MCLKTIMEBASE
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
				TIMEBASE4~0				
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ4~0 – TIMEBASE4~0 : 時間基準 (Timebase)

このﾋﾞｯﾄ領域は1µs以上になるCLK_PER周期数を指定します。これはADC始動時間のような内部遅延のﾀｲﾐﾝｸﾞに使われます。
この値は最も近い整数に丸められなければなりません。以下のｺｰﾄﾞ断片はceil関数を使ってこれを行う方法を示します。

```
#include <math.h>
#define CLK_PER 3333333ul          // 20MHz/6 = 3.333333MHz
#define TIMEBASE_VALUE ((uint8_t) ceil(CLK_PER*0.000001))
```

12.5.8. OSCHFCTRLA – 内部高周波数発振器制御A (Internal High-Frequency Oscillator Control A)

名称 : OSCHFCTRLA
変位 : +$08
ﾘｾｯﾄ : $0C
特質 : 構成設定変更保護

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RUNSTDBY							AUTOTUNE
ｱｸｾｽ種別	R/W	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	1	1	0	0

● ﾋﾞｯﾄ7 – RUNSTDBY : ｽﾀﾝﾊﾞｲ時走行 (Run Standby)

このﾋﾞｯﾄは内部高周波数発振器(OSCHF)が常に動くか否かを制御します。

値	0	1
説明	OSCHF発振器は周辺機能または主ｸﾛｯｸによって 要求される時にだけ動きます。(注1)	OSCHF発振器は常に活動動作及び ｱｲﾄﾞﾙとｽﾀﾝﾊﾞｲの休止動作で動きます。(注2)

注1: 要求する周辺機能や主ｸﾛｯｸは発振器始動時間を考慮しなければなりません。
注2: 発振器信号は要求された場合にだけ利用可能で、2 OSCHF周期後に利用可能です。

● ﾋﾞｯﾄ0 – AUTOTUNE : 自動調整許可 (Auto-Tune Enable)

このﾋﾞｯﾄは内部高周波数発振器(OSCHF)の32.768kHzｸﾘｽﾀﾙでの自動調整機能が許可されるか否かを制御します。

値	0	1
名称	OFF	XOSC32K
説明	OSCHF発振器の自動調整機能が禁止されます。	OSCHF発振器の自動調整機能が許可されます。

© 2023 Microchip Technology Inc.とその子会社

12.5.9. OSCHFTUNE – 内部高周波数発振器調節 (Internal High-Frequency Oscillator Tune)

名称 : OSCHFTUNE
変位 : +$09
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	TUNE7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – TUNE7~0 : 使用者周波数調節** (User Frequency Tuning)

このビット領域は内部高周波数発振器(OSCHF)の出力周波数の手動調節を制御します。周波数は発振器の目標周波数から32段階下または31段階上へ調節することができます。従って、レジスタの受け入れ可能な入力値範囲は-32～+31です。

このビット領域の6ビット値が符号付き(2の補数)形式で表され、ビット5がビット6と7に反映されるため、ビット6と7への書き込みは無効です。

注: 内部高周波数発振器制御A(OSCHFCTRLA)レジスタの自動調整許可(AUTOTUNE)ビットが許可される場合、TUNE値は施錠されます。AUTOTUNEが禁止されると、このビット領域が自動調整動作からの最新調整値で更新される前に最大0.75µsと3主クロック周期かかります。

12.5.10. OSC32KCTRLA – 32.768kHz発振器制御A (32.768kHz Oscillator Control A)

名称 : OSC32KCTRLA
変位 : +$18
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY							
アクセス種別	R/W	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット1 – RUNSTDBY : スタンバイ時走行** (Run Standby)

このビットは内部32.768kHz発振器(OSC32K)が常に動くか否かを制御します。

値	0	1
説明	OSC32K発振器は周辺機能または主クロックによって要求される時にだけ動きます。(注1)	OSC32K発振器は常に活動動作及びアイドル、スタンバイ、パワーダウンの休止動作で動きます。(注2)

注1: 要求する周辺機能や主クロックは発振器始動時間を考慮しなければなりません。
注2: 発振器信号は要求された場合にだけ利用可能で、4 OSC32K周期後に利用可能です。

12.5.11. XOSC32KCTRLA – 32.768kHzクリスタル用発振器制御A (32.768kHz Crystal Oscillator Control A)

名称 : XOSC32KCTRLA
変位 : +$1C
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY		CSUT1,0			SEL	LPMODE	ENABLE
アクセス種別	R/W	R	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ時走行** (Run Standby)

このビットは許可(ENABLE)ビットが'1'の時に32.768kHzクリスタル用発振器(XOSC32K)がどの動作で常に動くか否かを制御します。

値	0	1
説明	XOSC32K発振器は活動動作とアイドル休止動作で周辺機能または主クロックによって要求される時にだけ動きます。(注1)	XOSC32K発振器は常に活動動作及びアイドル、スタンバイ、パワーダウンの休止動作で動きます。(注2)

注1: 要求する周辺機能や主クロックは発振器始動時間を考慮しなければなりません。
注2: 発振器信号は要求された場合にだけ利用可能で、初期クリスタル始動時間が既に終わった場合、最大3 XOSC32K周期後に利用可能です。

© 2023 Microchip Technology Inc.とその子会社

● **ビット5,4 – CSUT1,0 : クリスタル始動時間** (Crystal Start-Up Time)

このビット領域は供給元選択(SEL)ビットが'0'の時に32.768kHzクリスタル用発振器(XOSC32K)始動時間を制御します。

値	0 0	0 1	1 0	1 1
名称	1K	16K	32K	64K
説明	1K周期	16K周期	32K周期	64K周期

注: このビット領域は許可(ENABLE)ビットまたは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタのXOSC32K状態(XOSC32KS)ビットが'1'の時に読み込み専用です。

● **ビット2 – SEL : 供給元選択** (Source Select)

このビットは32.768kHzクリスタル用発振器(XOSC32K)の供給元を制御します。

値	0	1
説明	XTAL32K1とXTAL32K2のピンに接続した外部クリスタル	XTAL32K1ピンでの外部クロック

注: このビットは許可(ENABLE)ビットまたは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタのXOSC32K状態(XOSC32KS)ビットが'1'の時に読み込み専用です。

● **ビット1 – LPMODE : 低電力動作** (Low-Power Mode)

このビットは32.768kHzクリスタル用発振器(XOSC32K)が低電力動作か否かを制御します。

注: 低電力動作許可はクリスタルの始動時間を増し得ます。直列抵抗と全体容量を減らすためにクリスタル実装を変えるか、または低電力動作を禁止することによってこれを軽減してください。

値	0	1
説明	低電力動作禁止	低電力動作許可

● **ビット0 – ENABLE : 許可** (Enable)

このビットは32.768kHzクリスタル用発振器(XOSC32K)が許可されるか否かを制御します。

値	0	1
説明	XOSC32K発振器禁止	XOSC32K発振器許可、各々の発振器ピンに対する標準ピン操作を無効にします。

12.5.12. XOSCHFCTRLA – 外部高周波数クリスタル用発振器制御A (External High-Frequency Oscillator Control A)

名称 : XOSCHFCTRLA
変位 : +$20
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY		CSUTHF1,0				SELHF	ENABLE
アクセス種別	R/W	R	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ時走行** (Run Standby)

このビットは許可(ENABLE)ビットが'1'の時に外部高周波数発振器(XOSCHF)が常に動くか否かを制御します。

値	0	1
説明	XOSCHF発振器は周辺機能または主クロックによって要求される時にだけ動きます。(注1)	XOSCHF発振器は常に活動動作及びアイドルとスタンバイの休止動作で動きます。(注2)

注1: 要求する周辺機能や主クロックは発振器始動時間を考慮しなければなりません。

注2: 発振器信号は要求された場合にだけ利用可能で、初期クリスタル始動時間が既に終わった場合、2 XOSCHF周期後に利用可能です。

● **ビット5,4 – CSUTHF1,0 : クリスタル始動時間** (Crystal Start-up Time)

このビット領域は供給元選択(SELHF)ビットが'0'の時に外部高周波数発振器(XOSCHF)の始動時間を制御します。

値	0 0	0 1	1 0	1 1
名称	256CYC	1KCYC	4KCYC	–
説明	256 XOSCHF周期	1K XOSCHF周期	4K XOSCHF周期	(予約)

© 2023 Microchip Technology Inc.とその子会社

注: このビット領域は許可(ENABLE)ビットまたは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタのXOSCHF状態(XOSCHFS)ビットが‘1’の時に読み込み専用です。

● **ビット1 – SELHF : 供給元選択** (Source Select)

このビットは外部高周波数発振器(XOSCHF)の供給元を制御します。

値	0	1
名称	CRYSTAL	EXTCLK
説明	XTALHF1とXTALHF2のピンに接続した外部クリスタル	XTALHF1ピンでの外部クロック

注: このビット領域は許可(ENABLE)ビットまたは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタのXOSCHF状態(XOSCHFS)ビットが‘1’の時に読み込み専用です。

● **ビット0 – ENABLE : 許可** (Enable)

このビットは外部高周波数発振器(XOSCHF)が許可されるか否かを制御します。

値	0	1
説明	XOSCHF発振器禁止	XOSCHF発振器許可、各々の発振器ピンに対する標準ピン操作を無効にします。

© 2023 Microchip Technology Inc.とその子会社

13. SLPCTRL – 休止制御器

13.1. 特徴

- 消費電力と機能を調節するための電力管理
- 3つの休止動作形態
  - アイドル
  - スタンバイ
  - パワーダウン
- 周辺機能をONまたはOFFとして構成設定できる、構成設定可能なスタンバイ動作形態

13.2. 概要

休止動作は節電のためにデバイス内の周辺機能とクロック領域を停止するのに使われます。休止制御器(SLPCTRL)は活動動作と休止動作間の移行を制御して処理します。

ソフトウェアが実行される1つの活動動作と3つの休止動作で利用可能な4つの動作形態があります。利用可能な休止動作形態はアイドル、スタンバイ、パワーダウンです。

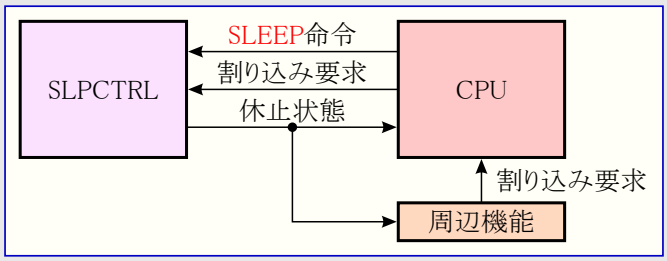
全ての動作形態が利用可能で活動動作から移行することができます。活動動作ではCPUが応用コードを実行しています。デバイスが休止動作形態へ移行すると、プログラム実行が停止されます。応用コードは移行する休止動作形態と時を決めます。

休止からデバイスを起こすのに割り込みが使われます。利用可能な割り込み起動元は構成設定された休止動作形態に依存します。割り込みが起こると、デバイスが起き上がり、SLEEP命令の後の最初の命令から通常のプログラム実行を続けるのに先立って、割り込み処理ルーチンを実行します。どのリセットもデバイスを休止動作形態の外へ連れ出します。

レジスタ ファイル、SRAM、レジスタの内容は休止の間、保持されます。休止中にリセットが起きた場合、デバイスはリセットして開始し、リセット ベクタから実行します。

13.2.1. 構成図

図13-1. SLPCTRL構成図



13.3. 機能的な説明

13.3.1. 初期化

デバイスを休止動作形態に置くには以下のこれらの手順に従ってください。

1. 休止からデバイスを起こすことができる割り込みを構成設定して許可してください。全体割り込みも許可してください。

   警告 休止へ行く時に許可された割り込みが全くない場合、デバイスは再び起き上がることができません。リセットだけがデバイスに動作の継続を許します。

2. 制御A(SLPCTRL.CTRLA)レジスタの休止動作形態(SMODE)ビット領域と休止許可(SEN)ビットを書くことにより、移行する休止動作を選んで休止制御器を許可してください。

   デバイスを休止にするにはSLEEP命令が実行されなければなりません。

© 2023 Microchip Technology Inc.とその子会社

13.3.2. 動作

13.3.2.1. 休止動作

消費電力を減らすために3つの異なる休止動作形態を許可することができます。

ｱｲﾄﾞﾙ CPUはｺｰﾄﾞ実行を停止し、消費電力減少になります。
全ての周辺機能が動いて全ての割り込み元はﾃﾞﾊﾞｲｽを起こすことができます。

ｽﾀﾝﾊﾞｲ ｽﾀﾝﾊﾞｲ休止動作で走行が許可されているどの周辺機能やｸﾛｯｸも除いて全ての高周波数ｸﾛｯｸが停止されます。これは対応するｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄに'1'を書くことによって許可されます。消費電力は許可される機能に依存します。
一部の割り込み元がﾃﾞﾊﾞｲｽを起こすことができます(注)。

ﾊﾟﾜｰﾀﾞｳﾝ 全ての高周波数ｸﾛｯｸが停止され、ｱｲﾄﾞﾙ休止動作よりも低い消費電力になります。
一部の周辺機能が動いていて、一部の割り込み元がﾃﾞﾊﾞｲｽを起こすことができます(注)。

重要: 予測不能な動きを避けるため、高温低漏れ許可が有効にされる時にTWIｱﾄﾞﾚｽ一致とCCLの起き上がり元は禁止されなければなりません。

注: 更なる情報については以下の休止動作活動表を参照してください。
起き上がり時間が各種休止動作によってどう影響を及ぼされるかについては「起き上がり時間」項を参照してください。

表13-1. 周辺機能に対する休止動作活動概要

周辺機能	休止動作で活動		
	ｱｲﾄﾞﾙ	ｽﾀﾝﾊﾞｲ	ﾊﾟﾜｰﾀﾞｳﾝ
CPU	×	×	×
RTC	○	○ (注1,2)	○ (注2)
WDT、BOD、EVSYS、NVM (注3)	○	○	○
CCL、ACn、ADCn、DACn、TCAn、TCBn	○	○ (注1)	×
他の全ての周辺機能	○	×	×

注1: 活動状態に入るには対応する周辺機能のｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが設定(1)されなければなりません。
注2: ｽﾀﾝﾊﾞｲ休止動作で活動状態に入るにはRTC機能だけ、RUNSTDBYﾋﾞｯﾄの設定(1)が必要とされます。ﾊﾟﾜｰﾀﾞｳﾝ休止動作ではPIT機能だけが利用可能です。
注3: 進行中のﾌﾟﾛｸﾞﾗﾐﾝｸﾞは完了され、その後にNVM周辺機能が禁止されます。

表13-2. ｸﾛｯｸ元に対する休止動作活動概要

ｸﾛｯｸ元	休止動作で活動		
	ｱｲﾄﾞﾙ	ｽﾀﾝﾊﾞｲ	ﾊﾟﾜｰﾀﾞｳﾝ
主ｸﾛｯｸ元	○	○ (注1)	×
RTCｸﾛｯｸ元	○	○ (注1,2)	○ (注2)
WDT発振器、BOD発振器(注3)	○	○	○
CCLｸﾛｯｸ元	○	○ (注1)	×

注1: 活動状態に入るには対応する周辺機能のｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが設定(1)されなければなりません。
注2: ｽﾀﾝﾊﾞｲ休止動作で活動状態に入るにはRTC機能だけ、RUNSTDBYﾋﾞｯﾄの設定(1)が必要とされます。ﾊﾟﾜｰﾀﾞｳﾝ休止動作ではPIT機能だけが利用可能です。
注3: BOD発振器はBOD採取動作時のみ

© 2023 Microchip Technology Inc.とその子会社

表13-3. 休止動作起こし元

起こし元	休止動作で活動		
	ｱｲﾄﾞﾙ	ｽﾀﾝﾊﾞｲ	ﾊﾟﾜｰﾀﾞｳﾝ
PORTﾋﾟﾝ割り込み	○	○	○ (注1)
TWIｱﾄﾞﾚｽ一致割り込み、BOD VLM割り込み	○	○	○
CCL割り込み	○	○ (注2)	○ (注3)
RTC割り込み	○	○ (注2,4)	○ (注4)
TCAn割り込み、TCBn割り込み、ADCn割り込み、ACn割り込み	○	○ (注2)	×
USARTﾌﾚｰﾑ開始割り込み	×	○	×
他の全ての割り込み	○	×	×

注1: 入出力ﾋﾟﾝは「PORT」章の「非同期感知ﾋﾟﾝ特性」に従って構成設定されなければなりません。

注2: 活動状態に入るには対応する周辺機能のｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが設定(1)されなければなりません。

注3: CCLはLUTnを通す経路が非同期(LUTn制御A(LUTnCTRLA)ﾚｼﾞｽﾀで濾波器選択(FILTSEL)='00'且つ端検出(EDGEDET)='0')の場合にだけﾃﾞﾊﾞｲｽを起き上がらせることができます。

注4: ｽﾀﾝﾊﾞｲ休止動作で活動状態に入るにはRTC機能だけ、RUNSTDBYﾋﾞｯﾄの設定(1)が必要とされます。ﾊﾟﾜｰﾀﾞｳﾝ休止動作ではPIT機能だけが利用可能です。

13.3.2.2. 起き上がり時間

ﾃﾞﾊﾞｲｽに対する標準起き上がり時間は6主ｸﾛｯｸ周期(CLK_PER)と加えて主ｸﾛｯｸ元が開始するのにかかる時間、それと調整器がOFFに切り替えられていた場合、調整器が開始するのにかかる時間です。

- ｱｲﾄﾞﾙ休止動作では追加の起き上がり時間をなくすために主ｸﾛｯｸ元が走行を維持します。
- ｽﾀﾝﾊﾞｲ休止動作では周辺機能の構成設定に依存して主ｸﾛｯｸが走行するかもしれません。
- ﾊﾟﾜｰﾀﾞｳﾝ休止動作では内部32.768kHz発振器と実時間計数器(RTC)ｸﾛｯｸ元だけが動くかもしれません。これらは低電圧検出器(BOD)、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)、周期的割り込み計時器(PIT)によって使われます。他の全てのｸﾛｯｸ元はOFFです。

各種ｸﾛｯｸ元に対する始動時間は「CLKCTRL – ｸﾛｯｸ制御器」章で記述されます。

標準起き上がり時間に加えて、ｺｰﾄﾞを実行するのに先立ってBODが準備を整えるまでﾃﾞﾊﾞｲｽを待たせることが可能です。これはBOD構成設定(FUSE.BODCFG)ﾋｭｰｽﾞの活動とｱｲﾄﾞﾙでのBOD動作形態(ACTIVE)ﾋﾞｯﾄ領域に'11'を書くことによって行われます。標準起き上がり時間の前にBODが準備を整える場合、総起き上がり時間は同じです。BODが標準起き上がり時間よりも長くかかる場合、起き上がり時間はBODが準備を整えるまで延長されます。これは何時ｺｰﾄﾞが実行されようとも正しい供給電圧を保証します。

表13-4. 休止動作と始動時間

休止動作	始動時間
ｱｲﾄﾞﾙ	6ｸﾛｯｸ周期
ｽﾀﾝﾊﾞｲ	6ｸﾛｯｸ周期 + OSC始動時間
ﾊﾟﾜｰﾀﾞｳﾝ	6ｸﾛｯｸ周期 + OSC始動時間

13.3.3. ﾃﾞﾊﾞｯｸﾞ操作

走行時のﾃﾞﾊﾞｯｸﾞ間、この周辺機能は標準動作を続けます。SLPCTRLはﾃﾞﾊﾞｯｸﾞ操作の中断によってのみ影響を及ぼされます。中断が起きた時にSLPCTRLが休止動作形態の場合、例え保留割り込み要求が全くなくても、ﾃﾞﾊﾞｲｽは起き上がってSLPCTRLは活動動作になります。

周辺機能が割り込みまたは同様のものを通してCPUによる定期的な助けを必要とするように構成設定された場合、停止したﾃﾞﾊﾞｯｸﾞの間に不適切な動作やﾃﾞｰﾀ損失の可能性があります。

© 2023 Microchip Technology Inc.とその子会社

13.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0						SMODE1,0		SEN

© 2023 Microchip Technology Inc.とその子会社

13.5. レジスタ説明

13.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
						SMODE1,0		SEN
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット2,1 – SMODE1,0 : 休止動作形態** (Sleep Mode)

これらのビット書き込みは休止許可(SEN)ビットが'1'を書かれ、SLEEP命令が実行される時にどの休止動作形態へ移行するかを選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1
名称	IDLE	STANDBY	PDOWN	–
説明	アイドル休止動作許可	スタンバイ休止動作許可	パワーダウン休止動作許可	(予約)

● **ビット0 – SEN : 休止許可** (Sleep Enable)

選んだ休止動作にMCUを移行させるためにSLEEP命令が実行される前に、このビットは'1'を書かれなければなりません。

© 2023 Microchip Technology Inc.とその子会社

14. RSTCTRL – リセット制御器

14.1. 特徴

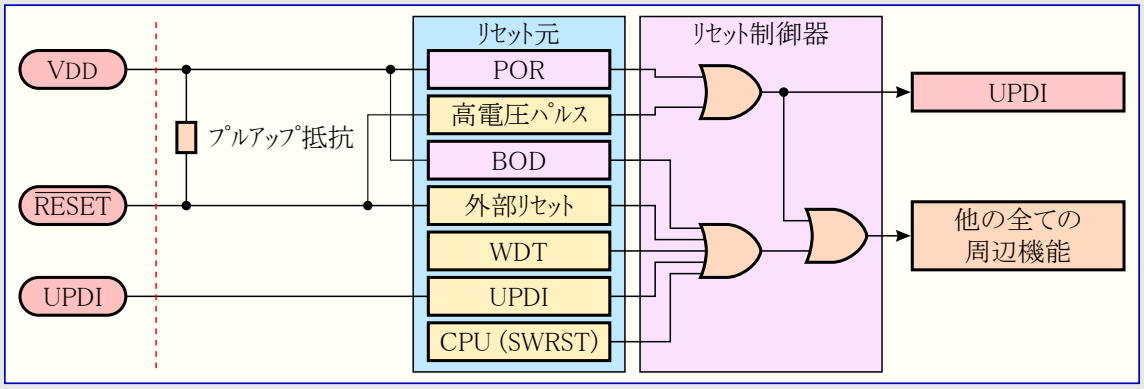
- デバイスをリセット後の初期状態に復帰
- 直前のリセット元を識別
- 電源リセット元:
  - 電源ONリセット(POR)
  - 低電圧検出器(BOD) リセット
- 使用者リセット元
  - 外部リセット(RESET)
  - ウォッチドッグ タイマ(WDT) リセット
  - ソフトウェア リセット(SWRST)
  - 統一プログラム/デバッグ インターフェース(UPDI) リセット

14.2. 概要

リセット制御器(RSTCTRL)はデバイスのリセットを管理します。デバイス リセットの発行は、デバイスを初期状態に設定し、そしてソフトウェアにリセット元識別を許します。

14.2.1. 構成図

図14-1. リセット システム概要



14.2.2. 信号説明

信号	形式	説明
RESET	デジタル入力	外部リセット (Low活性)
UPDI	デジタル入出力	統一プログラム/デバッグ インターフェース

14.3. 機能的な説明

14.3.1. 初期化

RSTCTRLは常に許可されますが、リセット元のいくつかはそれらがリセットを要求し得る前に(ヒューズまたはソフトウェアのどちらかによって)許可されなければなりません。

ヒューズまたは識票列から自動的に設定されるデバイスのレジスタが更新されます。どの供給元からのリセット後も、プログラム カウンタは$0000に設定されます。

14.3.2. 動作

14.3.2.1. リセット元

どれかのリセット後、リセットを起こした供給元はリセット フラグ(RSTCTRL.RSTFR)レジスタで見つかります。ソフトウェア応用でこのレジスタを読むことによって直前のリセット元を識別することができます。

供給元に基づいて次のように2つのリセット形式があります。

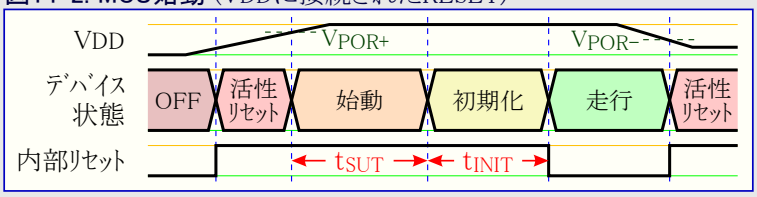
- 電源リセット元:
  - 電源ONリセット (POR)
  - 低電圧検出器 (BOD) リセット
- 使用者リセット元:
  - 外部リセット (RESET)
  - ウォッチドッグ タイマ (WDT) リセット
  - ソフトウェア リセット (SWRST)
  - 統一プログラム/デバッグ インターフェース (UPDI) リセット

© 2023 Microchip Technology Inc.とその子会社

14.3.2.1.1. 電源ONリセット (POR)

電源ONリセット(POR)の目的は論理回路とメモリの安全な始動を保証することです。チップ上の検出回路が常に許可され、これを生成します。PORはVDDが上昇する時に活性にされ、VDDがPOR閾値電圧(VPOR+)未満である限り活性リセットを与えます。このリセットは始動してリセット初期化手順が終了されるまで持続されます。ヒューズが始動時間(SUT)を決めます。VDDが検出基準(VPOR-)未満に落ちる時にリセットはどの遅延もなしに再び活性にされます。

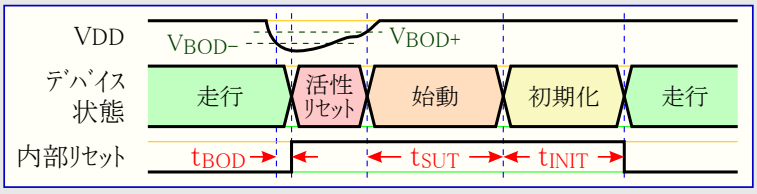
図14-2. MCU始動 (VDDに接続されたRESET)



14.3.2.1.2. 低電圧検出器 (BOD) リセット

チップ上の低電圧検出器(BOD)回路は一定の起動基準と比べることによって動作中にVDD水準を監視します。BODの起動基準はヒューズによって選ぶことができます。応用でBODが使われない場合、内部リセットとチップ消去の間で安全な動作を保証するため、最小基準を強制されます。

図14-3. 低電圧検出器リセット

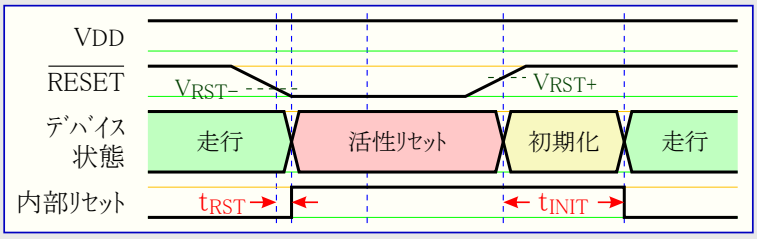


14.3.2.1.3. 外部リセット (RESET)

外部リセットはヒューズによって許可されます。構成設定0(FUSE.SYSCFG0)ヒューズのリセット ピン構成設定(RSTPINCFG)ビット領域をご覧ください。また、外部リセットが許可されると、リセットピンの内部プルアップ抵抗が許可されます。

許可されると、外部リセットはRESETピンがLowである限り、リセットを要求します。デバイスはRESETが再びHighになるまでリセットに留まります。

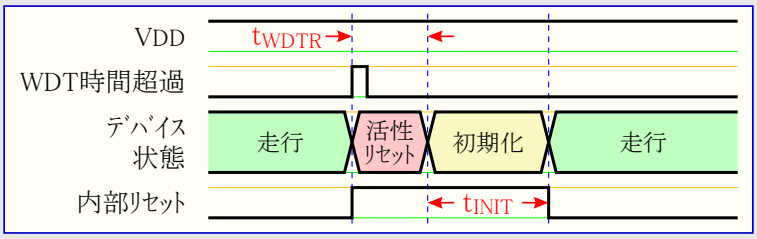
図14-4. 外部リセット特性



14.3.2.1.4. ウォッチドッグ タイマ (WDT) リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された制限時間期間に従ってソフトウェアからリセットされなければ、ウォッチドッグ リセットが発行されます。より多くの詳細は「WDT – ウォッチドッグ タイマ」章をご覧ください。

図14-5. ウォッチドッグ リセット



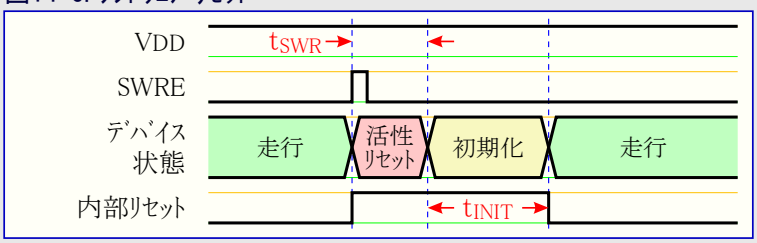
注: tWDTR時間は概ね150nsです。

14.3.2.1.5. ソフトウェア リセット

ソフトウェア リセットはソフトウェアからシステム リセットを発行することを可能にします。ソフトウェア リセット レジスタ(RSTCTRL.SWRR)のソフトウェア リセット許可(SWRE)ビットへの'1'書き込みがリセットを生成します。

リセット手順はビットが書かれた直後に始まります。

図14-6. ソフトウェア リセット



注: tSWR時間は概ね150nsです。

14.3.2.1.6. 統一プログラム/デバッグ インターフェース (UPDI) リセット

統一プログラム/デバッグ インターフェース(UPDI)は外部的なプログラミングとデバッグを行う間にデバイスをリセットするのに使われる独立したリセット元を含みます。このリセット元は外部のデバッガと書き込み器からだけアクセス可能です。より多くの詳細は「UPDI – 統一プログラム/デバッグ インターフェース」章で見つけることができます。

© 2023 Microchip Technology Inc.とその子会社

14.3.2.1.7. 高電圧 (HV) リセット

高電圧がRESETピンに印加されて取り去られる時に必ずデバイス リセットが発行されます。UPDIを許可するのにHVパルスが使われると、それはデバイス リセットを引き起こします。HVパルスのより多くの情報については「UPDI – プログラム/デバッグ インターフェース」章を参照してください。

14.3.2.1.8. リセットによって影響を及ぼされる領域

以下の論理回路領域は様々なリセットによって影響を及ぼされます。

表14-1. 様々なリセットによって影響を及ぼされる論理回路領域

リセット形式	POR	BOD	ソフトウェア リセット	外部リセット	WDTリセット	UPDIリセット	高電圧(HV)パルス (注)
ヒューズ再設定	○	○	○	○	○	○	○
UPDIのリセット	○	×	×	×	×	×	○
他の揮発性論理回路のリセット	○	○	○	○	○	○	○

注: HVパルスはリセットを発生することができますが、リセット元として意図的に使われるべきではありません。

14.3.2.2. リセット時間

リセット時間は2つの部分に分けることができます。

最初の部分はリセット元のどれかが活性の時です。この部分はリセット元の入力に依存します。外部リセットはRESETピンがLowの時に活性です。電源ONリセット(POR)と低電圧リセット(BOD)は供給電圧がリセット元閾値未満である限り活性です。

2つ目の部分は全てのリセット元が解放される時で、デバイスの内部リセット初期化が行われます。この時間はリセットが電源リセット元によって起こされる時にシステム構成設定1(FUSE.SYSCFG1)ヒューズの始動時間(SUT)ビット領域設定によって与えられる始動時間で増されます。内部リセット初期化時間は巡回冗長検査メモリ走査(CRCSCAN)が始動で動くように構成設定される場合にも増やされます。この構成設定はシステム構成設定0(FUSE.SYSCFG0)ヒューズのCRC元(CRCSRC)ビット領域で変更することができます。

14.3.3. 休止形態動作

RSTCTRLは活動動作と全ての休止動作で動作します。

14.3.4. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

表14-2. RSTCTRL – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
RSTCTRL.SWRR	IOREG

© 2023 Microchip Technology Inc.とその子会社

14.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	RSTFR	7～0			UPDIRF	SWRF	WDRF	EXTRF	BORF	PORF
+$01	SWRR	7～0								SWRE

© 2023 Microchip Technology Inc.とその子会社

14.5. レジスタ説明

14.5.1. RSTFR – リセット フラグ レジスタ (Reset Flag Register)

名称 : RSTFR
変位 : +$00
リセット : '00xx xxxx'
特質 : –

リセット フラグは各々のフラグに'1'を書くことによって解除(0)することができます。全てのフラグは電源ONリセット フラグ(PORF)と低電圧検出リセット フラグ(BORF)を除き、電源ONリセット(POR)と低電圧検出リセット(BOR)によって解除(0)されます。

ビット	7	6	5	4	3	2	1	0
			UPDIRF	SWRF	WDRF	EXTRF	BORF	PORF
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	x	x	x	x	x	x

● **ビット5 – UPDIRF : UPDIリセット フラグ** (UPDI Reset Flag)

このビットはUPDIリセットが起きたか、またはHVパルス発生によって起こったリセットのどちらかの場合に設定(1)されます。

● **ビット4 – SWRF : ソフトウェア リセット フラグ** (Software Reset Flag)

このビットはソフトウェア リセットが起きた場合に設定(1)されます。

● **ビット3 – WDRF : ウォッチドッグ リセット フラグ** (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起きた場合に設定(1)されます。

● **ビット2 – EXTRF : 外部リセット フラグ** (External Reset Flag)

このビットは外部リセットが起きた場合に設定(1)されます。

● **ビット1 – BORF : 低電圧検出リセット フラグ** (Brownout Reset Flag)

このビットは低電圧検出リセットが起きた場合に設定(1)されます。

● **ビット0 – PORF : 電源ONリセット フラグ** (Power-On Reset Flag)

このビットは電源ONリセット(POR)が起きた場合に設定(1)されます。

POR後、PORフラグだけが設定(1)され、他の全てのフラグは解除(0)されます。POR後に完全なシステム ブートが走行する前に他のフラグが設定(1)されることは有り得ません。

14.5.2. SWRR – ソフトウェア リセット レジスタ (Software Reset Register)

名称 : SWRR
変位 : +$01
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
								SWRE
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット0 – SWRE : ソフトウェア リセット許可** (Software Reset Enable)

このビットが'1'を書かかれると、ソフトウェア リセットが起こります。

このビットは常に'0'として読みます。

© 2023 Microchip Technology Inc.とその子会社

15. CPUINT – CPU割り込み制御器

15.1. 特徴

- 短くて予測可能な割り込み応答時間
- 各割り込みに対する独立した構成設定とﾍﾞｸﾀ ｱﾄﾞﾚｽ
- ﾚﾍﾞﾙとﾍﾞｸﾀ ｱﾄﾞﾚｽによる割り込み優先順位付け
- 2つの割り込み優先ﾚﾍﾞﾙ：0(標準)と1(高)
  - 割り込み要求の1つを優先ﾚﾍﾞﾙ1割り込みとして割り当て可能
  - 優先ﾚﾍﾞﾙ0割り込みに対する任意選択のﾗｳﾝﾄﾞﾛﾋﾞﾝ優先機構
- 重要な機能用の遮蔽不可割り込み(NMI:Non-Maskable Interrupt)
- 応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域に任意選択で配置される割り込みﾍﾞｸﾀ
- 選択可能な簡潔ﾍﾞｸﾀ表(CVT)

15.2. 概要

割り込み要求は周辺機能内側の状態変化を合図し、ﾌﾟﾛｸﾞﾗﾑ実行を変えるのに使うことができます。周辺機能は1つ以上の割り込みを持ちます。全てが個別に許可されて構成設定されます。

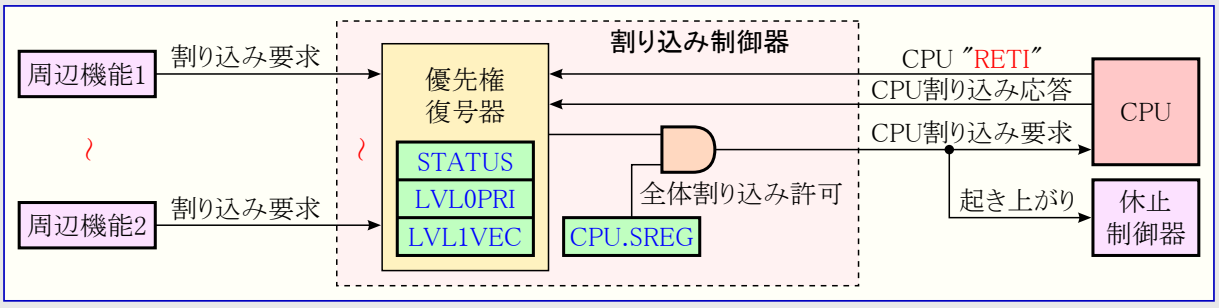
割り込みが許可されて構成設定されると、割り込み条件が発生する時に割り込み要求を生成します。

CPU割り込み制御器(CPUINT)は割り込み要求を優先順位付けして処理します。割り込みが許可されて割り込み条件が起こると、CPUINTはその割り込み要求を受け取ります。その割り込みの優先ﾚﾍﾞﾙと何れかの進行中の割り込みの優先ﾚﾍﾞﾙに基づいて、割り込み要求は応答されるか、またはそれが優先権を持つまで保留を保たれるかのどちらかです。割り込み処理部から戻った後、ﾌﾟﾛｸﾞﾗﾑ実行は割り込みが起きた前の場所から続け、どの保留割り込みも1命令実行後に扱われます。

CPUINTは重要な機能に対するNMI、1つの選択可能な高優先権割り込み、標準優先権割り込みに対する任意選択のﾗｳﾝﾄﾞﾛﾋﾞﾝ計画機構を提供します。ﾗｳﾝﾄﾞﾛﾋﾞﾝ計画は一定時間内で全ての割り込みを処理することを保証します。

15.2.1. 構成図

図15-1. CPUINT構成図



15.3. 機能的な説明

15.3.1. 初期化

以下の順で割り込みを初期化してください。

1. 任意選択: 制御A(CPUINT.CTRLA)ﾚｼﾞｽﾀの割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄを使って望む割り込みﾍﾞｸﾀの位置を構成設定してください。
2. 任意選択: CPUINT.CTRLAﾚｼﾞｽﾀの簡潔ﾍﾞｸﾀ表(CVT)ﾋﾞｯﾄに'1'を書くことによって簡潔ﾍﾞｸﾀ表を許可してください。
3. 任意選択: CPUINT.CTRLAﾚｼﾞｽﾀのﾗｳﾝﾄﾞﾛﾋﾞﾝ優先権許可(LVL0RR)ﾋﾞｯﾄに'1'を書くことによってﾗｳﾝﾄﾞﾛﾋﾞﾝによるﾍﾞｸﾀの優先順位付けを許可してください。
4. 任意選択: ﾚﾍﾞﾙ1優先権保持割り込みﾍﾞｸﾀ(CPUINT.LVL1VEC)ﾚｼﾞｽﾀでの割り込みﾍﾞｸﾀに割り込みﾍﾞｸﾀ番号を書くことによって優先ﾚﾍﾞﾙ1のﾍﾞｸﾀを選んでください。
5. 任意選択: 割り込み優先ﾚﾍﾞﾙ0(LVL0PRI)ﾚｼﾞｽﾀを構成設定することによってLVL0割り込みの優先順位を変更してください。
6. 各周辺機能内で割り込み条件を構成設定し、周辺機能の割り込みを許可してください。
7. CPUｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄに'1'を書くことによって全体的に割り込みを許可してください。

15.3.2. 動作

15.3.2.1. 許可、禁止とﾘｾｯﾄ

割り込みの全体許可はCPUｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄに'1'を書くことによって行われます。割り込みを全体的に禁止するには、CPU.SREGのIﾋﾞｯﾄに'0'を書いてください。

望む割り込み線は周辺機能の割り込み制御([周辺機能名].INTCTRL)ﾚｼﾞｽﾀに書くことによって各々の周辺機能でも許可されなければなりません。

© 2023 Microchip Technology Inc.とその子会社

割り込み要求ﾌﾗｸﾞは割り込みが実行された後で自動的に解除(0)されません。各々の割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀ記述が特定のﾌﾗｸﾞをどう解除(0)するかの情報を提供します。

15.3.2.2. 割り込みﾍﾞｸﾀ位置

望む割り込みﾍﾞｸﾀの位置は制御A(CPUINT.CTRLA)ﾚｼﾞｽﾀの割り込みﾍﾞｸﾀ選択(IVSEL)ﾋﾞｯﾄに依存します。可能な位置についてはCPUINT.CTRLAのIVSEL記述を参照してください。

ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しなければ、割り込みﾍﾞｸﾀは使われず、それらの場所に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞを置くことができます。

15.3.2.3. 割り込み応答時間

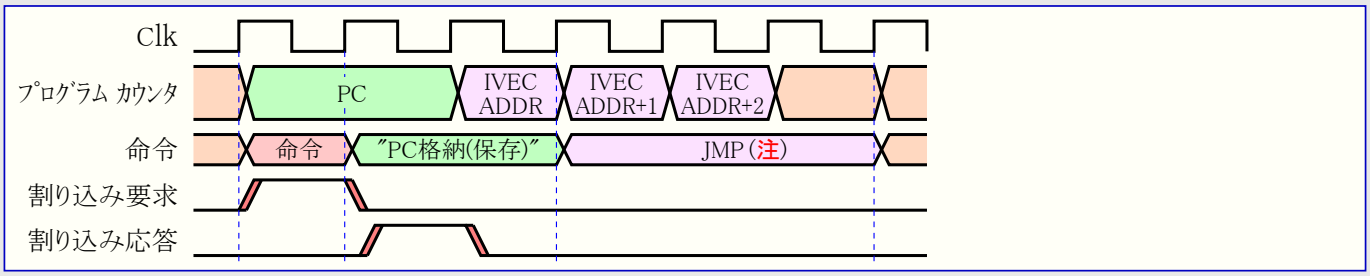
最小割り込み応答時間は右表で表されます。

表15-1. 最小割り込み応答時間

進行処理内容	ﾌﾗｯｼｭ ﾒﾓﾘ量＞8Kﾊﾞｲﾄ	ﾌﾗｯｼｭ ﾒﾓﾘ量≦8Kﾊﾞｲﾄ
進行中の命令終了	1周期	1周期
PCをｽﾀｯｸに格納	2周期	2周期
割り込み処理部へ飛ぶ	3周期 (JMP)	2周期 (RJMP)

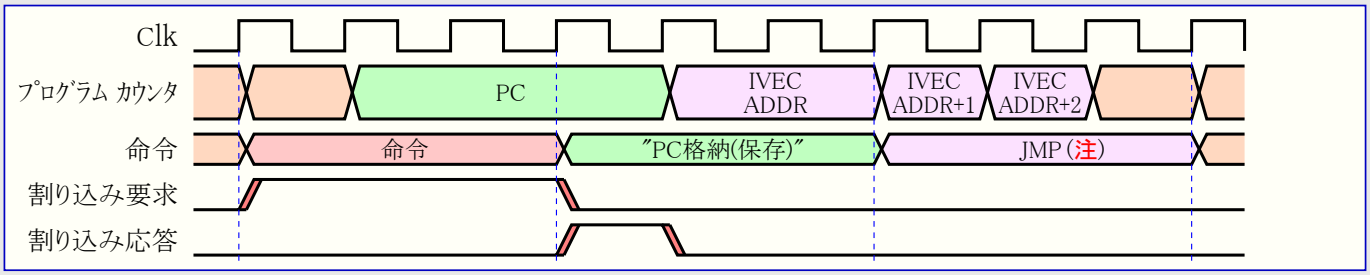
ｽﾀｯｸにﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが押し込まれた後、割り込み用のﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀが実行されます。以下の図をご覧ください。

図15-2. 単一周期命令の割り込み実行



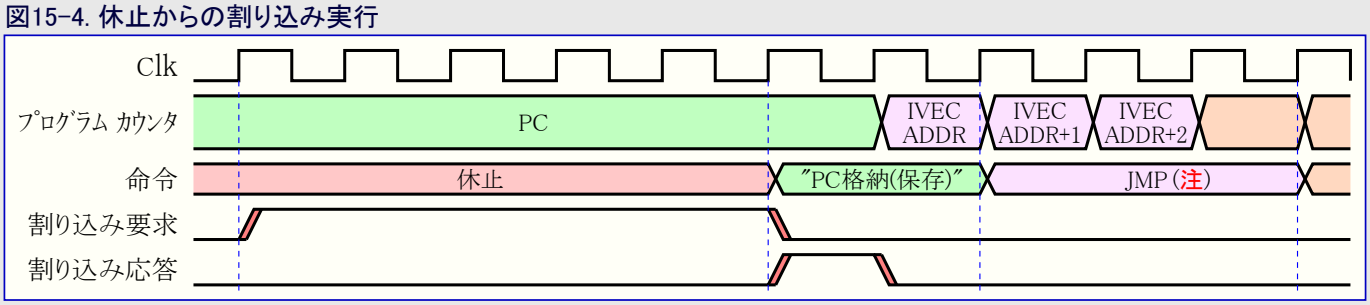
複数周期命令の実行中に割り込みが起きる場合、次図で示されるように、割り込みが処理される前にこの命令が完了されます。

図15-3. 複数周期命令の割り込み実行



ﾃﾞﾊﾞｲｽが休止動作形態の時に割り込みが起こる場合、次図で示されるように、割り込み実行応答時間は5ｸﾛｯｸ周期増やされます。また、応答時間は選んだ休止動作からの始動時間によっても増やされます。

図15-4. 休止からの割り込み実行



ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの大きさに依存して、割り込み処理ﾙｰﾁﾝからの復帰は4～5ｸﾛｯｸ周期かかります。これらのｸﾛｯｸ周期の間、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがｽﾀｯｸから取り出され、ｽﾀｯｸ ﾎﾟｲﾝﾀが増やされます。

注: 8Kﾊﾞｲﾄ以下のﾌﾗｯｼｭ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽはJMPの代わりにRJMPを使い、2ｸﾛｯｸ周期だけかかります。

15.3.2.4. 割り込み優先権

全ての割り込みﾍﾞｸﾀは次表で示されるように、3つの可能な優先ﾚﾍﾞﾙの1つに割り当てられます。高優先元からの割り込み要求は標準優先元からのどの進行中の割り込み処理部にも割り込みます。高優先割り込み処理部から戻ると、標準優先割り込み処理部の実行が再開します。

© 2023 Microchip Technology Inc.とその子会社

表15-2. 割り込み優先ﾚﾍﾞﾙ

優先権	ﾚﾍﾞﾙ	供給元
最高	遮蔽不可割り込み (NMI)	ﾃﾞﾊﾞｲｽ依存で静的割り当て
～	ﾚﾍﾞﾙ1 (高優先権)	1つのﾍﾞｸﾀがﾚﾍﾞﾙ1として任意選択で使用者選択可能
最低	ﾚﾍﾞﾙ0 (標準優先権)	残りの割り込みﾍﾞｸﾀ

15.3.2.4.1. NMI – 遮蔽不可割り込み

NMIはCPUｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄ設定に関わらず実行されます。NMIは決してIﾋﾞｯﾄを変えません。他の割り込みがNMI処理部に割り込むことはできません。複数のNMIが同時に要求された場合、優先権は最下位ｱﾄﾞﾚｽが最高優先権を持つ割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに従った静的優先権です。

どの割り込みが遮蔽不可かはﾃﾞﾊﾞｲｽ依存で、構成設定の対象ではありません。遮蔽不可割り込みはそれらが使われ得る前に許可されなければなりません。利用可能なNMI元についてはﾃﾞﾊﾞｲｽの割り込みﾍﾞｸﾀ配置表を参照してください。

15.3.2.4.2. 高優先割り込み

優先ﾚﾍﾞﾙ1保持割り込みﾍﾞｸﾀ(CPUINT.LVL1VEC)ﾚｼﾞｽﾀに割り込みﾍﾞｸﾀ番号を書くことによって1つの割り込み要求をﾚﾍﾞﾙ1(高優先)に割り当てることが可能です。この割り込み要求は他の(標準優先)割り込み要求よりも高い優先権を持ちます。優先ﾚﾍﾞﾙ1割り込みはﾚﾍﾞﾙ0割り込み処理部に割り込みます。

15.3.2.4.3. 標準優先割り込み

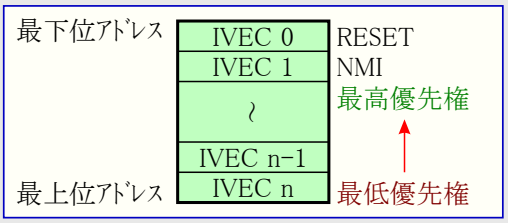
NMI以外の全ての割り込みﾍﾞｸﾀは既定で優先ﾚﾍﾞﾙ0(標準)に割り当てられます。これらのﾍﾞｸﾀの1つを高優先ﾍﾞｸﾀとして割り当てることによってこれを覆すかもしれません。ﾃﾞﾊﾞｲｽは多くの標準優先ﾍﾞｸﾀを持ち、それらのいくつかが同時に保留中かもしれません。どの保留中標準優先割り込みを先に処理するかを選ぶために静的とﾗｳﾝﾄﾞﾛﾋﾞﾝの異なる2つの計画機構が利用可能です。

IVECは「周辺機能と基本構造」章で一覧にされるような割り込みﾍﾞｸﾀ割り当てです。以下の項は計画機構を説明するのにIVECを使います。IVEC0はﾘｾｯﾄ ﾍﾞｸﾀ、IVEC1はNMIﾍﾞｸﾀ、以下同様です。n+1要素を持つﾍﾞｸﾀ表では最高ﾍﾞｸﾀ番号を持つﾍﾞｸﾀがIVECnと示されます。ﾘｾｯﾄ、遮蔽不可割り込み、それと高ﾚﾍﾞﾙ割り込みはIVEC割り当てに含まれますが、常に標準優先割り込みを超えて優先されます。

15.3.2.4.3.1. 静的計画

いくつかのﾚﾍﾞﾙ0割り込み要求が同時に保留中の場合、最高優先権を持つ1つが先行する実行のために計画されます。右図は最低ｱﾄﾞﾚｽを持つ割り込みﾍｸﾀが最高優先権を持つ既定構成設定を説明します。

図15-5. 既定静的計画



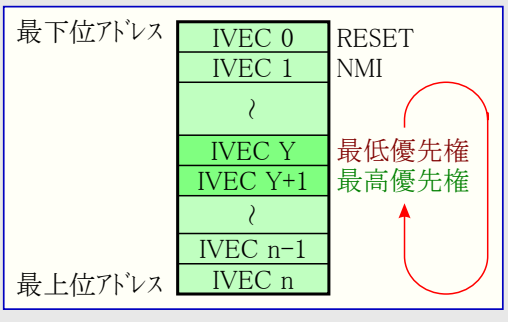
15.3.2.4.3.2. 変更した静的計画

既定優先権は割り込み優先ﾚﾍﾞﾙ0(CPUINT.LVL0PRI)ﾚｼﾞｽﾀにﾍﾞｸﾀ番号を書くことによって変更することができます。右図で示されるように、次の割り込みﾍﾞｸﾀがLVL0割り込み内で最高優先権を持ちます。

ここで、値YはY+1の割り込みﾍﾞｸﾀが最高優先権を持つようにCPUINT.LVL0PRIへ書かれています。この場合、優先権はもはや最低ｱﾄﾞﾚｽが最高優先権を持たないように丸め、常に最高優先権を持つRESETとNMIを含めないことに注意してください。

利用可能な割り込み要求とそれらの割り込みﾍﾞｸﾀ番号についてはﾃﾞﾊﾞｲｽの「割り込みﾍﾞｸﾀ配置」を参照してください。

図15-6. CPUINT.LVL0PRI≠0時静的計画



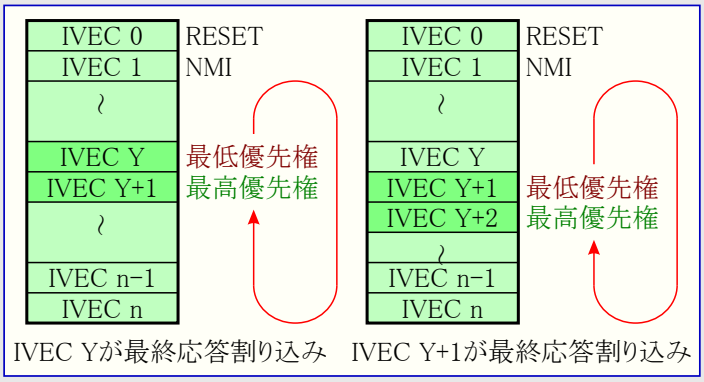
© 2023 Microchip Technology Inc.とその子会社

15.3.2.4.3.3. ﾗｳﾝﾄﾞﾛﾋﾞﾝ計画

静的計画は処理されることからいくつかの割り込み要求を妨げるかもしれません。これを避けるため、CPUINTは標準優先(LVL0)割り込みに対してﾗｳﾝﾄﾞﾛﾋﾞﾝ計画を提供します。ﾗｳﾝﾄﾞﾛﾋﾞﾝ計画ではCPUINT.LVL0PRIﾚｼﾞｽﾀが最後に応答した割り込みﾍﾞｸﾀ番号を格納します。このﾚｼﾞｽﾀは最後に応答した割り込みﾍﾞｸﾀが最低優先権を持ち、ﾊｰﾄﾞｳｪｱによって自動的に更新されます。以下の図はIVEC Y応答後とIVEC Y+1応答後の優先順を説明します。

LVL0割り込み要求に対するﾗｳﾝﾄﾞﾛﾋﾞﾝ計画は制御A(CPUINT.CTRLA)ﾚｼﾞｽﾀのﾗｳﾝﾄﾞﾛﾋﾞﾝ優先権許可(LVL0RR)ﾋﾞｯﾄに'1'を書くことによって許可されます。

図15-7. ﾗｳﾝﾄﾞﾛﾋﾞﾝ計画



15.3.2.5. 簡潔ﾍﾞｸﾀ表

簡潔ﾍﾞｸﾀ表(CVT)は全てのﾚﾍﾞﾙ0割り込みが同じﾍﾞｸﾀ番号を共用することによって簡潔なｺｰﾄﾞ書きを許すための機能です。従って、割り込みは同じ割り込み処理ﾙｰﾁﾝ(ISR)を共用します。これは割り込み処理部を減らし、それによって応用ｺｰﾄﾞに使うことができるﾒﾓﾘを開放します。

制御A(CPUINT.CTRLA)ﾚｼﾞｽﾀの簡潔ﾍﾞｸﾀ表(CVT)ﾋﾞｯﾄに'1'を書くことによってCVTが許可されると、ﾍﾞｸﾀ表は以下のこれら3つの割り込みﾍﾞｸﾀを含みます。

1. ﾍﾞｸﾀ ｱﾄﾞﾚｽ1の遮蔽不可割り込み(NMI)
2. ﾍﾞｸﾀ ｱﾄﾞﾚｽ2の優先ﾚﾍﾞﾙ1(LVL1)割り込み
3. ﾍﾞｸﾀ ｱﾄﾞﾚｽ3の全ての優先ﾚﾍﾞﾙ0(LVL0)割り込み

この機能は限定されたﾒﾓﾘを持つﾃﾞﾊﾞｲｽと少数の割り込み生成部を使う応用に最適です。

15.3.3. ﾃﾞﾊﾞｯｸﾞ操作

ﾚﾍﾞﾙ1割り込み使用時、ﾚﾍﾞﾙ1優先権を持つ割り込みの繰り返しで応用を立往生させるかもしれないため、割り込み処理ﾙｰﾁﾝが正しく構成設定される事を確実にすることが重要です。

CPUINT状態(CPUINT.STATUS)ﾚｼﾞｽﾀを読むことにより、応用が正しいRETI(割り込み復帰)命令を実行されているか知ることが可能です。CPUINT.STATUSﾚｼﾞｽﾀは割り込み処理部の最後でRETI命令が実行される時にCPUINTが正しい割り込みﾚﾍﾞﾙに戻ることを保証する状態情報を含みます。割り込みからの復帰はCPUINTを割り込みに入る前に持っていた状態に戻します。

15.3.4. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるﾚｼﾞｽﾀを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)ﾚｼﾞｽﾀへ与えられた鍵が書かれ、4 CPU命令以内に保護されたﾋﾞｯﾄへの書き込みｱｸｾｽが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたﾚｼﾞｽﾀへ書こうとすると、それを無変化のままにします。

右のﾚｼﾞｽﾀがCCP下です。

表15-3. CPUINT – 構成設定変更保護下のﾚｼﾞｽﾀ

ﾚｼﾞｽﾀ	鍵種別
CPUINT.CTRLAのIVSELとCVT	IOREG

© 2023 Microchip Technology Inc.とその子会社

15.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		IVSEL	CVT					LVL0RR
+$01	STATUS	7～0	NMIEX						LVL1EX	LVL0EX
+$02	LVL0PRI	7～0	LVL0PRI7～0							
+$03	LVL1VEC	7～0	LVL1VEC7～0							

© 2023 Microchip Technology Inc.とその子会社

15.5. レジスタ説明

15.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
		IVSEL	CVT					LVL0RR
アクセス種別	R	R/W	R/W	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – IVSEL : 割り込みベクタ選択** (Interrupt Vector Select)

フラッシュ メモリ全体がブート領域として構成設定されると、このビットは無視されます。

値	0	1
説明	望む割り込みベクタの位置はブート領域の直後(注)	望む割り込みベクタの位置はブート領域の先頭

注: システム リセットはIVSELビット値に関わらず、プログラム カウンタを$0000にリセットさせます。

● **ビット5 – CVT : 簡潔ベクタ表** (Compact Vector Table)

値	0	1
説明	簡潔ベクタ表機能禁止	簡潔ベクタ表機能許可

● **ビット0 – LVL0RR : ラウンドロビン優先権許可** (Round-Robin Priority Enable)

このビットは構成設定変更保護機構によって保護されません。

値	0	1
説明	優先権は優先レベル0割り込みに対して固定、最下位割り込み要求アドレスが最高優先権を持ちます。	優先レベル0割り込み要求に対してラウンドロビン優先機構が許可されます。

15.5.2. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	NMIEX						LVL1EX	LVL0EX
アクセス種別	R/W	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – NMIEX : 遮蔽不可割り込み実行中** (Non-Maskable Interrupt Executing)

このフラグは遮蔽不可割り込みが実行中の場合に設定(1)されます。このフラグは割り込み処理部から(RETIで)戻る時に解除(0)されます。

● **ビット1 – LVL1EX : レベル1割り込み実行中** (Level 1 Interrupt Executing)

このフラグは優先レベル1割り込みが実行中の時か、またはその割り込み処理部がNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理部から(RETIで)戻る時に解除(0)されます。

● **ビット0 – LVL0EX : レベル0割り込み実行中** (Level 0 Interrupt Executing)

このフラグは優先レベル0割り込みが実行中の時か、またはその割り込み処理部が優先レベル1割り込みかNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理部から(RETIで)戻る時に解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

15.5.3. LVL0PRI – 割り込み優先ﾚﾍﾞﾙ0 (Interrupt Priority Level 0)

名称 : LVL0PRI
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	LVL0PRI7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – LVL0PRI7~0 : 割り込み優先ﾚﾍﾞﾙ0** (Interrupt Priority Level 0)

このﾚｼﾞｽﾀはLVL0割り込みの優先権を変更するのに使われます。より多くの情報については「標準優先割り込み」項をご覧ください。

15.5.4. LVL1VEC – 優先ﾚﾍﾞﾙ1保持割り込みﾍﾞｸﾀ (Interrupt Vector with Priority Level 1)

名称 : LVL1VEC
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	LVL1VEC7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – LVL1VEC7~0 : 優先ﾚﾍﾞﾙ1保持割り込みﾍﾞｸﾀ** (Interrupt Vector with Priority Level 1)

このﾋﾞｯﾄ領域は高められた優先ﾚﾍﾞﾙ1(LVL1)を持つ単一ﾍﾞｸﾀの番号を含みます。このﾋﾞｯﾄ領域が$00の値を持つ場合、ﾍﾞｸﾀはLVL1を持ちません。その結果として、LVL1割り込みは禁止されます。

© 2023 Microchip Technology Inc.とその子会社

16. EVSYS – 事象システム

16.1. 特徴

- 周辺機能から周辺機能への直接的な合図のためのシステム
- 周辺機能は周辺機能事象への直接的な生成、使用、反応が可能
- 短くて予測可能な応答時間
- 最大6つの平行事象チャネルを利用可能
- 各チャネルは1つの事象生成部によって駆動され、複数の事象使用部を持つことが可能
- 事象は殆どの周辺機能とソフトウェアによって送ることや受け取ることが可能
- 事象システムは活動動作、アイドルとスタンバイの休止動作で動作

16.2. 概要

事象システム(EVSYS)は周辺機能から周辺機能への直接的な合図を許します。それはCPUを使うことなく、事象チャネルを通して或る周辺機能(事象生成部)での変化で別の周辺機能(事象使用部)での活動を起動することを許します。それは自律の周辺機能制御と相互作用、そして多数の周辺機能単位部での活動の同期タイミングをも許す、周辺機能間の短くて予測可能な応答時間を提供するように設計されます。従って、EVSYS周辺機能はコアから独立した周辺機能(CIPs:Core Independent Peripherals)の実装を可能にします。また、それはソフトウェアの複雑さ、大きさ、実行時間を減らすための強力な道具です。

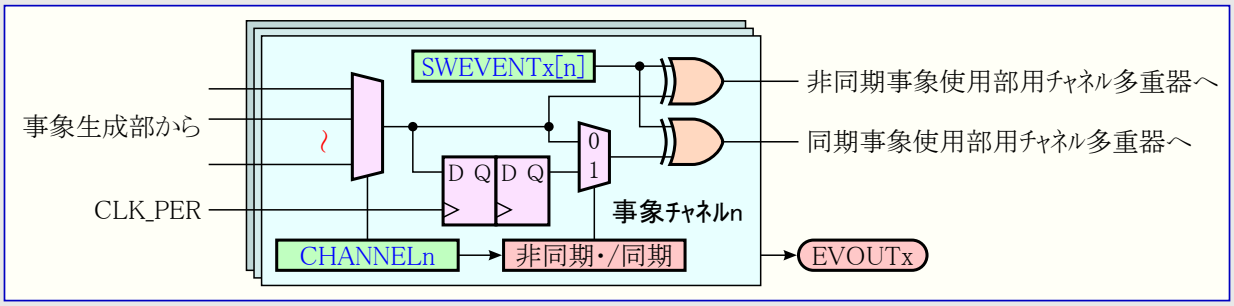
事象生成部の状態の変化は事象として参照され、通常、周辺機能の割り込み条件の1つに対応します。事象は専用の事象経路網を用いて他の周辺機能へ直接送ることができます。各チャネルの配線は事象生成と使用を含め、ソフトウェアで構成設定されます。

各チャネルでは1つの事象だけを配線することができます。複数の周辺機能が同じチャネルからの事象を使うことができます。

EVSYSはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、構成設定可能な注文論理回路のような周辺機能を直接的に接続することができます。事象はソフトウェアから生成することもできます。

16.2.1. 構成図

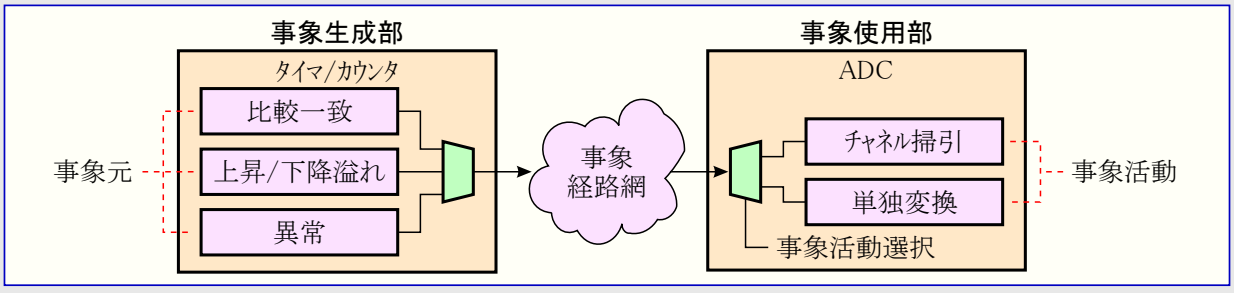
図16-1. EVSYS構成図



構成図は事象チャネルの動作を示します。入力でチャネルn生成部選択(EVSYS.CHANNELn)によって制御される多重器はどの事象元を事象チャネルに配線するかを選びます。各事象チャネルは2つの副チャネル、1つの非同期副チャネルと1つの同期副チャネルを持ちます。同期使用部は同期副チャネルを聴取し、非同期使用部は非同期副チャネルを聴取します。

非同期元からの事象信号は同期副チャネルに配線される前に事象システムによって同期化されます。同期使用部によって使われる非同期事象信号は同期部を通る伝搬を保証するために最低1周辺機能クロック周期間持続しなければなりません。同期部は事象発生時に依存してそのような事象を2～3クロック周期遅らせます。

図16-2. 事象元、生成部、使用部、活動の例



16.2.2. 信号説明

信号	形式	説明
EVOUTx	デジタル出力	事象出力、入出力ポート毎に1出力

© 2023 Microchip Technology Inc.とその子会社

16.3. 機能的な説明

16.3.1. 初期化

事象を使うには、事象システム、生成する周辺機能とその事象を使う周辺機能が適切に構成設定されなければなりません。

1. 生成する周辺機能を適切に構成設定してください。例えば、生成する周辺機能が計時器の場合、望む事象が生成されるように前置分周、比較レジスタなどを設定してください。
2. 事象使用部周辺機能を適切に構成設定してください。例えば、ADCが事象使用部の場合、ADCの前置分周器、分解能、変換時間などを設定し、事象の受け取りで開始するようにADC変換を構成設定してください。
3. 事象システムを望む供給元に構成設定してください。この例では計時器比較一致を望む事象チャネルへです。これは例えば、チャネル0生成部選択(EVSYS.CHANNEL0)レジスタへ書くことによって達成されるチャネル0かもしれません。
4. 対応する使用部nチャネル多重器(EVSYS.USERn)レジスタへ書くことによってこのチャネルを聴取するようにADCを構成設定してください。

16.3.2. 動作

16.3.2.1. 事象使用部多重器構成設定

各事象使用部はどの事象チャネルを聴取するかを選ぶ1つの専用事象使用部多重器を持ちます。応用は対応する使用部nチャネル入力選択(EVSYS.USERn)レジスタを書くことによってこれらの多重器を構成設定します。

16.3.2.2. 事象システム チャネル

事象チャネルは事象生成部の1つに接続することができます。

各事象チャネルの供給元は各々のチャネルn生成部選択(EVSYS.CHANNELn)レジスタを書くことによって構成設定されます。

16.3.2.3. 事象生成部

各事象チャネルは同時にどれか1つだけを選ぶことができるいくつかの可能な事象生成部を持ちます。チャネルに対する事象生成部は各々のチャネルn生成部選択(EVSYS.CHANNELn)レジスタを書くことによって選ばれます。既定では、チャネルがどの事象生成部にも接続されません。事象生成の詳細については対応する周辺機能の記述を参照してください。

生成される事象はデバイスの周辺機能クロック(CLK_PER)に対して同期または非同期のどちらかです。非同期事象は周辺機能クロックの標準端外で生成することができ、システムが選ばれたクロック周波数よりも速く応答することを示唆します。非同期事象はクロックが動いていない時のデバイスが休止動作の間に生成することもできます。

生成されたどの事象も、パルス事象またはレベル事象のどちらかとして分類されます。両方の場合で、事象は下表に従う特性で同期または非同期のどちらかにすることができます。

表16-1. 生成された事象の特性

事象型	同期/非同期	説明
パルス	同期	1クロック周期持続するCLK_PERから生成された事象
	非同期	1クロック周期持続するCLK_PER以外のクロックから生成された事象
レベル	同期	複数クロック周期持続するCLK_PERから生成された事象
	非同期	クロックなし(例えば、ピンまたは比較器)で生成された事象、または複数クロック周期持続するCLK_PER以外のクロックから生成された事象

信頼性があって予測可能な動作を保証するため、生成された事象と意図する事象使用部の両方の特性が考慮されなければなりません。

次表はこのデバイス系統に対して利用可能な事象生成部を示します。

© 2023 Microchip Technology Inc.とその子会社

表16-2. 事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
UPDI	SYNCH	同期(SYNCH)文字	非同期、レベル	CLK_UPDI	CLK_UPDIに同期した UPDI受信入力でのSYNCH文字
RTC	OVF	計数器溢れ	非同期、パルス	CLK_RTC	1 CLK_RTC周期
	CMP	比較一致			
	EVGEN0	選択可能な前置分周した RTC事象	非同期、レベル		前置分周したRTC周期
	EVGEN1				
CCL	LUTn	LUT出力レベル		非同期	CCL構成設定に依存
ACn	OUT	比較器出力レベル			AC出力レベルで与えられる
ADCn	RES	結果準備可	同期、パルス	CLK_PER	1 CLK_PER周期
	SAMP	採取(試料)準備可			
	WCMP	窓比較一致			
PORTx	EVGEN0	ピン レベル	非同期、レベル	非同期	ピン レベルで与えられる
	EVGEN1				
USARTn	XCK	SPI主装置動作と同期USART 動作でのクロック信号	同期、レベル	TXCLK	最小2 CLK_PER周期
SPI0	SCK	SPI主装置クロック			
TCAn	OVF_LUNF	標準動作: 溢れ 分割動作: 下位バイト計時器 下溢れ	同期、パルス	CLK_PER	1 CLK_PER周期
	HUNF	標準動作: 利用不可 分割動作: 上位バイト計時器 下溢れ			
	CMP0_LCMP0	標準動作: 比較チャネル0一致 分割動作: 下位バイト計時器 比較チャネル0一致			
	CMP1_LCMP1	標準動作: 比較チャネル1一致 分割動作: 下位バイト計時器 比較チャネル1一致			
	CMP2_LCMP2	標準動作: 比較チャネル2一致 分割動作: 下位バイト計時器 比較チャネル2一致			
TCBn	CAPT	CAPTフラグ設定(1)			
	OVF	計数器溢れ			

16.3.2.4. 事象使用部

聴取する事象チャネルは事象使用部を構成設定することによって選ばれます。事象使用部は周辺機能クロックに対して同期または非同期のどちらかの事象信号を必要とするかもしれません。非同期事象使用部はクロックが動いていない時の休止動作で事象に応答することができます。このような事象は周辺機能クロックの標準端外で応答することができ、事象使用部がクロック周波数よりも速く応答することを示唆します。各周辺機能の必要条件の詳細については対応する周辺機能の記述を参照してください。

殆どの事象使用部はやって来る事象信号に基づいて対応する周辺機能で活動を起動するための端またはレベルの検出を実装します。両方の場合で、やって来る事象が周辺機能クロック(CLK_PER)から生成されることを必要とする同期、またはそうでない非同期のどちらかにすることができます。いくつかの非同期事象使用部は事象入力検出が適用されず、事象信号を直接使います。各種事象使用部特性が次表で全般的に記述されます。

表16-3. 事象使用部の特性

入力検出	同期/非同期	説明
端	同期	事象使用部は事象端で起動され、やって来る事象がCLK_PERから生成されることを必要とします。
	非同期	事象使用部は事象端で起動され、非同期検出または内部同期部を持ちます。
レベル	同期	事象使用部は事象レベルで起動され、やって来る事象がCLK_PERから生成されることを必要とします。
	非同期	事象使用部は事象レベルで起動され、非同期検出または内部同期部を持ちます。
検出なし	非同期	事象使用部は事象信号を直接使います。

© 2023 Microchip Technology Inc.とその子会社

下表はこのデバイス系統に対して利用可能な事象使用部を示します。

表16-4. 事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
CCL	LUTn	LUTn事象入力x	レベル	
ADCn	START	事象でのADC開始	端	非同期
EVSYS	EVOUTx	EVSYSピン出力x	検出なし	
USARTn	IRDA	USARTn IrDA事象入力	レベル	
TCAn	CNTA	正事象端で計数	端	
		両事象端で計数		
		事象信号がHighの間計数		
		事象レベルが計数方向を制御 (Low時上昇、High時下降)	レベル	
	CNTB	事象レベルが計数方向を制御 (Low時上昇、High時下降)		
		正事象端で計数器再始動	端	同期
		両事象端で計数器再始動		
		事象信号がHighの間再始動	レベル	
TCBn	CAPT	制限時間検査		
		事象で計数捕獲		
		計数捕獲周波数測定		
		計数捕獲パルス幅測定	端	
		計数捕獲周波数/パルス幅測定		
		単発		両方
	COUNT	事象で計数		同期

16.3.2.5. 同期化

事象は周辺機能クロックに対して同期または非同期のどちらかにすることができます。各事象システム チャネルは2つの副チャネル、1つの非同期副チャネルと1つの同期副チャネルを持ちます。

非同期副チャネルは生成部からの事象出力と同じです。事象生成部が周辺機能クロックに対して非同期な信号を生成する場合、非同期副チャネル上の信号は非同期です。事象生成部が周辺機能クロックに対して同期する信号を生成する場合、非同期副チャネル上の信号も同期になります。

事象生成部が周辺機能クロックに対して同期する信号を生成する場合、同期副チャネルは生成部からの事象出力と同じです。事象生成部が周辺機能クロックに対して非同期な信号を生成する場合、この信号は同期副チャネルに配線される前に先立って同期化されます。それが起きる時に依存して、同期化は2または3 クロック周期によって事象を遅らせます。事象システムは事象チャネルに対して非同期生成部が選ばれる場合にこの同期化を自動的に実行します。

16.3.2.6. ソフトウェア事象

応用はソフトウェア事象を生成することができます。チャネルn上のソフトウェア事象はソフトウェア事象(EVSYS.SWEVENTx)レジスタのソフトウェア事象チャネル選択(SWEVENTxn)ビットに'1'を書くことによって発行されます。ソフトウェア事象は事象システム チャネルでパルスとして現れ、1クロック周期間、現在の事象システム値を反転します。

事象使用部は事象を生成する周辺機能によって引き起こされるそれらと違わないものとしてソフトウェア事象を見ます。

16.3.3. 休止形態動作

構成設定されると、事象システムは全ての休止動作形態で動作します。それが周辺機能クロックを必要とするため、ソフトウェア事象は1つの例外を示します。

非同期事象使用部はスタンバイ休止動作でそれらのクロック走行なしで事象に応答することができます。同期事象使用部は事象に応答できるよう、動いているそれらのクロックを必要とします。このような使用部はアイドル休止動作と、適切なレジスタでスタンバイ時走行(RUNSTDBY)ビットを設定(1)することによってスタンバイ動作で動くように構成設定された場合のスタンバイ休止動作でだけ動きます。

非同期事象生成部はそれらのクロック走行なし、即ち、スタンバイ休止動作で事象を生成することができます。同期事象生成部は事象を生成できるよう、動いているそれらのクロックを必要とします。このような生成部はアイドル休止動作と、適切なレジスタでスタンバイ時走行(RUNSTDBY)ビットを設定(1)することによってスタンバイ動作で動くように構成設定された場合のスタンバイ休止動作でだけ動きます。

16.3.4. デバッグ動作

この周辺機能はデバッグ動作へ移行することによって影響を及ぼされません。

© 2023 Microchip Technology Inc.とその子会社

16.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	SWEVENTA	7～0	SWEVENTA7～0							
+$01 ～ +$0F	予約									
+$10	CHANNEL0	7～0	CHANNEL7～0							
+$11	CHANNEL1	7～0	CHANNEL7～0							
+$12	CHANNEL2	7～0	CHANNEL7～0							
+$13	CHANNEL3	7～0	CHANNEL7～0							
+$14	CHANNEL4	7～0	CHANNEL7～0							
+$15	CHANNEL5	7～0	CHANNEL7～0							
+$16 ～ +$1F	予約									
+$20	USER0	7～0	USER7～0							
～	～	～	～							
+$3D	USER29	7～0	USER7～0							

© 2023 Microchip Technology Inc.とその子会社

16.5. レジスタ説明

16.5.1. SWEVENTx – ソフトウェア事象 (Software Events)

名称 : SWEVENTA
変位 : +$00
リセット : $00
特質 : –

対応する事象チャネルでソフトウェア事象を生成するにはこのレジスタのビットに'1'を書いてください。EVSYS.SWEVENTAレジスタのビット7～0は事象チャネル7～0(**訳補**:本デバイスは5～0)に対応します。利用可能な事象チャネルの番号が8～15(**訳補**:本デバイスはなし)の場合、それらはビットnが事象チャネル8+nであるEVSYS.SWEVENTBレジスタで利用可能です。

利用可能な事象システム チャネル数については「周辺機能概要」項を参照してください。

ビット	7	6	5	4	3	2	1	0
	SWEVENTx7~0							
アクセス種別	W	W	W	W	W	W	W	W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – SWEVENTx7~0 : ソフトウェア事象チャネル選択** (Software Event Channel Select)

このビット群のビットへの'1'書き込みは1周辺機能クロック周期間、事象チャネル上の信号を反転することによって対応する事象チャネルで単一パルス事象を生成します。

16.5.2. CHANNELn – チャネルn生成部選択 (Channel n Generator Selection)

名称 : CHANNELn
変位 : +$10+n [n=0～5]
リセット : $00
特質 : –

各チャネルは1つの事象生成部に接続することができます。全ての生成部が全てのチャネルに接続できる訳ではありません。どの生成部供給元が各チャネルに配線することができ、この配線を達成するのにEVSYS.CHANNELnに書かれるべき生成部値を知るには下表を参照してください。EVSYS.CHANNELnへの値$00書き込みはそのチャネルをOFFにします。

利用可能な事象システム チャネル数については「周辺機能概要」項を参照してください。

ビット	7	6	5	4	3	2	1	0
	CHANNEL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7～0 – CHANNEL7~0 : チャネル生成部選択** (Channel Generator Selection)

各ビット群構成設定に対応する指定生成部名は次表からの周辺機能と出力を「周辺機能_出力」のように結合することによって与えられます。

© 2023 Microchip Technology Inc.とその子会社

生成部			同期/非同期	説明	チャネル可用性
値	名称				
	周辺機能	出力			
$01	UPDI	SYNCH		同期(SYNCH)文字検出の上昇端	
$06	RTC	OVF		計数器溢れ	
$07		CMP		比較一致	
$08		EVGEN0		選択可能な前置分周したRTC事象	
$09		EVGEN1			
$10	CCL	LUT0	非同期		全チャネル
$11		LUT1		LUT出力ﾚﾍﾞﾙ	
$12		LUT2			
$13		LUT3			
$20	AC0	OUT		比較器出力ﾚﾍﾞﾙ	
$21	AC1				
$24	ADC0	RES	同期	結果準備可	全チャネル (注1)
$25		SAMP		採取(試料)準備可	
$26		WCMP		窓比較一致	
$40	PORTA	EVGEN0	非同期	ﾋﾟﾝ ﾚﾍﾞﾙ (注2)	
$41		EVGEN1			
$42	PORTB (注1)	EVGEN0			
$43		EVGEN1			
$44	PORTC	EVGEN0			
$45		EVGEN1			
$46	PORTD	EVGEN0			
$47		EVGEN1			
$48	PORTE (注1)	EVGEN0			
$49		EVGEN1			
$4A	PORTF	EVGEN0			
$4B		EVGEN1			
$60	USART0	XCK		SPI主装置動作と同期USART主装置動作でのｸﾛｯｸ信号	
$61	USART1				
$62	USART2 (注1)				
$68	SPI0	SCK		SPI主装置ｸﾛｯｸ信号	
$80	TCA0	OVF_LUNF		溢れ/下位ﾊﾞｲﾄ計時器下溢れ	全チャネル
$81		HUNF		上位ﾊﾞｲﾄ計時器下溢れ	
$84		CMP0_LCMP0		比較チャネル0一致/下位ﾊﾞｲﾄ計時器比較チャネル0一致	
$85		CMP1_LCMP1		比較チャネル1一致/下位ﾊﾞｲﾄ計時器比較チャネル1一致	
$86		CMP2_LCMP2		比較チャネル2一致/下位ﾊﾞｲﾄ計時器比較チャネル2一致	
$88	TCA1	OVF_LUNF	同期	溢れ/下位ﾊﾞｲﾄ計時器下溢れ	
$89		HUNF		上位ﾊﾞｲﾄ計時器下溢れ	
$8C		CMP0_LCMP0		比較チャネル0一致/下位ﾊﾞｲﾄ計時器比較チャネル0一致	
$8D		CMP1_LCMP1		比較チャネル1一致/下位ﾊﾞｲﾄ計時器比較チャネル1一致	
$8E		CMP2_LCMP2		比較チャネル2一致/下位ﾊﾞｲﾄ計時器比較チャネル2一致	
$A0	TCB0	CAPT		CAPT割り込み要求ﾌﾗｸﾞ設定(1) (注3)	
$A1		OVF		計数器溢れ	
$A2	TCB1	CAPT		CAPT割り込み要求ﾌﾗｸﾞ設定(1) (注3)	
$A3		OVF		計数器溢れ	
$A4	TCB2	CAPT		CAPT割り込み要求ﾌﾗｸﾞ設定(1) (注3)	
$A5		OVF		計数器溢れ	
$A6	TCB3	CAPT		CAPT割り込み要求ﾌﾗｸﾞ設定(1) (注3)	
$A7		OVF		計数器溢れ	

注1: 全ての周辺機能の実体が全てのﾋﾟﾝ数で利用可能な訳ではありません。詳細については「周辺機能と基本構造」章を参照してください。

注2: ﾎﾟｰﾄ ﾋﾟﾝからの事象は入力駆動部が禁止されている場合に'0'です。

注3: 計時器の動作形態がCAPTﾌﾗｸﾞが掲げられる時を決めます。詳細については「TCB」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

16.5.3. USERn – 使用部nチャネル多重器 (User Channel Mux)

名称 : USERn
変位 : +$20+n [n=0～29]
リセット : $00
特質 : –

各事象使用部は1つの事象チャネルに接続することができ、いくつかの使用部を同じチャネルに接続することができます。次表はそれらの対応する使用部ID番号と名称と共に全ての事象システム使用部を一覧にします。使用部名称は次表からの周辺機能と入力と共にUSERを「USER周辺機能入力」のように結合することによって与えられます。

使用部番号	使用部名称		同期/非同期	説明
	周辺機能	入力		
0 ($0)	CCL	LUT0A	非同期	CCL LUT0事象入力A
1 ($1)		LUT0B		CCL LUT0事象入力B
2 ($2)		LUT1A		CCL LUT1事象入力A
3 ($3)		LUT1B		CCL LUT1事象入力B
4 ($4)		LUT2A		CCL LUT2事象入力A
5 ($5)		LUT2B		CCL LUT2事象入力B
6 ($6)		LUT3A		CCL LUT3事象入力A
7 ($7)		LUT3B		CCL LUT3事象入力B
8 ($8)	ADC0	START		事象でADC開始
9 ($9)	EVSYS	EVOUTA	–	事象出力(ﾋﾟﾝ出力)A
10 ($A)		EVOUTB (注1)		事象出力(ﾋﾟﾝ出力)C
11 ($B)		EVOUTC		事象出力(ﾋﾟﾝ出力)D
12 ($C)		EVOUTD		事象出力(ﾋﾟﾝ出力)F
13 ($D)		EVOUTE (注1)		USART0 IrDA事象入力
14 ($E)		EVOUTF (注1)		USART1 IrDA事象入力
15 ($F)	USART0	IRDA		USART0 IrDA事象入力
16 ($10)	USART1			USART1 IrDA事象入力
17 ($11)	USART2 (注1)			USART2 IrDA事象入力
18 ($12)	TCA0	CNTA	同期	事象の正端/両端/Highでの計数または事象ﾚﾍﾞﾙが計数方向制御
19 ($13)		CNTB		事象の両端/Highでの再始動または事象ﾚﾍﾞﾙが計数方向制御
20 ($14)	TCA1 (注1)	CNTA		事象の正端/両端/Highでの計数または事象ﾚﾍﾞﾙが計数方向制御
21 ($15)		CNTB		事象の両端/Highでの再始動または事象ﾚﾍﾞﾙが計数方向制御
22 ($16)	TCB0	CAPT	両方	単発動作
			同期	単発動作以外の動作
23 ($17)		COUNT		事象で計数
24 ($18)	TCB1	CAPT	両方	単発動作
			同期	単発動作以外の動作
25 ($19)		COUNT		事象で計数
26 ($1A)	TCB2	CAPT	両方	単発動作
			同期	単発動作以外の動作
27 ($1B)		COUNT		事象で計数
28 ($1C)	TCB3 (注1)	CAPT	両方	単発動作
			同期	単発動作以外の動作
29 ($1D)		COUNT		事象で計数

注1: 全ての周辺機能実体が全てのﾋﾟﾝ数に対して利用可能な訳ではありません。詳細については「周辺機能と基本構造」章を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	USER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – CHANNEL7~0 : 使用部チャネル選択** (User Channel Selection)

使用部がどの事象システム チャネルに接続するかを構成設定します。

値	0	1～6 (= n)	その他
説明	OFF、チャネルはこの事象システム使用部に未接続	事象使用部はチャネルn-1に接続されます。	(予約)

© 2023 Microchip Technology Inc.とその子会社

17. PORTMUX – ポート多重器

17.1. 概要

ポート多重器(PORTMUX)はピンの機能を許可または禁止、または既定と代替のピン位置の変更のどちらも行うことができます。利用可能な任意選択はPORTMUXレジスタ配置で詳細に記述され、実際のピンと特性に依存します。

利用可能なピンと機能については「入出力多重化と考察」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

17.2. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	EVSYSROUTEA	7～0			EVOUTF	EVOUTE	EVOUTD	EVOUTC	EVOUTB	EVOUTA
+$01	CCLROUTEA	7～0					LUT3	LUT2	LUT1	LUT0
+$02	USARTROUTEA	7～0				USART11,0			USART02~0	
+$03	USARTROUTEB	7～0							USART22~0	
+$04	予約									
+$05	SPIROUTEA	7～0						SPI02~0		
+$06	TWIROUTEA	7～0							TWI01,0	
+$07	TCAROUTEA	7～0				TCA12~0			TCA02~0	
+$08	TCBROUTEA	7～0					TCB3	TCB2	TCB1	TCB0
+$09	予約									
+$0A	ACROUTEA	7～0							AC1	AC0

© 2023 Microchip Technology Inc.とその子会社

17.3. レジスタ説明 (訳注:本項の各表などは可能な限り各々の共通部分を纏めました。)

17.3.1. EVSYSROUTEA – 事象システム ピン位置 (Event System Pin Position)

名称 : EVSYSROUTEA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
			EVOUTF	EVOUTE	EVOUTD	EVOUTC	EVOUTB	EVOUTA
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット5,3,0 – EVOUTx : 事象出力x** (Event Output x)

これらのビットは事象出力x用ピン位置を制御します。(訳補:事象出力xの既定はポートxの2番ピン、代替はポートxの7番ピン)

値	0	1
名称	DEFAULT	ALT1
説明	F:PF2, E:PE2, D:PD2, C:PC2, B:PB2, A:PA2	F:PF7, E:なし, D:PD7, C:PC7, B:なし, A:PA7

17.3.2. CCLROUTEA – CCL LUTnピン位置 (CCL LUTn Pin Position)

名称 : CCLROUTEA
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
					LUT3	LUT2	LUT1	LUT0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット2~0 – LUTn : CCL LUTn信号** (CCL LUTn Signals) (訳補:LUT3~0はポートF,D,C,Aに対応)

これらのビットはCCL LUTn信号用ピン位置を制御します。

値		0	1
名称		DEFAULT	ALT1
説明	IN2	3:PF2, 2:PD2, 1:PC2, 0:PA2	3:なし, 2:PD2, 1:PC2, 0:PA2
	IN1	3:PF1, 2:PD1, 1:PC1, 0:PA1	3:なし, 2:PD1, 1:PC1, 0:PA1
	IN0	3:PF0, 2:PD0, 1:PC0, 0:PA0	3:なし, 2:PD0, 1:PC0, 0:PA0
	OUT	3:PF3, 2:PD3, 1:PC3, 0:PA3	3:なし, 2:PD6, 1:PC6, 0:PA6

17.3.3. USARTROUTEx – USARTnピン位置 (USARTn Pin Position)

名称 : USARTROUTEA : USARTROUTEB
変位 : +$02 : +$03
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
USARTRUTEA				USART11,0			USART02~0	
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
USARTRUTEB							USART21,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット4,3,2~0 – USARTn1,0 : USARTn信号** (USART n Signals) (訳補:USART2~0の基本はポートF,C,Aに対応)

これらのビット領域はUSARTn信号用ピン位置を制御します。

© 2023 Microchip Technology Inc.とその子会社

値		00 / 000	01 / 001	10 / 010	11 / 011	100	その他
名称		DEFAULT	ALT1	ALT2	ALT3	ALT4	NONE
説明	TxD	2:PF0, 1:PC0, 0:PA0	2:PF4, 1:PC4, 0:PA4	2:(予約), 1:PD6, 0:PA2	2:なし, 1:なし, 0:PD4	2:×, 1:×, 0:PC1	ピン接続なし
	RxD	2:PF1, 1:PC1, 0:PA1	2:PF5, 1:PC5, 0:PA5	2:(予約), 1:PD7, 0:PA3	2:なし, 1:なし, 0:PD5	2:×, 1:×, 0:PC2	
	XCK	2:PF2, 1:PC2, 0:PA2	2:なし, 1:PC6, 0:PA6	2:(予約), 1:なし, 0:なし	2:なし, 1:なし, 0:PD6	2:×, 1:×, 0:PC3	
	XDIR	2:PF3, 1:PC3, 0:PA3	2:なし, 1:PC7, 0:PA7	2:(予約), 1:なし, 0:なし	2:なし, 1:なし, 0:PD7	2:×, 1:×, 0:なし	

17.3.4. SPIROUTEA – SPInピン位置 (SPIn Pin Position)

名称 : SPIROUTEA
変位 : +$05
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
						SPI02~0		
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3~0 – SPI01,0 : SPI0信号** (SPI 0 Signals)

これらのビット領域はSPI0用ピン位置を制御します。

値		000	001	010	011	100	101	110	111
名称		DEFAULT	ALT1	–	ALT3	ALT4	ALT5	ALT6	NONE
説明	MOSI	PA4	PE0	(予約)	PA0	PD4	PC0	PC1	ピン接続なし
	MISO	PA5	PE1		PA1	PD5	PC1	PC2	
	SCK	PA6	PE2		PC0	PD6	PC2	PC3	
	$\overline{SS}$	PA7	PE3		PC1	PD7	PC3	PF7	

17.3.5. TWIROUTEA – TWInピン位置 (TWIn Pin Position)

名称 : TWIROUTEA
変位 : +$06
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
							TWI01,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3~0 – TWI01,0 : TWI0信号** (TWI 0 Signals)

これらのビット領域はTWIn用ピン位置を制御します。

値		00	01 (注)	10	11
名称		DEFAULT	ALT1	ALT2	ALT3
説明	SDA	PA2/PC2	PA2/PC6	PC2/PC6	PA0/PC2
	SCL	PA3/PC3	PA3/PC7	PC3/PC7	PA1/PC3

(**訳注**) 各ピン名の記載は(標準動作の主/従装置または2元動作の主装置のピン)/(2元動作の従装置のピン)です。

© 2023 Microchip Technology Inc.とその子会社

17.3.6. TCAROUTEA – TCAnピン位置 (TCAn Pin Position)

名称 : TCAROUTEA
変位 : +$07
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
			TCA12~0			TCA02~0		
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット5~3,2~0 – TCAn2~0 : TCAn信号** (TCAn Signals)

これらのビット領域はTCAn用ピン位置を制御します。

TCA1 値	0 0 0	0 0 1	1 0 0	1 0 1	その他
名称	PORTB	PORTC	PORTA	PORTD	–
説明	PB0,PB1,PB2,PB3,PB4,PB5	PC4,PC5,PC6,–,–,–	PA4,PA5,PA6,–,–,–	PD4,PD5,PD6,–,–,–	(予約)

(訳注) 左からWO0,WO1,WO2,WO3,WO4,WO5の順で、PORTA,PORTC,PORTDのWO3,WO4,WO5は存在しません。

TCA0 値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	その他
名称	PORTA	PORTB	PORTC	PORTD	PORTE	PORTF	–
説明	PAn=WOn	PBn=WOn	PCn=WOn	PDn=WOn	PEn=WOn (訳注)	PFn=WOn	(予約)

(訳注) 基本的にPx0=WO0、Px1=WO1、以下同様に対応しますが、PORTEのWO4とWO5は存在しません。

17.3.7. TCBROUTEA – TCBnピン位置 (TCBn Pin Position)

名称 : TCBROUTEA
変位 : +$08
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
					TCB3	TCB2	TCB1	TCB0
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット4~0 – TCBn : TCBn出力** (TCBn Output)

これらのビットはTCBn出力用ピン位置を制御します。

値	0	1
名称	DEFAULT	ALT1
説明	3:PB5, 2:PC0, 1:PA3, 0:PA2	3:PC1, 2:PB4, 1:PF5, 0:PF4

17.3.8. ACROUTEA – ACnピン位置 (ACn Pin Position)

名称 : TCDROUTEA
変位 : +$0A
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
							AC1	AC0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット1,0 – ACn : ACn出力** (Analog Comparator n Output)

このビット領域はACn出力用ピン位置を制御します。

値	0	1
名称	DEFAULT	ALT1
説明	1:PA7, 0:PA7	1:PC6, 0:PC6

© 2023 Microchip Technology Inc.とその子会社

18. PORT – I/Oﾋﾟﾝ構成設定

18.1. 特徴

- 個別構成設定を持つ汎用入出力ﾋﾟﾝ
  - ﾌﾟﾙｱｯﾌﾟ
  - 反転I/O
  - 入力電圧閾値
- 割り込みと事象を持つ入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowﾚﾍﾞﾙ感知
- ﾎﾟｰﾄ毎の任意選択ｽﾘｭｰﾚｰﾄ制御
- 全休止動作形態からﾃﾞﾊﾞｲｽを起き上がらせることができる非同期ﾋﾟﾝ変化感知
- ﾎﾟｰﾄ ﾋﾟﾝへの効率的で安全なｱｸｾｽ
  - 専用の切り換え、解除(0)、設定(1)用ﾚｼﾞｽﾀ通したﾊｰﾄﾞｳｪｱ読み–変更–書き(RMW)
  - ﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間への度々使われるﾎﾟｰﾄ ﾚｼﾞｽﾀ割り当て(仮想ﾎﾟｰﾄ)

18.2. 概要

ﾃﾞﾊﾞｲｽの入出力ﾋﾟﾝはPORT周辺機能ﾚｼﾞｽﾀの実体によって制御されます。各PORT実体は最大8つの入出力ﾋﾟﾝを持ちます。PORTはPORTA、PORTB、PORTCなどと名付けられます。どのﾋﾟﾝが何のPORTの実体によって制御されるかを見るには「入出力多重化と考察」章を参照してください。PORT実体と対応する仮想PORT実体の基準ｱﾄﾞﾚｽは「周辺機能と基本構造」章で一覧にされます。

各ﾎﾟｰﾄ ﾋﾟﾝは出力としてそのﾋﾟﾝを許可して出力状態を定義するためにﾃﾞｰﾀ方向(PORTx.DIR)とﾃﾞｰﾀ出力値(PORTx.OUT)のﾚｼﾞｽﾀで対応するﾋﾞｯﾄを持ちます。例えば、PORTA実体のDIR3とOUT3はPA3ﾋﾟﾝを制御します。

PORTﾋﾟﾝの入力値は周辺機能ｸﾛｯｸ(CLK_PER)に同期され、その後にﾃﾞｰﾀ入力値(PORTx.IN)としてｱｸｾｽ可能にされます。ﾋﾟﾝが入力または出力のどちらとして構成設定されても、このﾋﾟﾝ値は常に読むことができます。

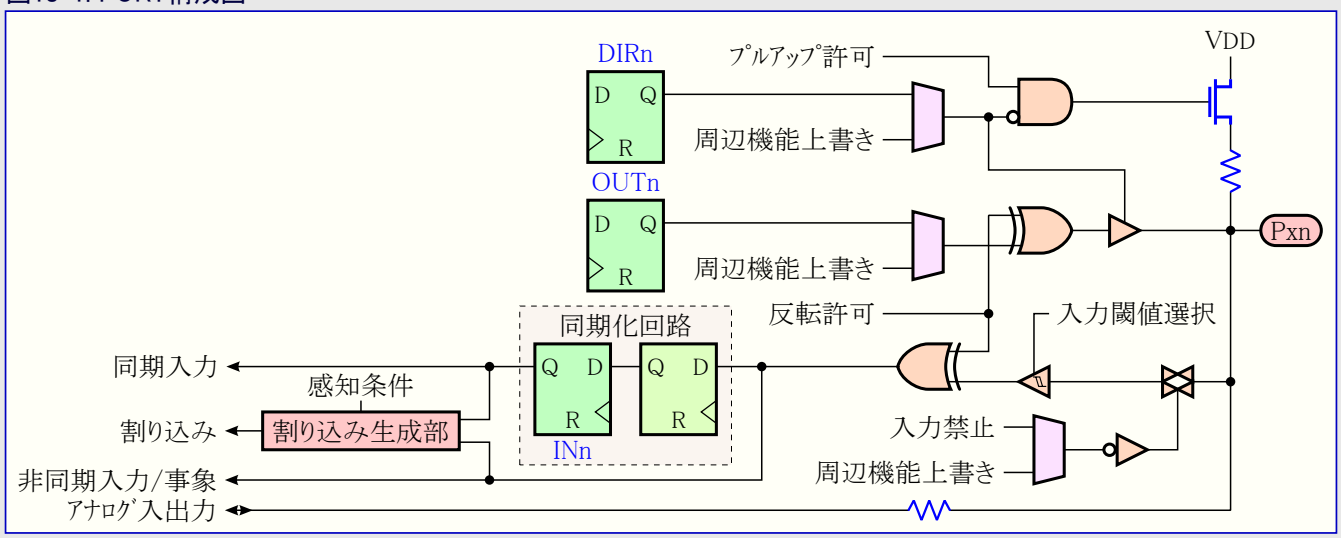
PORTは選択可能なﾋﾟﾝ変化条件に対して割り込みと事象と共に非同期の入力感知も支援します。非同期ﾋﾟﾝ変化感知はCLK_PERが停止される休止動作を含み、割り込みを起動して休止からﾃﾞﾊﾞｲｽを起き上がらせることができることを意味します。

全てのﾋﾟﾝ機能はﾋﾟﾝ毎に個別に構成設定可能です。ﾋﾟﾝは駆動値や入力と感知の構成設定の安全で正しい変更のためにﾊｰﾄﾞｳｪｱ読み–変更–書き(RMW:Read–Modify–Write)機能を持ちます。

PORTﾋﾟﾝ構成設定は他のﾃﾞﾊﾞｲｽ機能の入力と出力の選択も制御します。

18.2.1. 構成図

図18–1. PORT構成図



18.2.2. 信号説明

信号	形式	説明
Pxn	入出力	PORTxのn入出力ﾋﾟﾝ

© 2023 Microchip Technology Inc.とその子会社

18.3. 機能的な説明

18.3.1. 初期化

ﾘｾｯﾄ後、例えｸﾛｯｸ走行がなくても、全ての出力がﾄﾗｲｽﾃｰﾄ(Hi-Z)にされ、ﾃﾞｼﾞﾀﾙ入力緩衝部が許可されます。

ﾎﾟｰﾄ動作を初期化する時に以下の手順は全て任意選択です。

- ﾃﾞｰﾀ方向設定(PORTx.DIRSET)またはﾃﾞｰﾀ方向解除(PORTx.DIRCLR)のﾚｼﾞｽﾀのﾋﾞｯﾄに各々'1'を書くことによってPxnﾋﾟﾝに対して出力駆動部を許可または禁止にしてください。
- 出力値設定(PORTx.OUTSET)または出力値解除(PORTx.OUTCLR)のﾚｼﾞｽﾀのﾋﾞｯﾄに'1'を書くことによってPxnﾋﾟﾝに対する出力駆動部を各々HighまたはLowの水準に設定してください。
- 入力値(PORTx.IN)ﾚｼﾞｽﾀのﾋﾞｯﾄnを読むことによってPxnﾋﾟﾝの入力を読んでください。
- ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀでPxnﾋﾟﾝに対して個別ﾋﾟﾝ構成設定と割り込み制御を構成設定してください。

重要: 最低消費電力のため、未使用ﾋﾟﾝとｱﾅﾛｸﾞ入力または出力として使われるﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部を禁止してください。許可されたﾃﾞｼﾞﾀﾙ入力緩衝部を持つﾋﾟﾝについては可能な限り素早いHighとLowの電圧閾値間遷移が推奨されます。

ﾃﾞﾊﾞｯｶﾞに接続するのに使われるそれらのような特定ﾋﾟﾝは、それらの特殊機能によって必要とされるため、違う様に構成設定されるでしょう。

18.3.2. 動作

18.3.2.1. 基本機能

各ﾋﾟﾝ群(x)はそれ自身のPORTﾚｼﾞｽﾀｰ一式を持ちます。入出力(Pxn)ﾋﾟﾝはPORTx内のﾚｼﾞｽﾀによって制御することができます。

出力としてﾋﾟﾝ番号nを使うには、ﾃﾞｰﾀ方向(PORTx.DIR)ﾚｼﾞｽﾀのﾋﾞｯﾄnに'1'を書いてください。これはﾃﾞｰﾀ方向設定(PORTx.DIRSET)ﾚｼﾞｽﾀのﾋﾞｯﾄnに'1'を書くことによっても行うことができ、これはその群内の他のﾋﾟﾝの構成設定の妨害を避けます。出力値(PORTx.OUT)ﾚｼﾞｽﾀのﾋﾞｯﾄnは望む出力値が書かれなければなりません。

同様に、出力値設定(PORTx.OUTSET)ﾚｼﾞｽﾀのﾋﾞｯﾄへの'1'書き込みはPORTx.OUTﾚｼﾞｽﾀの対応するﾋﾞｯﾄを'1'に設定します。出力値解除(PORTx.OUTCLR)ﾚｼﾞｽﾀのﾋﾞｯﾄへの'1'書き込みはPORTx.OUTﾚｼﾞｽﾀのそのﾋﾞｯﾄを'0'に解除します。出力値切り替え(PORTx.OUTTGL)または入力値(PORTx.IN)のﾚｼﾞｽﾀのﾋﾞｯﾄへ'1'書き込みはPORTx.OUTﾚｼﾞｽﾀ内のそのﾋﾞｯﾄを論理反転します。

ﾋﾟﾝを入力として使うには出力駆動部を禁止するためにPORTx.DIRﾚｼﾞｽﾀのﾋﾞｯﾄnが'0'を書かれなければなりません。これはﾃﾞｰﾀ方向解除(PORTx.DIRCLR)ﾚｼﾞｽﾀのﾋﾞｯﾄnに'1'を書くことによっても行うことができ、これはその群内の他のﾋﾟﾝの構成設定の妨害を避けます。入力値はﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀの入力/感知構成設定(ISC)ﾋﾞｯﾄ領域が入力禁止(INPUT_DISABLE)に設定されない限り、PORTx.INﾚｼﾞｽﾀのﾋﾞｯﾄnから読むことができます。

ﾃﾞｰﾀ方向切り替え(PORTx.DIRTGL)での'1'書き込みはPORTx.DIRでそのﾋﾞｯﾄを切り替え、対応するﾋﾟﾝの方向を切り替えます。

18.3.2.2. ﾎﾟｰﾄ構成設定

ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀは全てのPORTxﾋﾟﾝに対するｽﾘｭｰﾚｰﾄ制限を制御します。

ｽﾘｭｰﾚｰﾄ制限はPORTx.CTRLのｽﾘｭｰﾚｰﾄ制限許可(SRL)ﾋﾞｯﾄに'1'を書くことによって許可されます。更なる詳細については「電気的特性」章を参照してください。

18.3.2.3. ﾋﾟﾝ構成設定

ﾋﾟﾝの反転I/O、ﾌﾟﾙｱｯﾌﾟ、入力感知を構成設定するのにﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀを使ってください。ﾋﾟﾝn用の制御ﾚｼﾞｽﾀはﾊﾞｲﾄ ｱﾄﾞﾚｽのPORTx+$10+nです。

各々のn番ﾋﾟﾝの全ての入力と出力はPORTx.PINnCTRLの反転I/O許可(INVEN)ﾋﾞｯﾄに'1'を書くことによって反転することができます。INVENが'1'の時は、このﾋﾟﾝに対してPORTx.IN/OUT/OUTSET/OUTCLRﾚｼﾞｽﾀが反転操作になります。

INVENﾋﾞｯﾄの交互切り替えは、このﾋﾟﾝを使う全ての周辺機能によって検出することができるﾋﾟﾝでの変化端(ｴｯｼﾞ)を引き起こし、許可されていれば割り込みまたは事象によって見られます。

PORTx.PINnCTRLの入力基準選択(INLVL)ﾋﾞｯﾄはﾋﾟﾝnに対する入力電圧閾値を制御します。供給電圧から導き出したｼｭﾐｯﾄ ﾄﾘｶﾞ閾値またはTTL基準の選択が利用可能です。

入力閾値はPORTx.INﾚｼﾞｽﾀのﾋﾞｯﾄnの値を決めるのと、機能が許可されていれば割り込み状態を起こす基準でも重要です。

ﾋﾟﾝnの入力ﾌﾟﾙｱｯﾌﾟはPORTx.PINnCTRLのﾌﾟﾙｱｯﾌﾟ許可(PULLUPEN)ﾋﾞｯﾄに'1'を書くことによって許可されます。ﾌﾟﾙｱｯﾌﾟは例えPULLUPENﾋﾞｯﾄが'1'でも、ﾋﾟﾝが出力として構成設定されると、切断されます。

ﾋﾟﾝ割り込みはPORTx.PINnCTRLの入力/感知構成設定(ISC)ﾋﾞｯﾄ領域に書くことによってﾋﾟﾝnに対して許可されます。更なる詳細については「18.3.3. 割り込み」を参照してください。

ﾋﾟﾝn用のﾃﾞｼﾞﾀﾙ入力緩衝部はISCﾋﾞｯﾄ領域にINPUT_DISABLE設定を書くことによって禁止することができます。これは消費電力を減らしてﾋﾟﾝがｱﾅﾛｸﾞ入力として使われる場合に雑音を減らすでしょう。INPUT_DISABLEに構成設定されている間、PORTx.INのﾋﾞｯﾄnは入力同期部が禁止されるため変わりません。

© 2023 Microchip Technology Inc.とその子会社

18.3.2.4. 複数ピン構成設定

1操作で複数のポートピンを構成設定するのに複数ピン構成設定機能を使ってください。望むピンの構成設定が先に複数ピン構成設定(PORTx.PINCONFIG)レジスタに書かれ、続いて選んだ変更するピンでの複数ピン制御系(PORTx.PINCTRLUPD/SET/CLR)レジスタ書き込みによって行われ、1度の書き込みで8つまでのピンに対する構成設定(PORTx.PINnCTRL)変更を許します。

助言: 複数ピン構成設定(PORTx.PINCONFIG)レジスタは全てのポートに反映され、複数ポートに渡る単一設定の使用を許します。複数ピン制御系(PORTx.PINCTRLUPD/SET/CLR)レジスタは反映されず、各ポートに適用が必要です。

複数ピン構成設定に対して、ポートピンは以下のレジスタへの書き込みによって構成設定して変更することができます。

表18-1. 複数ピン構成設定レジスタ

レジスタ	説明
PORTx.PINCONFIG	複数のPINCTRLレジスタへ同時構成設定準備のためPINnCTRL(ISC,PULLUPEN,INLVL,INVEN)設定
PORTx.PINCTRLUPD	PINCTRLUPDレジスタ ビットへの'1'書き込みがPINCONFIGレジスタ内容をPINnCTRLレジスタに複写。
PORTx.PINCTRLSET (注1)	PINCTRLSETレジスタのビットへの'1'書き込みはPINCONFIGレジスタで'1'に設定されたビットに従ってPINnCTRLレジスタの個別ビットを設定(1)します。
PORTx.PINCTRLCLR (注2)	PINCTRLCLRレジスタのビットへの'1'書き込みはPINCONFIGレジスタで'1'に設定されたビットに従ってPINnCTRLレジスタの個別ビットを解除(0)します。

注1: 0でないISCビット領域の構成設定にPINCTRLSETを使うと、PINCONFIGとPINnCTRLのレジスタでのビット単位論理和(OR)になります。これは予期せぬ設定を与えるかもしれません。

注2: 0でないISCビット領域の構成設定にPINCTRLCLRを使うと、PINCONFIGとPINnCTRLのレジスタでのビット単位反転論理積(AND)になります。これは予期せぬ設定を与えるかもしれません。

以下のコード断片は数個のポートの複数PINnCTRLレジスタ構成設定法を実演します。PINCONFIGレジスタが全てのポートに渡って反映されるため、この例ではポートAに1度書くだけで充分なことに注意してください。

```
PORTA.PINCONFIG = PORT_ISC_INPUT_DISABLE_gc; /* PINnCTRLレジスタへ設定するための設定 */
PORTA.PINCTRLUPD = 0xff;
PORTB.PINCTRLUPD = 0xff;
PORTC.PINCTRLUPD = 0xff;
PORTD.PINCTRLUPD = 0xff;
PORTE.PINCTRLUPD = 0xff;
```

18.3.2.5. 仮想ポート

仮想ポートレジスタは最も頻繁に使われる通常のポートレジスタを単一周期ビットアクセスを持つI/Oレジスタ空間に割り当てます。仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ちますが、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。右表はPORTとVPORTのレジスタ間の割り当てを示します。

表18-2. 仮想ポート割り当て

通常ポート レジスタ	割り当てられる仮想ポート レジスタ
PORTx.DIR	VPORTx.DIR
PORTx.OUT	VPORTx.OUT
PORTx.IN	VPORTx.IN
PORTx.INTFLAGS	VPORTx.INTFLAGS

注: 通常のPORTレジスタのアクセス直後に単一周期I/O命令を使って割り当てられたVPORTレジスタをアクセスするのを避けてください。これは単一周期I/O命令アクセスが通常のPORTレジスタアクセスよりも速いためメモリ衝突を起こすかもしれません。

18.3.2.6. 周辺機能優先

USART、ADC、計時器のような周辺機能は入出力ピンに接続されるでしょう。このような周辺機能は通常、ポート多重器(PORTMUX)またはその周辺機能内の多重器よって選択可能な基本と任意選択の1つ以上の代替入出力ピン接続を持ちます。このような周辺機能を構成設定して許可することにより、I/Oピン構成設定(PORT)によって制御される通常の汎用入出力ピンの動きは周辺機能に依存する方法で覆されます。いくつかの周辺機能はPORTレジスタの全てを覆さないかもしれず、入出力ピン操作のいくつかの面の制御をPORT単位部に残します。

周辺機能優先の情報については各周辺機能の記述を参照してください。周辺機能によって覆されないポートのどのピンも汎用入出力ピンとしての動作を続けます。

18.3.3. 割り込み

表18-3. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
PORTx	PORT 割り込み	PORTx.INTFLAGSのINTnはPORTx.PINnCTRLの入力/感知構成設定(ISC)ビットによって構成設定されるとおりに掲げられます。

各PORTピンnは割り込み元として構成設定することができます。各割り込みはピンn制御(PORTx.PINnCTRL)レジスタの入力/感知構成設定(ISC)へ書くことによって個別に許可または禁止することができます。

© 2023 Microchip Technology Inc.とその子会社

割り込み条件が起こると、周辺機能の割り込み要求ﾌﾗｸﾞ(PORTx.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求(INTn)ﾌﾗｸﾞが設定(1)されます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細については周辺機能のINTFLAGSﾚｼﾞｽﾀをご覧ください。

割り込み設定の設定または変更時、次のこれらの点を考慮してください。

- 入力/感知構成設定(ISC)が変更されるのと同じ周期で反転I/O許可(INVEN)ﾋﾞｯﾄが切り替えられる場合、反転切り替えによって引き起こされる端は割り込み要求を引き起こさないかもしれません。
- ﾋﾟﾝに対する入力基準選択(INLVL)の変更は関連する割り込みと周辺機能単位部が禁止されている間に実行されなければなりません。単位部が活動中の閾値変更はそのﾋﾟﾝでの実際の電圧値と無関係に、入力での一時的な状態遷移を生成するかもしれません。
- 割り込み同期中にISCへ書くことによって入力が禁止される場合、例えそれが違う割り込み設定で再許可されても、その特定割り込みが再許可で要求されるかもしれません。
- 割り込み同期中にISCへ書くことによって割り込み設定が変更される場合、その割り込みが要求されないかもしれません。

18.3.3.1. 非同期感知ﾋﾟﾝ特性

全てのﾎﾟｰﾄ ﾋﾟﾝは選択可能なﾋﾟﾝ変化条件に対する割り込みを持つ完全な非同期入力感知を支援します。完全な非同期ﾋﾟﾝ変化感知は割り込みを起動して、周辺機能ｸﾛｯｸ(CLK_PER)が停止される動作形態を含めて全ての休止動作からﾃﾞﾊﾞｲｽを起き上がらせることができます。割り込みを起動するのに必要とされるﾊﾟﾙｽ幅はCLK_PER周期未満です。

18.3.4. 事象

PORTは以下の事象を生成することができます。

表18-5. PORTxの事象生成部

生成部名		説明	事象型	生成するｸﾛｯｸ領域	事象の長さ
周辺機能	事象				
PORTx	EVGEN0SEL	ﾋﾟﾝ入力ﾚﾍﾞﾙ	ﾚﾍﾞﾙ	非同期	ﾋﾟﾝ ﾚﾍﾞﾙによって与えられます。
	EVGEN1SEL				

全てのﾎﾟｰﾄ ﾋﾟﾝは非同期事象ｼｽﾃﾑ生成部として構成設定することができます。各ﾎﾟｰﾄに対して2つの事象生成部が利用可能です。ﾎﾟｰﾄからの事象ｼｽﾃﾑへの出力はﾃﾞｼﾞﾀﾙ入力駆動部が許可される場合に対応するﾋﾟﾝに存在する値です。ﾋﾟﾝ入力駆動部が禁止される場合、事象ｼｽﾃﾑの対応する出力は'0'です。

ﾎﾟｰﾄは事象入力を持ちません。事象型と事象ｼｽﾃﾑ構成設定に関するより多くの詳細については「EVSYS – 事象ｼｽﾃﾑ」章を参照してください。

18.3.5. 休止形態動作

割り込みと入力の同期化の例外を除き、全てのﾋﾟﾝ構成設定は休止動作と無関係です。全てのﾋﾟﾝはﾃﾞﾊﾞｲｽを休止から起き上がらせることができます。更なる詳細についてはﾎﾟｰﾄ割り込み部分をご覧ください。

ﾎﾟｰﾄに接続された周辺機能は各々の周辺機能のﾃﾞｰﾀｼｰﾄ部分で記述される休止動作によって影響を及ぼされ得ます。

重要: ﾎﾟｰﾄは常に周辺機能ｸﾛｯｸ(CLK_PER)を使います。このｸﾛｯｸが止まる時に入力同期化は停止します。

18.3.6. ﾃﾞﾊﾞｯｸﾞ操作

ﾎﾟｰﾄはﾃﾞﾊﾞｯｸﾞ動作でのCPU停止時に通常動作を続けます。ﾎﾟｰﾄが割り込みまたは同様のものを通してCPUによって定期的に処理されるのを必要とするように構成設定する場合、ﾃﾞﾊﾞｯｸﾞ中に不正な動作やﾃﾞｰﾀ損失になるかもしれません。

© 2023 Microchip Technology Inc.とその子会社

18.4. レジスタ要約 – PORTx

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	DIR	7～0	DIR7～0							
+$01	DIRSET	7～0	DIRSET7～0							
+$02	DIRCLR	7～0	DIRCLR7～0							
+$03	DIRTGL	7～0	DIRTGL7～0							
+$04	OUT	7～0	OUT7～0							
+$05	OUTSET	7～0	OUTSET7～0							
+$06	OUTCLR	7～0	OUTCLR7～0							
+$07	OUTTGL	7～0	OUTTGL7～0							
+$08	IN	7～0	IN7～0							
+$09	INTFLAGS	7～0	INT7～0							
+$0A	PORTCTRL	7～0								SRL
+$0B	PINCONFIG	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$0C	PINCTRLUPD	7～0	PINCTRLUPD7～0							
+$0D	PINCTRLSET	7～0	PINCTRLSET7～0							
+$0E	PINCTRLCLR	7～0	PINCTRLCLR7～0							
+$0F	予約									
+$10	PIN0CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$11	PIN1CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$12	PIN2CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$13	PIN3CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$14	PIN4CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$15	PIN5CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$16	PIN6CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$17	PIN7CTRL	7～0	INVEN	INLVL			PULLUPEN	ISC2～0		
+$18	EVGENCTRLA	7～0		EVGEN1SEL2～0				EVGEN0SEL2～0		

© 2023 Microchip Technology Inc.とその子会社

18.5. ﾚｼﾞｽﾀ説明 – PORTx

18.5.1. DIR – ﾃﾞｰﾀ方向 (Data Direction)

名称 : DIR
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向** (Data Direction)

このﾋﾞｯﾄ領域は各PORTxﾋﾟﾝに対する出力駆動部を制御します。

このﾋﾞｯﾄ領域はﾃﾞｼﾞﾀﾙ入力緩衝部を制御しません。ﾋﾟﾝn(Pxn)用のﾃﾞｼﾞﾀﾙ入力緩衝部はﾋﾟﾝn制御(PORTx.PINnCTRL)の割り込み/感知構成設定(ISC)ﾋﾞｯﾄ領域で構成設定することができます。

下表はこのﾋﾞｯﾄ領域で各ﾋﾞｯﾄnに対して利用可能な構成設定を示します。

値	0	1
説明	Pxnは入力専用ﾋﾟﾝとして構成、出力駆動部は禁止	Pxnは出力ﾋﾟﾝとして構成、出力駆動部は許可

18.5.2. DIRSET – ﾃﾞｰﾀ方向設定 (Data Direction Set)

名称 : DIRSET
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIRSET7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DIRSET7~0 : ﾃﾞｰﾀ方向設定** (Data Direction Set)

このﾋﾞｯﾄ領域は読み–変更–書き操作を使わず、各PORTxﾋﾟﾝに対する出力駆動部を制御します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはﾃﾞｰﾀ方向(PORTx.DIR)の対応するﾋﾞｯﾄを設定(1)し、ﾋﾟﾝn(Pxn)を出力ﾋﾟﾝとして構成設定して出力駆動部を許可します。

このﾋﾞｯﾄ領域の読み込みはPORTx.DIRの値を返します。

18.5.3. DIRCLR – ﾃﾞｰﾀ方向解除 (Data Direction Clear)

名称 : DIRCLR
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIRCLR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DIRCLR7~0 : ﾃﾞｰﾀ方向解除** (Data Direction Clear)

このﾋﾞｯﾄ領域は読み–変更–書き操作を使わず、各PORTxﾋﾟﾝに対する出力駆動部を制御します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはﾃﾞｰﾀ方向(PORTx.DIR)の対応するﾋﾞｯﾄを解除(0)し、ﾋﾟﾝn(Pxn)を入力専用ﾋﾟﾝとして構成設定して出力駆動部を禁止します。

このﾋﾞｯﾄ領域の読み込みはPORTx.DIRの値を返します。

© 2023 Microchip Technology Inc.とその子会社

18.5.4. DIRTGL – ﾃﾞｰﾀ方向切り替え (Data Direction Toggle)

名称 : DIRTGL
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIRTGL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DIRTGL7~0 : ﾃﾞｰﾀ方向切り替え** (Data Direction Toggle)

このﾋﾞｯﾄ領域は読み-変更-書き操作を使わず、各PORTxﾋﾟﾝに対する出力駆動部を制御します。
このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。
このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはﾃﾞｰﾀ方向(PORTx.DIR)の対応するﾋﾞｯﾄを反転切り替えします。
このﾋﾞｯﾄ領域の読み込みはPORTx.DIRの値を返します。

18.5.5. OUT – 出力値 (Output Value)

名称 : OUT
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OUT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OUT7~0 : 出力値** (Output Value)

このﾋﾞｯﾄ領域は各PORTxﾋﾟﾝに対する出力駆動部ﾚﾍﾞﾙを制御します。
この構成設定は対応するﾋﾟﾝに対して駆動部(PORTx.DIR)が許可される時にだけ出力に影響を及ぼします。
下表はこのﾋﾞｯﾄ領域の各ﾋﾞｯﾄnに対して利用可能な構成設定を示します。

値	0	1
説明	ﾋﾟﾝn(Pxn)出力はLowに駆動されます。	Pxn出力はHighに駆動されます。

18.5.6. OUTSET – 出力値設定 (Output Value Set)

名称 : OUTSET
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OUTSET7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OUTSET7~0 : 出力値設定** (Output Value Set)

このﾋﾞｯﾄ領域は読み-変更-書き操作を使わず、各PORTxﾋﾟﾝに対する出力駆動部ﾚﾍﾞﾙを制御します。
このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。
このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みは出力値(PORTx.OUT)の対応するﾋﾞｯﾄを設定(1)し、ﾋﾟﾝn(Pxn)に対する出力をHighに駆動するように構成設定します。
このﾋﾞｯﾄ領域の読み込みはPORTx.OUTの値を返します。

© 2023 Microchip Technology Inc.とその子会社

18.5.7. OUTCLR – 出力値解除 (Output Value Clear)

名称 : OUTCLR
変位 : +$06
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	OUTCLR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – OUTCLR7~0 : 出力値解除** (Output Value Clear)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部レベルを制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを解除(0)し、ピンn(Pxn)に対する出力をLowに駆動するように構成設定します。

このビット領域の読み込みはPORTx.OUTの値を返します。

18.5.8. OUTTGL – 出力値切り替え (Output Value Toggle)

名称 : OUTTGL
変位 : +$07
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	OUTTGL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – OUTTGL7~0 : 出力値切り替え** (Output Value)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部レベルを制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを反転切り替えします。

このビット領域の読み込みはPORTx.OUTの値を返します。

18.5.9. IN – 入力値 (Input Value)

名称 : IN
変位 : +$08
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	IN7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – IN7~0 : 入力値** (Input Value)

このビット領域はデジタル入力緩衝部が許可される時ににPORTxピンの状態を示します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを反転切り替えします。

デジタル入力緩衝部が禁止される場合、入力は採取されず、ビット値は変わりません。ピンn(Pxn)用のデジタル入力緩衝部はピンn制御(PORTx.PINnCTRL)レジスタの入力/感知構成設定(ISC)ビット領域で構成設定することができます。

下表はこのビット領域の各ビットnで利用可能な状態を示します。

値	0	1
説明	Pxnでの電圧水準はLowです。	Pxnでの電圧水準はHighです。

© 2023 Microchip Technology Inc.とその子会社

18.5.10. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flags)

名称 : INTFLAGS
変位 : +$09
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INT7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – INT7~0 : ﾋﾟﾝ割り込み要求ﾌﾗｸﾞ** (Interrupt Pin Flag)

ﾋﾟﾝ割り込み要求ﾌﾗｸﾞはそれに'1'を書くことによって解除(0)されます。

ﾋﾟﾝ割り込み要求ﾌﾗｸﾞはﾋﾟﾝn(Pxn)の変化または状態がﾋﾟﾝn制御(PORTx.PINnCTRL)のそのﾋﾟﾝの入力/感知構成設定(ISC)に一致する時に設定(1)されます。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはﾋﾟﾝn割り込み要求ﾌﾗｸﾞを解除(0)します。

18.5.11. PORTCTRL – ﾎﾟｰﾄ制御 (Port Control)

名称 : PORTCTRL
変位 : +$0A
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀはこのﾎﾟｰﾄに対するｽﾘｭｰﾚｰﾄ制限許可ﾋﾞｯﾄを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								SRL
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – SRL : ｽﾘｭｰﾚｰﾄ制限許可** (Slew Rate Limit Enable)

このﾋﾞｯﾄはPORTxの全てのﾋﾟﾝに対してｽﾘｭｰﾚｰﾄ制限を制御します。

値	0	1
説明	PORTxの全ﾋﾟﾝに対してｽﾘｭｰﾚｰﾄ制限が禁止	PORTxの全ﾋﾟﾝに対してｽﾘｭｰﾚｰﾄ制限が許可

18.5.12. PINCONFIG – 複数ﾋﾟﾝ構成設定 (Multi-Pin Configuration)

名称 : PINCONFIG
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾎﾟｰﾄ単位部のより速い構成設定のため、複数構成設定書き込みは単一周期でﾎﾟｰﾄのいくつかのﾋﾟﾝの構成設定を許します。特に多ﾋﾟﾝ数のﾃﾞﾊﾞｲｽで、この機能はPORTﾋﾟﾝ構成設定操作をかなり速めることができます。

このﾚｼﾞｽﾀへの書き込みはPORTxに対するﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀを更新するため、複数ﾋﾟﾝ制御系(PORTx.PINCTRL UPD/SET/CLR)ﾚｼﾞｽﾀのどれかへの書き込みが後続されるでしょう。

このﾚｼﾞｽﾀは全てのPORTx単位部に渡って反映されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INVEN	INLVL			PULLUPEN		ISC2~0	
ｱｸｾｽ種別	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – INVEN : 反転I/O許可** (Inverted I/O Enable)

このﾋﾞｯﾄはﾋﾟﾝnに対する入力と出力が反転されるか否かを制御します。

値	0	1
説明	入出力値は反転されません。	入出力値は反転されます。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ6 – INLVL : 入力基準選択** (Input Level Select)

このﾋﾞｯﾄはﾎﾟｰﾄ入力読み込みと割り込み条件に使われるﾋﾟﾝnに対する入力電圧閾値を制御します。

値	0	1
名称	ST	TTL
説明	供給水準から導き出されたｼｭﾐｯﾄ ﾄﾘｶﾞ	TTL基準

● **ﾋﾞｯﾄ3 – PULLUPEN : ﾌﾟﾙｱｯﾌﾟ許可** (Pullup Enable)

このﾋﾞｯﾄはﾋﾟﾝが入力専用として構成設定される時にﾋﾟﾝnの内部ﾌﾟﾙｱｯﾌﾟが許可される否かを制御します。

値	0	1
説明	ﾌﾟﾙｱｯﾌﾟ禁止	ﾌﾟﾙｱｯﾌﾟ許可

● **ﾋﾞｯﾄ2~0 – ISC2~0 : 入力/感知構成設定** (Input/Sense Configuration)

このﾋﾞｯﾄ領域はﾋﾟﾝnの入力と感知の構成設定を制御します。感知構成設定はﾎﾟｰﾄ割り込みを起動する方法を決めます。

値	名称	説明
000	INTDISABLE	割り込み禁止、けれどもﾃﾞｼﾞﾀﾙ入力緩衝部許可
001	BOTHEDGES	両端感知で割り込み許可
010	RISING	上昇端感知で割り込み許可
011	FALLING	下降端感知で割り込み許可
100	INPUT_DISABLE	割り込みとﾃﾞｼﾞﾀﾙ入力緩衝部を禁止 (注1)
101	LEVEL	Lowﾚﾍﾞﾙ感知で割り込み許可 (注2)
11x	–	(予約)

注1: ﾋﾟﾝnのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止される場合、入力値(PORTx.IN)ﾚｼﾞｽﾀのﾋﾞｯﾄnは更新されません。

注2: LEVEL割り込みはﾋﾟﾝがLowに留まる限り継続的に起動し続けます。

18.5.13. PINCTRLUPD – 複数ﾋﾟﾝ制御更新許可 (Multi-Pin Control Update Mask)

名称 : PINCTRLUPD
変位 : +$0C
ﾘｾｯﾄ : $00
特質 : –

ﾎﾟｰﾄ単位部のより速い構成設定のため、複数構成設定書き込みは単一周期でﾎﾟｰﾄのいくつかのﾋﾟﾝの構成設定を許します。特に多ﾋﾟﾝ数のﾃﾞﾊﾞｲｽで、この機能はPORTﾋﾟﾝ構成設定操作をかなり速めることができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINCTRLUPD7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PINCTRLUPD7~0 : 複数ﾋﾟﾝ制御更新許可** (Multi-Pin Control Update Mask)

このﾋﾞｯﾄ領域は各ﾚｼﾞｽﾀに対する個別書き込みを使わず、個別ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀに複数ﾋﾟﾝ構成設定(PORTx.PINCONFIG)ﾚｼﾞｽﾀ内容の複写を制御します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはPORTx.PINCONFIGﾚｼﾞｽﾀ内容を対応するPORTx.PINnCTRLﾚｼﾞｽﾀに複写します。

このﾋﾞｯﾄ領域の読み込みは常に0を返します。

18.5.14. PINCTRLSET – 複数ﾋﾟﾝ制御設定許可 (Multi-Pin Control Set Mask)

名称 : PINCTRLSET
変位 : +$0D
ﾘｾｯﾄ : $00
特質 : –

ﾎﾟｰﾄ単位部のより速い構成設定のため、複数構成設定書き込みは単一周期でﾎﾟｰﾄのいくつかのﾋﾟﾝの構成設定を許します。特に多ﾋﾟﾝ数のﾃﾞﾊﾞｲｽで、この機能はPORTﾋﾟﾝ構成設定操作をかなり速めることができます。

© 2023 Microchip Technology Inc.とその子会社

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINCTRLSET7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PINCTRLSET7~0 : 複数ﾋﾟﾝ制御設定許可** (Multi-Pin Control Set Mask)

このﾋﾞｯﾄ領域は各ﾚｼﾞｽﾀに対する個別読み-変更-書きし操作を使わず、個別ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀでの複数ﾋﾞｯﾄ設定を制御します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みは複数ﾋﾟﾝ構成設定(PORTx.PINCONFIG)ﾚｼﾞｽﾀで'1'に設定されているﾋﾞｯﾄに従ってPORTx.PINnCTRLﾚｼﾞｽﾀの個別ﾋﾞｯﾄを設定します。

このﾋﾞｯﾄ領域の読み込みは常に0を返します。

18.5.15. PINCTRLCLR – 複数ﾋﾟﾝ制御解除許可 (Multi-Pin Control Clear Mask)

名称 : PINCTRLCLR
変位 : +$0E
ﾘｾｯﾄ : $00
特質 : –

ﾎﾟｰﾄ単位部のより速い構成設定のため、複数構成設定書き込みは単一周期でﾎﾟｰﾄのいくつかのﾋﾟﾝの構成設定を許します。特に多ﾋﾟﾝ数のﾃﾞﾊﾞｲｽで、この機能はPORTﾋﾟﾝ構成設定操作をかなり速めることができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PINCTRLCLR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – PINCTRLCLR7~0 : 複数ﾋﾟﾝ制御解除許可** (Multi-Pin Control Clear Mask)

このﾋﾞｯﾄ領域は各ﾚｼﾞｽﾀに対する個別読み-変更-書きし操作を使わず、個別ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀでの複数ﾋﾞｯﾄ解除を制御します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みは複数ﾋﾟﾝ構成設定(PORTx.PINCONFIG)ﾚｼﾞｽﾀで'1'に設定されているﾋﾞｯﾄに従ってPORTx.PINnCTRLﾚｼﾞｽﾀの個別ﾋﾞｯﾄを解除します。

このﾋﾞｯﾄ領域の読み込みは常に0を返します。

17.5.16. PINnCTRL – ﾋﾟﾝn制御 (Pin n Control)

名称 : PIN0CTRL : PIN1CTRL : PIN2CTRL : PIN3CTRL : PIN4CTRL : PIN5CTRL : PIN6CTRL : PIN7CTRL
変位 : +$10 : +$11 : +$12 : +$13 : +$14 : +$15 : +$16 : +$17
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INVEN	INLVL			PULLUPEN	ISC2~0		
ｱｸｾｽ種別	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – INVEN : 反転I/O許可** (Inverted I/O Enable)

このﾋﾞｯﾄはﾋﾟﾝnに対する入力と出力が反転されるか否かを制御します。

値	0	1
説明	入出力値は反転されません。	入出力値は反転されます。

● **ﾋﾞｯﾄ6 – INLVL : 入力基準選択** (Input Level Select)

このﾋﾞｯﾄはﾎﾟｰﾄ入力読み込みと割り込み条件に使われるﾋﾟﾝnに対する入力電圧閾値を制御します。

値	0	1
名称	ST	TTL
説明	供給水準から導き出されたｼｭﾐｯﾄ ﾄﾘｶﾞ	TTL基準

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ3 – PULLUPEN : ﾌﾟﾙｱｯﾌﾟ許可** (Pullup Enable)

このﾋﾞｯﾄはﾋﾟﾝが入力専用として構成設定される時にﾋﾟﾝnの内部ﾌﾟﾙｱｯﾌﾟが許可される否かを制御します。

値	0	1
説明	ﾌﾟﾙｱｯﾌﾟ禁止	ﾌﾟﾙｱｯﾌﾟ許可

● **ﾋﾞｯﾄ2~0 – ISC2~0 : 入力/感知構成設定** (Input/Sense Configuration)

このﾋﾞｯﾄ領域はﾋﾟﾝnの入力と感知の構成設定を制御します。感知構成設定はﾎﾟｰﾄ割り込みを起動する方法を決めます。

値	名称	説明
000	INTDISABLE	割り込み禁止、けれどもﾃﾞｼﾞﾀﾙ入力緩衝部許可
001	BOTHEDGES	両端感知で割り込み許可
010	RISING	上昇端感知で割り込み許可
011	FALLING	下降端感知で割り込み許可
100	INPUT_DISABLE	割り込みとﾃﾞｼﾞﾀﾙ入力緩衝部を禁止 (注1)
101	LEVEL	Lowﾚﾍﾞﾙ感知で割り込み許可 (注2)
11x	–	(予約)

注1: ﾋﾟﾝnのﾃﾞｼﾞﾀﾙ入力緩衝部が禁止される場合、入力値(PORTx.IN)ﾚｼﾞｽﾀのﾋﾞｯﾄnは更新されません。

注2: LEVEL割り込みはﾋﾟﾝがLowに留まる限り継続的に起動し続けます。

18.5.17. EVGENCTRLA – 事象生成部制御A (Event Generator Control A)

名称 : EVGENCTRLA
変位 : +$18
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		EVGEN1SEL2~0				EVGEN0SEL2~0		
ｱｸｾｽ種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6~4,2~0 – EVGENnSEL2~0 : 事象生成部n選択** (Enect Generator n Select)

このﾋﾞｯﾄ領域はどのﾋﾟﾝが事象生成部nに接続されるかを制御します。

値	000	001	010	011	100	101	110	111
名称	PIN0	PIN1	PIN2	PIN3	PIN4	PIN5	PIN6	PIN7
説明	Px0	Px1	Px2	Px3	Px4	Px5	Px6	Px7

© 2023 Microchip Technology Inc.とその子会社

18.6. レジスタ要約 – VPORTx

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	DIR	7～0	DIR7～0							
+$01	OUT	7～0	OUT7～0							
+$02	IN	7～0	IN7～0							
+$03	INTFLAGS	7～0	INT7～0							

© 2023 Microchip Technology Inc.とその子会社

18.7. ﾚｼﾞｽﾀ説明 – VPORTx

18.7.1. DIR – ﾃﾞｰﾀ方向 (Data Direction)

名称 : DIR
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへのｱｸｾｽは普通のﾚｼﾞｽﾀへのｱｸｾｽと同じ結果を持ち、通常のﾎﾟｰﾄ ﾚｼﾞｽﾀが属す拡張I/Oﾚｼﾞｽﾀ空間で使うことができないﾋﾞｯﾄ操作命令のようなﾒﾓﾘ特定命令を許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向** (Data Direction)

このﾋﾞｯﾄ領域は各PORTxﾋﾟﾝに対する出力駆動部を制御します。

このﾋﾞｯﾄ領域はﾃﾞｼﾞﾀﾙ入力緩衝部を制御しません。ﾋﾟﾝn(Pxn)用のﾃﾞｼﾞﾀﾙ入力緩衝部はﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀの割り込み/感知構成設定(ISC)ﾋﾞｯﾄ領域で構成設定することができます。

下表はこのﾋﾞｯﾄ領域で各ﾋﾞｯﾄnに対して利用可能な構成設定を示します。

値	0	1
説明	Pxnは入力専用ﾋﾟﾝとして構成、出力駆動部は禁止	Pxnは出力ﾋﾟﾝとして構成、出力駆動部は許可

18.7.2. OUT – 出力値 (Output Value)

名称 : OUT
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへのｱｸｾｽは普通のﾚｼﾞｽﾀへのｱｸｾｽと同じ結果を持ち、通常のﾎﾟｰﾄ ﾚｼﾞｽﾀが属す拡張I/Oﾚｼﾞｽﾀ空間で使うことができないﾋﾞｯﾄ操作命令のようなﾒﾓﾘ特定命令を許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	OUT7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – OUT7~0 : 出力値** (Output Value)

このﾋﾞｯﾄ領域は各PORTxﾋﾟﾝに対する出力駆動部ﾚﾍﾞﾙを制御します。

この構成設定は対応するﾋﾟﾝに対して駆動部(PORTx.DIR)が許可される時にだけ出力に影響を及ぼします。

下表はこのﾋﾞｯﾄ領域の各ﾋﾞｯﾄnに対して利用可能な構成設定を示します。

値	0	1
説明	ﾋﾟﾝn(Pxn)出力はLowに駆動されます。	Pxn出力はHighに駆動されます。

18.7.3. IN – 入力値 (Input Value)

名称 : IN
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへのｱｸｾｽは普通のﾚｼﾞｽﾀへのｱｸｾｽと同じ結果を持ち、通常のﾎﾟｰﾄ ﾚｼﾞｽﾀが属す拡張I/Oﾚｼﾞｽﾀ空間で使うことができないﾋﾞｯﾄ操作命令のようなﾒﾓﾘ特定命令を許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	IN7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ7~0 – IN7~0 : 入力値** (Input Value)

このﾋﾞｯﾄ領域はﾃﾞｼﾞﾀﾙ入力緩衝部が許可される時ににPORTxﾋﾟﾝの状態を示します。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みは出力値(PORTx.OUT)の対応するﾋﾞｯﾄを反転切り替えします。

ﾃﾞｼﾞﾀﾙ入力緩衝部が禁止される場合、入力は採取されず、ﾋﾞｯﾄ値は変わりません。ﾋﾟﾝn(Pxn)用のﾃﾞｼﾞﾀﾙ入力緩衝部はﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀの入力/感知構成設定(ISC)ﾋﾞｯﾄ領域で構成設定することができます。

下表はこのﾋﾞｯﾄ領域の各ﾋﾞｯﾄnに対して利用可能な構成設定を示します。

値	0	1
説明	Pxnでの電圧水準はLowです。	Pxnでの電圧水準はHighです。

18.7.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flag)

名称 : INTFLAGS
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへのｱｸｾｽは普通のﾚｼﾞｽﾀへのｱｸｾｽと同じ結果を持ち、通常のﾎﾟｰﾄ ﾚｼﾞｽﾀが属す拡張I/Oﾚｼﾞｽﾀ空間で使うことができないﾋﾞｯﾄ操作命令のようなﾒﾓﾘ特定命令を許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INT7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – INT7~0 : ﾋﾟﾝ割り込み要求ﾌﾗｸﾞ** (Interrupt Pin Flag)

ﾋﾟﾝ割り込み要求ﾌﾗｸﾞはそれに'1'を書くことによって解除(0)されます。

ﾋﾟﾝ割り込み要求ﾌﾗｸﾞはﾋﾟﾝn(Pxn)の変化または状態がﾋﾟﾝn制御(PORTx.PINnCTRL)のそのﾋﾟﾝの入力/感知構成設定(ISC)に一致する時に設定(1)されます。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'0'書き込みは無効です。

このﾋﾞｯﾄ領域のﾋﾞｯﾄnへの'1'書き込みはﾋﾟﾝn割り込み要求ﾌﾗｸﾞを解除(0)します。

© 2023 Microchip Technology Inc.とその子会社

19. BOD – 低電圧検出器 (BOD:Brownout Detector)

19.1. 特徴

- 低電圧検出は設定可能な基準未満での動作を避けるために電源を監視します。
- 利用可能な3つの動作形態
  - 継続動作で許可
  - 採取動作で許可
  - 禁止
- 活動動作と休止動作に対して独立した動作形態を選択
- 割り込みを持つ電圧水準監視部(VLM)
- BOD基準に比例した設定可能なVLM基準

19.2. 概要

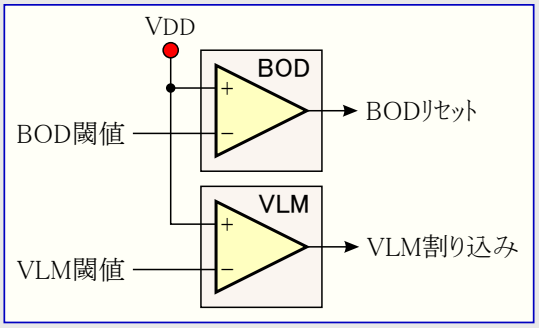
低電圧検出器(BOD)は電源を監視して供給電圧を設定可能な低電圧閾値基準と比べます。低電圧閾値基準はｼｽﾃﾑ ﾘｾｯﾄを生成する時を定義します。電圧水準監視部(VLM)も電源を監視してそれをBOD閾値よりも高い閾値と比べます。そしてVLMは供給電圧がBOD閾値に近づいている時に”早期警告”として割り込み要求を生成することができます。VLM閾値基準はBOD閾値基準の%超えとして表現されます。

BODは主にﾋｭｰｽﾞによって制御され、使用者によって許可されなければなりません。ｽﾀﾝﾊﾞｲ休止動作とﾊﾟﾜｰﾀﾞｳﾝ休止動作で使われる動作形態は標準ﾌﾟﾛｸﾞﾗﾑ実行で変えることができます。VLMは更にI/Oﾚｼﾞｽﾀによっても制御されます。

有効にされると、BODはBODが継続的に活動する許可動作形態で、またはBODが供給電圧水準を検査するのに与えられた周期で一時的に活動にされる採取動作形態で動作することができます。

19.2.1. 構成図

図19-1. BOD構成図



19.3. 機能的な説明

19.3.1. 初期化

BOD設定はﾘｾｯﾄの間にﾋｭｰｽﾞから設定されます。活動動作とｱｲﾄﾞﾙ休止動作でのBOD基準と動作形態はﾋｭｰｽﾞによって設定され、ｿﾌﾄｳｪｱによって変更することができません。ｽﾀﾝﾊﾞｲ休止動作とﾊﾟﾜｰﾀﾞｳﾝ休止動作での動作形態はﾋｭｰｽﾞによって設定され、ｿﾌﾄｳｪｱによって変更することができます。

電圧水準監視部機能は割り込み制御(BOD.INTCTRL)ﾚｼﾞｽﾀのVLM割り込み許可(VLMIE)ﾋﾞｯﾄに’1’を書くことによって許可することができます。VLM割り込みはBOD.INTCTRLﾚｼﾞｽﾀのVLM構成設定(VLMCFG)ﾋﾞｯﾄを書くことによって構成設定されます。割り込みは供給電圧が上または下のどちらかからVLM閾値を横切る時に要求されます。

VLM機能はBOD動作に従います。BODが禁止された場合、VLMは例えVLMIEが’1’でも許可されません。BODが採取動作を使う場合、VLMも採取にされます。VLM割り込み許可時、割り込み要求ﾌﾗｸﾞはVLMCFGが$2と等しい場合に常に設定(1)され、VLMCFGが$0または$1に構成設定される場合に設定(1)されるかもしれません。

VLM閾値はVLM制御A(BOD.VLMCTRLA)ﾚｼﾞｽﾀのVLM基準(VLMLVL)ﾋﾞｯﾄを書くことによって定義されます。

19.3.2. 割り込み

表19-1. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
VLM	電圧水準監視部	割り込み制御(BOD.INTCTRL)ﾚｼﾞｽﾀのVLM構成設定(VLMCFG)ﾋﾞｯﾄによって構成されるように供給電圧がVLM閾値を横断

VLM割り込みはCPUがﾃﾞﾊﾞｯｸﾞ動作で停止されている場合に実行されません。

割り込み条件が起こると、周辺機能の割り込み要求ﾌﾗｸﾞ(BOD.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は周辺機能の割り込み制御(BOD.INTCTRL)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄを書くことによって許可または禁止にされます。

© 2023 Microchip Technology Inc.とその子会社

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細については周辺機能のINTFLAGSﾚｼﾞｽﾀをご覧ください。

19.3.3. 休止形態動作

各種休止動作でのBOD構成設定はﾋｭｰｽﾞによって定義されます。活動動作とｱｲﾄﾞﾙ休止動作で使われる動作形態はBOD構成設定(FUSE.BODCFG)の活動とｱｲﾄﾞﾙでのBOD動作形態(ACTIVE)ﾋｭｰｽﾞによって定義され、これは制御A(BOD.CTRLA)ﾚｼﾞｽﾀの活動/ｱｲﾄﾞﾙ時動作(ACTIVE)ﾋﾞｯﾄ領域に設定されます。ｽﾀﾝﾊﾞｲ休止動作とﾊﾟﾜｰﾀﾞｳﾝ休止動作で使われる動作形態はFUSE.BODCFGの休止でのBOD動作形態(SLEEP)ﾋｭｰｽﾞによって定義され、これは制御A(BOD.CTRLA)ﾚｼﾞｽﾀのｽﾀﾝﾊﾞｲ/ﾊﾟﾜｰﾀﾞｳﾝ時動作(SLEEP)ﾋﾞｯﾄ領域に設定されます。

活動動作とｱｲﾄﾞﾙ休止動作(即ち、BOD.CTRLAのACTIVE)での動作形態はｿﾌﾄｳｪｱによって変えることができません。ｽﾀﾝﾊﾞｲ休止動作とﾊﾟﾜｰﾀﾞｳﾝ休止動作での動作形態は制御A(BOD.CTRLA)ﾚｼﾞｽﾀの休止(SLEEP)ﾋﾞｯﾄ領域への書き込みによって変えることができます。

ﾃﾞﾊﾞｲｽがｽﾀﾝﾊﾞｲ休止動作またはﾊﾟﾜｰﾀﾞｳﾝ休止動作へ行く時に、BODはBOD.CTRLAのSLEEPによって定義されるように動作形態を変更します。ﾃﾞﾊﾞｲｽがｽﾀﾝﾊﾞｲまたはﾊﾟﾜｰﾀﾞｳﾝの休止動作から起き上がる時に、BODは制御A(BOD.CTRLA)ﾚｼﾞｽﾀのACTIVEﾋﾞｯﾄ領域によって定義される動作形態で動きます。

19.3.4. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるﾚｼﾞｽﾀを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)ﾚｼﾞｽﾀへ与えられた鍵が書かれ、4 CPU命令以内に保護されたﾋﾞｯﾄへの書き込みｱｸｾｽが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたﾚｼﾞｽﾀへ書こうとすると、それを無変化のままにします。

右のﾚｼﾞｽﾀがCCP下です。

表19-2. BOD – 構成設定変更保護下のﾚｼﾞｽﾀ

ﾚｼﾞｽﾀ	鍵種別
BOD.CTRLAのSLEEPﾋﾞｯﾄ	IOREG

© 2023 Microchip Technology Inc.とその子会社

19.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0				SAMPFREQ	ACTIVE1,0		SLEEP1,0	
+$01	CTRLB	7～0						LVL2～0		
+$02 ～ +$07	予約									
+$08	VLMCTRLA	7～0							VLMLVL1,0	
+$09	INTCTRL	7～0						VLMCFG1,0		VLMIE
+$0A	INTFLAGS	7～0								VLMIF
+$0B	STATUS	7～0								VLMS

© 2023 Microchip Technology Inc.とその子会社

19.5. レジスタ説明

19.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : FUSE.BODCFGヒューズから設定
特質 : 構成設定変更保護 (SLEEPビットのみ)

ビット	7	6	5	4	3	2	1	0
				SAMPFREQ	ACTIVE1,0		SLEEP1,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	x	x	x	x	x

● **ビット4 – SAMPFREQ : 採取周波数** (Sample Frequency)

このビットはBOD採取周波数を制御します。

リセット値はFUSE.BODCFGのBOD採取周波数(SAMPFREQ)ビットから取得/設定されます。

値	0	1
説明	採取周波数は128Hzです。	採取周波数は32Hzです。

● **ビット3,2 – ACTIVE1,0 : 活動/アイドル時動作** (Active)

これらのビットはデバイスが活動動作とアイドル休止動作の時のBOD動作形態を選びます。

リセット値はFUSE.BODCFGの活動とアイドルでのBOD動作形態(ACTIVE)ビットから取得/設定されます。

値	0 0	0 1	1 0	1 1
名称	DISABLE	ENABLED	SAMPLE	ENABLEWAIT
説明	禁止	継続動作で許可	採取動作で許可	継続動作で許可。実行は起き上がりでBODが動くまで停止

● **ビット1,0 – SLEEP1,0 : スタンバイ/パワーダウン時動作** (Sleep)

これらのビットはデバイスがスタンバイとパワーダウンの休止動作の時のBOD動作形態を選びます。

リセット値はFUSE.BODCFGの休止でのBOD動作形態(SLEEP)ビットから取得/設定されます。

このビットは構成設定変更保護(CCP)下です。

値	0 0	0 1	1 0	1 1
名称	DISABLE	ENABLED	SAMPLED	–
説明	禁止	継続動作で許可	採取動作で許可	(予約)

19.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
リセット : FUSE.BODCFGヒューズから設定
特質 : –

ビット	7	6	5	4	3	2	1	0
						LVL2~0		
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	x	x	x

● **ビット2~0 – LVL2~0 : BOD基準** (BOD Level)

このビット領域はBOD閾値基準を制御します。

リセット値はBOD構成設定(FUSE.BODCFG)ヒューズのBOD基準(LVL)ビットから取得/設定されます。

値	0 0 0	0 0 1	0 1 0	0 1 1	その他
名称	BODLEVEL0	BODLEVEL1	BODLEVEL2	BODLEVEL3	–
代表値	1.75V	1.90V	2.60V	4.30V	(予約)

注: ・ BODLEVEL0はチップ消去中だけ許可されます。通常動作中のこのビット領域への'0'書き込みはBOD禁止と同じです。
・ BOD基準特性と更なる詳細については**表35-14.**を参照してください。

© 2023 Microchip Technology Inc.とその子会社

19.5.3. VLMCTRLA – VLM制御A (VLM Control A)

名称 : VLMCTRLA
変位 : +$08
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							VLMLVL1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1,0 – VLMLVL1,0 : VLMﾚﾍﾞﾙ** (VLM Level)

これらのﾋﾞｯﾄはBOD閾値(BOD.CTRLBのLVL)に相対する電圧水準監視部(VLM)閾値を選びます。

値	0 0	0 1	1 0	1 1
名称	OFF	5ABOVE	15ABOVE	25ABOVE
説明	VLM禁止	BOD閾値+5%がVLM閾値	BOD閾値+15%がVLM閾値	BOD閾値+25%がVLM閾値

19.5.4. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$09
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
						VLMCFG1,0		VLMIE
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2,1 – VLMCFG1,0 : VLM構成設定** (VLM Configuration)

これらのﾋﾞｯﾄはどの出来事がVLM割り込みを起動するかを選びます。

値	0 0	0 1	1 0	1 1
名称	FALLING	RISING	BOTH	–
説明	VDDがVLM閾値未満へ下降	VDDがVLM閾値越えへ上昇	VDDがVLM閾値を横切る	(予約)

● **ﾋﾞｯﾄ0 – VLMIE : VLM割り込み許可** (VLM Interrupt Enable)

このﾋﾞｯﾄへの'1'書き込みは電圧水準監視部(VLM)割り込みを許可します。

19.5.5. INTFLAGS – VLM割り込み要求ﾌﾗｸﾞ (VLM Interrupt Flag)

名称 : INTFLAGS
変位 : +$0A
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								VLMIF
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – VLMIF : VLM割り込み要求ﾌﾗｸﾞ** (VLM Interrupt Flag)

このﾌﾗｸﾞは割り込み制御(BOD.INTCTRL)ﾚｼﾞｽﾀのVLM構成設定(VLMCFG)ﾋﾞｯﾄによって構成設定されるように、VLMからの起動が与えられる時に設定(1)されます。このﾌﾗｸﾞはBODが許可されている時にだけ更新されます。

© 2023 Microchip Technology Inc.とその子会社

19.5.6. STATUS – VLM状態 (VLM Status)

名称 : STATUS
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								VLMS
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – VLMS : VLM状態** (VLM Status)

このﾋﾞｯﾄはBODが許可されている時にだけ有効です。

値	0	1
名称	ABOVE	BELOW
説明	電圧はVLM閾値基準越えです。	電圧はVLM閾値基準未満です。

© 2023 Microchip Technology Inc.とその子会社

20. VREF – 基準電圧

20.1. 特徴

・設定可能な基準電圧源
  – D/A変換器0(DAC0)用に1つの参照基準
  – 全てのｱﾅﾛｸﾞ比較器(AC0)間で共用される1つの参照基準
・各参照基準元は以下の電圧を支援
  – 1.024V
  – 2.048V
  – 4.096V
  – 2.500V
  – VDD (VDDANA)
  – VREFA

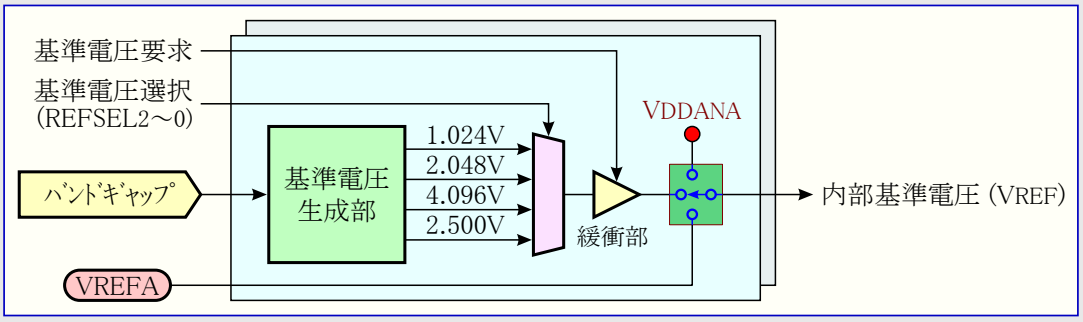
20.2. 概要

基準電圧(VREF)周辺機能はいくつかの周辺機能によって使われる基準電圧源用の制御ﾚｼﾞｽﾀを提供します。VREF周辺機能の適切なﾚｼﾞｽﾀを書くことによってDAC0とAC0に対する基準電圧を選ぶことができます。

基準電圧源は周辺機能によって要求される時に自動的に許可されます。使用者は基準電圧源を許可することができ、従って、DAC0参照基準(VREF.DAC0REF)、ｱﾅﾛｸﾞ比較器参照基準(VREF.ACREF)で各々の参照基準常時ON(ALWAYSON)ﾋﾞｯﾄに'1'を書くことによって未使用供給元の自動禁止を無効にすることができます。これは増される消費電力を犠牲にして始動時間を減らします。

20.2.1. 構成図

図20–1. VREF構成図



20.3. 機能的な説明

20.3.1. 初期化

既定構成設定はDAC0またはAC0が基準電圧を要求する時に各々の供給元を許可します。既定の基準電圧は1.024Vですが、DAC0参照基準(DAC0REF)またはｱﾅﾛｸﾞ比較器参照基準(ACREF)のﾚｼﾞｽﾀで各々の参照基準選択(REFSEL)ﾋﾞｯﾄ領域を書くことによって構成設定することができます。

© 2023 Microchip Technology Inc.とその子会社

20.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00 ～ +$01	予約									
+$02	DAC0REF	7～0	ALWAYSON						REFSEL2～0	
+$03	予約									
+$04	ACREF	7～0	ALWAYSON						REFSEL2～0	

© 2023 Microchip Technology Inc.とその子会社

20.5. レジスタ説明

20.5.1. DAC0REF – DAC0参照基準 (DAC0 Reference)

名称 : DAC0REF
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	ALWAYSON					REFSEL2~0		
アクセス種別	R/W	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – ALWAYSON : 参照基準常時ON** (Reference Always ON)

このビットはDAC0の参照基準が常時ONか否かを制御します。

値	0	1
説明	参照基準は必要とされる時に自動的に許可されます。	参照基準は常にONです。

● **ビット2~0 – REFSEL2~0 : 参照基準選択** (Reference Select)

このビット領域はD/A変換器0(DAC0)用の基準電圧水準を制御します。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	1V024	2V048	4V096	2V500	–	VDD	VREFA	–
説明	内部1.024V参照基準 (注)	内部2.048V参照基準 (注)	内部4.096V参照基準 (注)	内部2.500V参照基準 (注)	(予約)	参照基準としてVDD	VREFAピンからの外部参照基準	(予約)

注: 内部参照基準に対して与えられる値は代表値なだけです。更なる詳細については「電気的特性」章を参照してください。

20.5.2. ACREF – アナログ比較器参照基準 (Anolog Comparator Reference)

名称 : ACREF
変位 : +$04
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	ALWAYSON					REFSEL2~0		
アクセス種別	R/W	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – ALWAYSON : 参照基準常時ON** (Reference Always ON)

このビットはACnの参照基準が常時ONか否かを制御します。

値	0	1
説明	参照基準は必要とされる時に自動的に許可されます。	参照基準は常にONです。

● **ビット2~0 – REFSEL2~0 : 参照基準選択** (Reference Select)

このビット領域はアナログ比較器(ACn)用の基準電圧水準を制御します。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	1V024	2V048	4V096	2V500	–	VDD	VREFA	–
説明	内部1.024V参照基準 (注)	内部2.048V参照基準 (注)	内部4.096V参照基準 (注)	内部2.500V参照基準 (注)	(予約)	参照基準としてVDD	VREFAピンからの外部参照基準	(予約)

注: 内部参照基準に対して与えられる値は代表値なだけです。更なる詳細については「電気的特性」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

21. WDT – ウォッチドッグ タイマ

21.1. 特徴

- 時間超過前にウォッチドッグ タイマが解消されない場合にシステム リセットを発行
- 独立した発振器を用いる周辺機能クロックからの非同期動作
- 32.768kHz超低電力発振器(OSC32K)の1.024kHz出力を使用
- 8msから8sまで11種の選択可能な時限期間
- 2つの動作形態
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための構成設定施錠

21.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。許可されると、WDTは構成設定可能な時限期間で継続的に計時器を動かします。WDTが制限期間内にリセットされなければ、システム リセットを発行し、これは暴走や停滞されたコードのような状況からの回復をシステムに許します。WDTはソフトウェアからWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

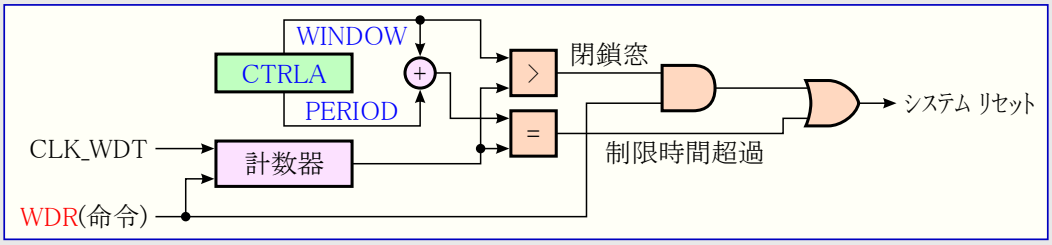
上で記述されたような標準動作に加えて、WDTは窓動作を持ちます。窓動作はWDTがリセットされなければならない間の制限時間内側の時間幅または”窓”を定義します。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされた場合、システム リセットが発行されます。標準動作に比べ、窓動作はコード異常が一定のWDR実行を引き起こす状況を捕らえることができます。

許可されると、WDTは活動動作と全ての休止動作で動きます。これが非同期の(CPUから独立したクロック元から動く)ため、例え主クロックが動かなくても、動作を継続してシステム リセットを発行することができます。

WDTは構成設定変更保護(CCP)機構と施錠機能を持ち、WDT設定が事故によって変更され得ないことを保証します。

21.2.1. 構成図

図21-1. WDT構成図



21.3. 機能的な説明

21.3.1. 初期化

1. WDTは制御A(WDT.CTRLA)レジスタの制限期間(PERIOD)ビット領域に0以外の値が書かれる時に許可されます。
2. 任意選択: 窓形態動作を許可するにはWDT.CTRLAレジスタの窓(WINDOW)ビット領域に0以外の値を書いてください。

制御A(WDT.CTRLA)レジスタの全ビットと状態(WDT.STATUS)レジスタの施錠(LOCK)ビットは構成設定変更保護機構によって書き込み保護されます。

ウォッチドッグ構成設定(FUSE.WDTCFG)ヒューズはWDT.CTRLAレジスタのリセット値を定義します。FUSE.WDTCFGのウォッチドッグ制限時間周期(PERIOD)ビット領域が0以外なら、起動時にWDTが許可されてWDT.STATUSレジスタのLOCKビットが設定(1)されます。

21.3.2. クロック

1.024kHzクロック(CLK_WDT)は内部超低電力発振器(OSC32K)から供給されます。超低電力設計のため、この発振器はデバイスで特徴とされる他の発振器よりもかなり不正確で、従って正確な時限期間はデバイス毎に変わるかもしれません。全てのデバイスに対して使われる時限期間が有効なことを保証するため、WDTを使うソフトウェア設計時にこの変化が考慮されなければなりません。

WDTクロック(CLK_WDT)は周辺機能クロックに対して非同期です。この非同期性のため、WDT制御A(WDT.CTRLA)レジスタへの書き込みはクロック領域間の同期が必要とされます。更なる詳細については「21.3.6. 同期」を参照してください。

© 2023 Microchip Technology Inc.とその子会社

21.3.3. 動作

21.3.3.1. 標準動作

標準動作操作では、WDTに単一制限期間が設定されます。WDTが定義された時限期間中にWDR命令を用いてソフトウェアからリセットされない場合、WDTはシステム リセットを発行します。

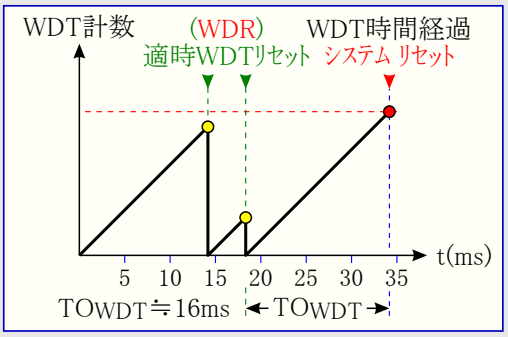
WDTがWDR命令を用いてソフトウェアによってリセットされる時毎に新しいWDT時限期間が開始されます。

制御A(WDT.CTRLA)レジスタの制限期間(PERIOD)ビット領域に書くことによって8msから8sまで選択可能な11個の可能なWDT時限期間(TO_{WDT})があります。

右図は標準動作でのWDT操作に対する代表的なタイミング体系を示します。

標準動作は制御A(WDT.CTRLA)レジスタの窓期間(WINDOW)ビット領域が'0000'である限り許可されます。

図21-2. 標準動作操作



21.3.3.2. 窓動作

窓動作操作では、WDTが次のような2つの異なる制限期間、閉鎖窓制限期間(TO_{WDTW})と開放窓制限期間(TO_{WDT})を使います。

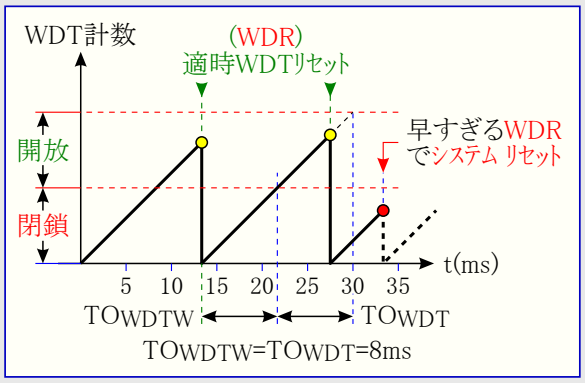
- TO_{WDTW}はWDTをリセットされるべきではない8msから8sまでの持続期間を定義します。この期間の間にWDTがリセットされた場合、WDTはシステム リセットを発行します。
- TO_{WDT}も8msから8sで、WDTをリセットすることができる(すべき)間の開放持続期間を定義します。開放期間は常に閉鎖期間に続き、故に時限期間の総持続期間は閉鎖窓と開放窓の時限期間の合計です。

窓動作許可時、またはデバッグ動作の外に出る時に、窓は最初のWDR命令後に活性(有効)にされます。

右図は窓動作でのWDT操作に対する代表的なタイミング体系を示します。

窓動作は制御A(WDT.CTRLA)レジスタの窓期間(WINDOW)ビット領域に0以外の値を書くことで許可され、'0000'を書くことで禁止されます。

図21-3. 窓動作操作



21.3.3.3. 意図しない変更の防止

WDTはWDT設定に対して意図しない変更を避けるために次のような2つの安全機構を提供します。

- WDT制御レジスタ変更のために時限書き込み手順を使う構成設定変更保護(CCP)機構。更なる詳細については「21.3.7. 構成設定変更保護」を参照してください。
- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビットに'1'を書くことによる構成設定の施錠。このビットが'1'の時に制御A(WDT.CTRLA)レジスタは変更することができません。LOCKビットはソフトウェアで'1'を書くことだけができるのに対し、デバイスがそれに'0'を書くことができるにはデバッグ動作が必要です。結果としてWDTはソフトウェアから禁止することができません。

注: WDT構成設定はリセット後にヒューズから設定されます。制限期間(PERIOD)ビット領域が0以外に設定される場合、WDT.STATUSレジスタで自動的にLOCKビットが設定(1)されます。

21.3.4. 休止形態動作

WDTは供給元クロックが活性であるどの休止動作形態でも動作を続けます。

21.3.5. デバッグ操作

走行時のデバッグ時、この周辺機能は標準動作を続けます。デバッグ動作形態でのCPU停止はこの周辺機能の標準動作を停止します。

デバッグ動作形態でのCPU停止時、WDT計数器はリセットされます。

WDTが窓動作で動いていてCPUを開始すると、最初の閉鎖窓制限時間は禁止され、標準動作制限時間が実行されます。

© 2023 Microchip Technology Inc.とその子会社

21.3.6. 同期

WDTクロック領域と周辺機能クロック領域間が非同期なため、制御A(WDT.CTRLA)レジスタは書かれた時に同期されます。状態(WDT.STATUS)レジスタの同期化多忙(SYNCBUSY)フラグは進行中の同期化があるかを示します。

SYNCBUSY=1の間のWDT.CTRLAレジスタ書き込みは許されません。

以下のレジスタ ビットが書かれた時に同期化されます。

- 制御A(WDT.CTRLA)レジスタの制限期間(PERIOD)ビット
- WDT.CTRLAレジスタの窓期間(WINDOW)ビット

WDR命令は同期するのに2～3周期のWDTクロックが必要です。

21.3.7. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

CCPによって保護されるビット/レジスタの一覧は以下です。

- 制御A(WDT.CTRLA)レジスタの制限期間(PERIOD)ビット
- 制御A(WDT.CTRLA)レジスタの窓期間(WINDOW)ビット
- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビット

表21-1. WDT – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
WDT.CTRLA	IOREG
WDT.STATUSのLOCKビット	

© 2023 Microchip Technology Inc.とその子会社

21.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	WINDOW3～0				PERIOD3～0			
+$01	STATUS	7～0	LOCK							SYNCBUSY

© 2023 Microchip Technology Inc.とその子会社

21.5. レジスタ説明

21.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : FUSE.WDTCFGからの値
特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	WINDOW3~0				PERIOD3~0			
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	x	x	x	x	x	x	x	x

● **ビット7~4 – WINDOW3~0 : 窓期間** (Window)

これらのビットへの0以外の値の書き込みが窓動作を許可し、それに応じて閉鎖期間の持続期間を選びます。

このビットは以下のように任意選択で施錠保護されます。

- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビットが'1'の場合、全ビットが変更保護されます(アクセス=R)。
- WDT.STATUSレジスタのLOCKビットが'0'の場合、全ビットを変更することができます(アクセス=R/W)。

値	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	その他
名称	OFF	8CLK	16CLK	32CLK	64CLK	128CLK	256CLK	512CLK	1KCLK	2KCLK	4KCLK	8KCLK	–
説明	–	7.8125ms	15.625ms	31.25ms	62.5ms	0.125s	0.250s	0.500s	1.0s	2.0s	4.0s	8.0s	(予約)

注: 32.768kHz超低電力発振器(OSC32K)精度に関する特定情報については「電気的特性」章を参照してください。

● **ビット3~0 – PERIOD3~0 : 制限期間** (Period)

これらのビットへの0以外の値の書き込みがWDTを許可し、それに応じて標準動作での制限期間を選びます。窓動作でのこれらのビットは開放窓の持続期間を選びます。

このビットは以下のように任意選択で施錠保護されます。

- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビットが'1'の場合、全ビットが変更保護されます(アクセス=R)。
- WDT.STATUSレジスタのLOCKビットが'0'の場合、全ビットを変更することができます(アクセス=R/W)。

値	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	その他
名称	OFF	8CLK	16CLK	32CLK	64CLK	128CLK	256CLK	512CLK	1KCLK	2KCLK	4KCLK	8KCLK	–
説明	–	7.8125ms	15.625ms	31.25ms	62.5ms	0.125s	0.250s	0.500s	1.0s	2.0s	4.0s	8.0s	(予約)

注: 32.768kHz超低電力発振器(OSC32K)精度に関する特定情報については「電気的特性」章を参照してください。

21.5.2. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$01
リセット : $00
特質 : LOCKビットは構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	LCOK							SYNCBUSY
アクセス種別	R/W	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – LOCK : 施錠** (Lock)

このビットの'1'書き込みは制御A(WDT.CTRLA)レジスタを書き込み保護にします。

このビットに'1'を書くことだけが可能です。このビットはデバッグ動作でだけ解除(0)することができます。

ウォッチドッグ タイマ構成設定(WDTCFG)ヒューズのウォッチドッグ制限時間周期(PERIOD)値が0と違う場合、自動的に施錠が設定されます。

このビットは構成設定変更保護(CCP)下です。

● **ビット0 – SYNCBUSY : 同期化多忙** (Synchronization Busy)

このビットはWDT.CTRLAレジスタを書いた後にデータが周辺機能クロック領域からWDTクロック領域へ同期化されつつある間、設定(1)されます。

このビットは同期化終了後に解除(0)されます

このビットは構成設定変更保護(CCP)下ではありません。

© 2023 Microchip Technology Inc.とその子会社

22. TCA – 16ビット タイマ/カウンタA型

22.1. 特徴

- 16ビット タイマ/カウンタ
- 3つの比較チャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較チャネル
- 波形生成:
  - 周波数生成
  - 単一傾斜PWM(パルス幅変調)
  - 2傾斜PWM
- 事象での計数
- 計時器溢れ割り込み/事象
- 比較チャネル当たり1つの比較一致
- 分割動作での2つの8ビット タイマ/カウンタ

22.2. 概要

柔軟な16ビット タイマ/カウンタA型(TCA)は正確なプログラム実行タイミング、周波数と波形の生成、指令実行を提供します。

TCAは基本計数器と比較チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使うことができ、またクロック周期をどう計数するかを事象に制御させます。それは方向制御を持ち、タイミングに周期設定を使うことができます。比較チャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調を実行するのに使うことができます。

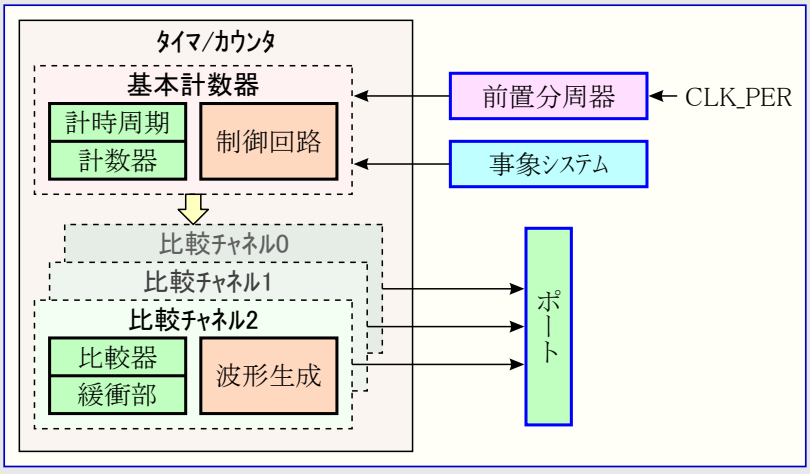
動作形態に依存して、計数器は各タイマ/カウンタ クロックまたは事象入力で解消、再設定、増加、減少されます。

タイマ/カウンタは任意選択の前置分周を持つ周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。事象システムは方向制御または動作の同期にも使うことができます。

既定で、TCAは16ビット タイマ/カウンタです。このタイマ/カウンタは各々3つの比較チャネルを持つ2つの8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

下図は密接に関連する(青枠の(訳注:原書は灰色の))周辺機能単位部を伴う16ビット タイマ/カウンタの構成図を示します。

図22-1. 16ビット タイマ/カウンタと密接に関連する周辺機能

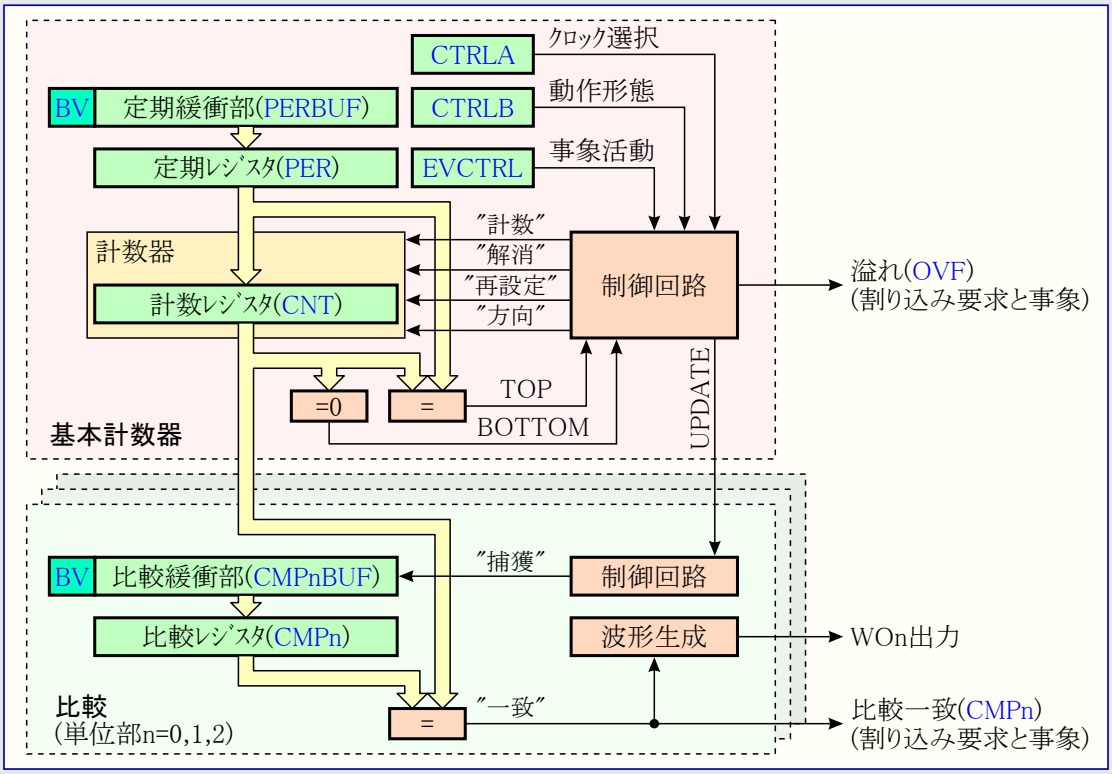


© 2023 Microchip Technology Inc.とその子会社

22.2.1. 構成図

下図はこのタイマ/カウンタの詳細な構成図を示します。

図22-2. タイマ/カウンタ構成図



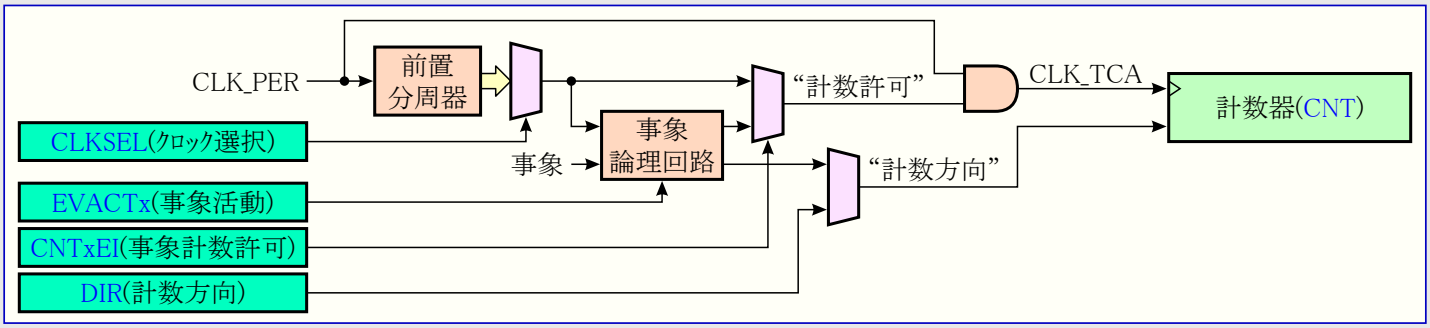
計数(TCAn.CNT)レジスタ、定期と比較(TCAn.PERとTCAn.CMPn)のレジスタ、それらに対応する(TCAn.PERBUFとTCAn.CMPnBUF)の緩衝レジスタは16ビット レジスタです。全ての緩衝レジスタは緩衝部が新しい値を含む時を示す緩衝有効(BV)フラグを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。計数器値はTCAn.CMPnレジスタとも比較されます。

タイマ/カウンタは割り込み要求、事象を生成したり、計数器(TCAn.CNT)レジスタがTOP、BOTTOM、またはCMPnに達することによって起動された後に波形出力を変更することができます。起動後、割り込み要求、事象、波形出力変更は次のCLK_TCA周期で起こります。

下図で示されるように、CLK_TCAは前置分周された周辺機能クロックか、または事象システムからの事象のどちらかです。

図22-3. タイマ/カウンタ クロック論理回路



22.2.2. 信号説明

信号	形式	説明
WOn	デジタル出力	波形出力

© 2023 Microchip Technology Inc.とその子会社

22.3. 機能的な説明

22.3.1. 定義

以下の定義は文書全体を通して使われます。

表22-1. タイマ/カウンタ定義

名称	説明
BOTTOM	計数器が底(BOTTOM)に到達し、それが$0000になる時
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時
TOP	計数器が頂上(TOP)に到達し、それが計数の流れで最高値と等しくなる時
UPDATE	更新条件一致、波形生成動作に依存してタイマ/カウンタがBOTTOMまたはTOPに到達する時。有効な緩衝値を持つ緩衝されるレジスタは制御E(TCAn.CTRLE)レジスタの更新施錠(LUPD)ビットが設定(1)されていない限り更新されます。
CNT	計数器レジスタ値
CMP	比較レジスタ値
PER	定期(周期)レジスタ値

一般的に用語の計時器はタイマ/カウンタが周期的クロック刻みを計数する時に使われます。用語の計数器は入力信号が散発的または不規則なクロック刻みを持つ時に使われます。後者は事象計数時の場合に有り得ます。

22.3.2. 初期化

基本動作でタイマ/カウンタの使用を開始するには以下のようにこれらの手順に従ってください。

1. 定期(TCAn.PER)レジスタにTOP値を書いてください。
2. 制御A(TCAn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって周辺機能を許可してください。計数器はTCAn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域で設定した前置分周器に従ったクロック刻みの計数を開始します。
3. 任意選択: 事象制御(TCAn.EVCTRL)レジスタの事象入力での計数器事象入力A許可(CNTAEI)ビットに'1'を書くことにより、クロック刻みに代わって事象が計数されます。
4. 計数値は計数(TCAn.CNT)レジスタの計数(CNT)ビット領域から読むことができます。

22.3.3. 動作

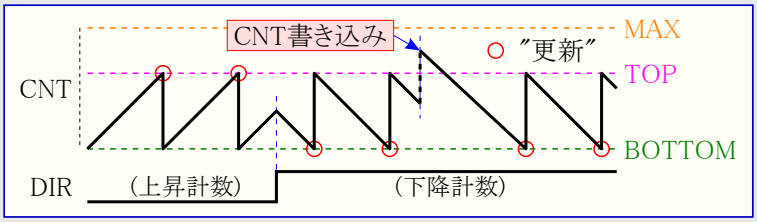
22.3.3.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、制御E(TCAn.CTRLE)レジスタの方向(DIR)ビットによって選ばれる方向でクロック刻みを計数します。制御A(TCAn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域に従って前置分周した周辺機能クロック(CLK_PER)がクロック刻みを与えます。

計数器が上昇計数中にTOPに達すると、計数器は次のクロック刻みで'0'に丸められます。下降計数時、計数器はBOTTOMに達した時に定期(TCAn.PER)レジスタ値で再設定されます。

計数器が走行している時に計数(TCAn.CNT)レジスタの計数値を変更することが可能です。TCAn.CNTレジスタへの書き込みアクセスは計数、解消、再設定よりも高い優先権を持ち、直ちに行われます。計数器の方向はTCAn.CTRLEレジスタのDIRビットに書くことによって標準動作の間でも変更することができます。

図22-4. 標準動作



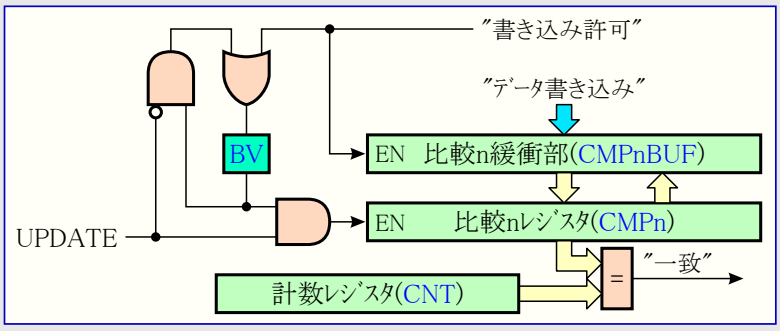
22.3.3.2. 2重緩衝

定期(TCAn.PER)レジスタ値と比較n(TCAn.CMPn)レジスタ値は全て2重緩衝(TCAn.PERBUFとTCAn.CMPnBUF)されます。

各々の緩衝レジスタは緩衝レジスタが対応する定期または比較のレジスタ内に複写することができる有効な(新しい)値を含むことを示す、制御F(TCAn.CTRLF)レジスタ内の緩衝有効(BV)フラグ(PERBVとCMPnBV)を持ちます。定期レジスタと比較nレジスタが比較動作に使われる時に、BVフラグはデータが緩衝レジスタに書かれる時に設定(1)され、UPDATE条件で解除(0)されます。この図は比較レジスタに関して示します。

TCAn.CMPnとTCAn.CMPnBUFのレジスタはI/Oレジスタとして利用可能で、緩衝レジスタの初期化と迂回、2重緩衝機能を許します。

図22-5. 定期と比較の2重緩衝



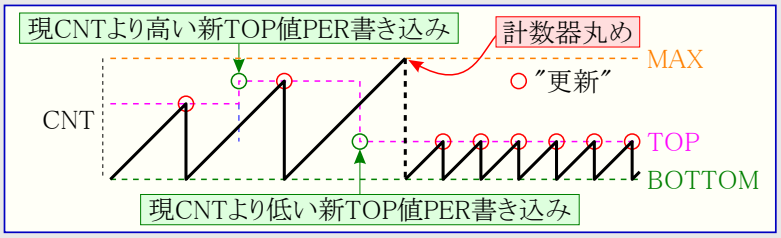
© 2023 Microchip Technology Inc.とその子会社

22.3.3.3. 周期変更

計数器の周期は新しいTOP値を定期(TCAn.PER)レジスタへ書くことによって変更されます。

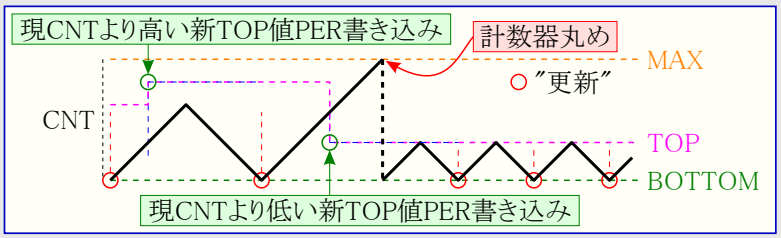
緩衝なし：2重緩衝を使わない場合、どんな周期変更も直ちに行われます。

図22-6. 緩衝なし周期変更



計数(TCAn.CNT)と定期(TCAn.PER)のレジスタが継続的に比較されるため、計数器丸めは緩衝なしでの上昇計数時のどの動作形態でも起こり得ます。現在のTCAn.CNTよりも低い新しいTOP値をTCAn.PERに書く場合、計数器は比較一致が起こるのに先立って先に丸めを行うでしょう。

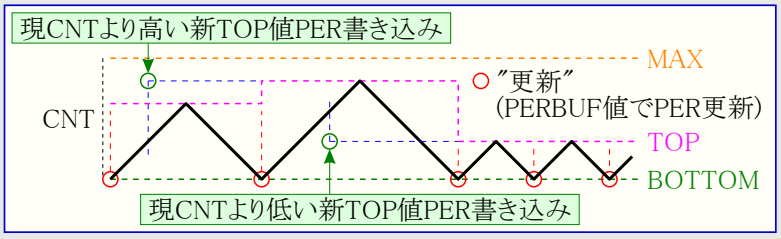
図22-7. 緩衝なし2傾斜動作



緩衝有り：2重緩衝を使うと、緩衝部は何時でも書けて、未だ正しい動作を維持します。右図の2傾斜動作に対して示されるように、定期(TCAn.PER)レジスタは常に"更新"(UPDATE)条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

注: 他に指定されない場合、TCA動作を示す図では緩衝が使われます。

図22-8. 緩衝使用周期変更



22.3.3.4. 比較ﾁｬﾈﾙ

各比較nチャネルは計数器(TCAn.CNT)値を比較n(TCAn.CMPn)レジスタと継続的に比較します。TCAn.CNTとTCAn.CMPnが等しい場合、比較器は一致を合図します。この一致は次の計時器ｸﾛｯｸ周期で比較チャネルの割り込み要求ﾌﾗｸﾞ(INTFLAGS.CMPn)を設定(1)し、任意選択の割り込みが生成されます。

比較n緩衝(TCAn.CMPnBUF)レジスタは定期緩衝(TCAn.PERBUF)レジスタのものと等価な能力を持つ2重緩衝を提供します。2重緩衝はUPDATE条件に従って、計数の流れのTOPまたはBOTTOMのどちらかに対して緩衝値でのTCAn.CMPnレジスタの更新を同期化します。同期化は不具合なしの出力のために奇数長の発生、非対称ﾊﾟﾙｽを防ぎます。

CMPnBUFの値はUPATE条件でCMPnに移動され、次の計数から計数器(TCAn.CNT)値と比較されます。

22.3.3.4.1. 波形生成

比較ﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝでの波形生成に使うことができます。接続されたﾎﾟｰﾄ ﾋﾟﾝで波形を見ることができるようにするには、以下の必要条件が完全に満たされなければなりません。

1. 制御B(TCAn.CTRLB)レジスタの波形生成動作(WGMODE)ﾋﾞｯﾄ領域を書くことによって波形設定動作形態が選ばれなければなりません。
2. 使われる比較ﾁｬﾈﾙが許可(TCAn.CTRLBレジスタの比較n許可(CMPnEN)=1に)されなければならず、これは対応するﾋﾟﾝに対する出力値を指定変更します。代替ﾋﾟﾝはﾎﾟｰﾄ多重器(PORTMUX)を構成設定することによって選ぶことができます。詳細については「PORTMUX – ﾎﾟｰﾄ多重器」章を参照してください。
3. 連携するﾎﾟｰﾄ ﾋﾟﾝに対する方向は出力としてﾎﾟｰﾄ周辺機能で構成設定されなければなりません。
4. 任意選択: 連携するﾎﾟｰﾄ ﾋﾟﾝに反転波形出力を許可してください。詳細については「PORT – I/Oﾋﾟﾝ構成設定」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

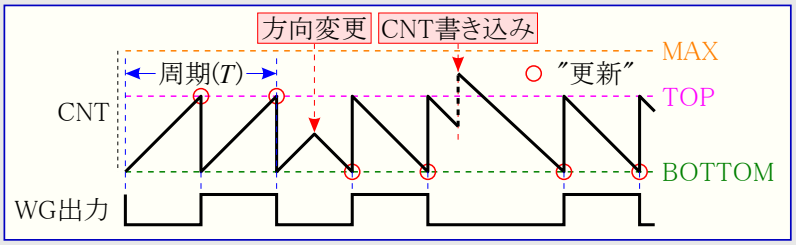
22.3.3.4.2. 周波数(FRQ)波形生成

周波数生成に関して、周期(*T*)は定期(TCAn.PER)レジスタに代わって比較0(TCAn.CMP0)レジスタによって制御されます。対応する波形生成(WG)出力はTCAn.CNTとTCAn.CMPnのレジスタ間の各比較一致で交互切り替えされます。

次式は波形周波数(f_{FRQ})を定義します。

$$f_{FRQ} = \frac{f_{CLK_PER}}{2N(CMPn+1)}$$

図22-9. 周波数波形生成



ここで*N*は使われる前置分周数(制御A(TCAn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域参照)を表し、f_{CLK_PER}は周辺機能クロック周波数です。

生成される波形の最大周波数はTCAn.CMP0レジスタが0($0000)を書かれて前置分周が全く使われない(TCAn.CTRLAのCLKSEL=0、*N*=1の)時に周辺機能クロック周波数(f_{CLK_PER})の半分です。

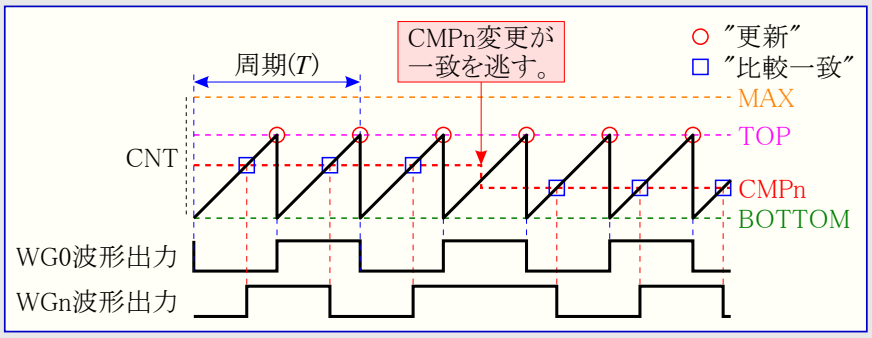
追加の波形出力WOnを得るにはTCAn.CMP1とTCAn.CMP2のレジスタを使ってください。波形WOnは同一またはWO0に対する変位のどちらかで有り得ます。この変位はTCAn.CMPn、TCAn.CNT、計数方向によって動かすことができます。秒での変位(t_{Offset})は下表の式を使って計算することができます。この式はCMPn<CMP0の時にだけ有効です。

表22-2. 変位式概要

式	計数方向	CMPn対CNTの状態	変位
$t_{Offset} = \left(\frac{CMP0 - CMPn}{CMP0+1}\right)\left(\frac{T}{2}\right)$	上昇	CMPn≧CNT	WO0に先行するWOn
	下降	CMP0≦CNT	WO0に後行するWOn
		CMP0＞CNTでCMPn＞CNT	WO0に後行するWOn
$t_{Offset} = \left(\frac{CMPn+1}{CMP0+1}\right)\left(\frac{T}{2}\right)$	上昇	CMP0＜CNT	WO0に後行するWOn
	下降	CMP0≦CNT	WO0に先行するWOn

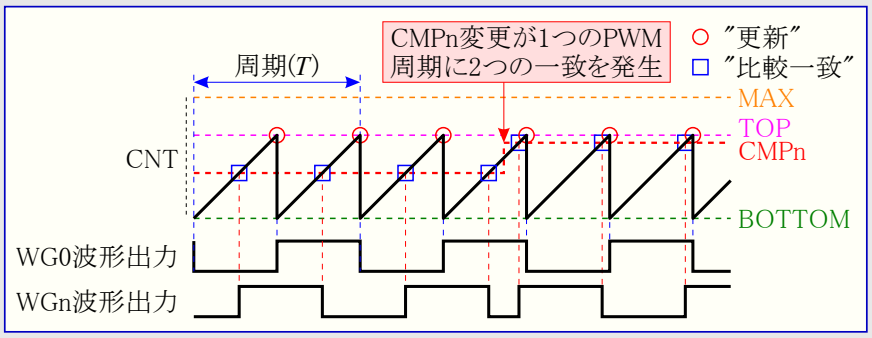
右図は両式を使うことができるWOn用の先行と後行の変位を示します。正しい式は計数方向と計時器が許可される、またはCMPnが変更される時のCMPn対CNTの状態によって決められます。

図22-10. 上昇計数時の変位



右図は走行時中のCMPn変更が波形をどう反転し得るかを示します。

図22-11. 波形出力反転



© 2023 Microchip Technology Inc.とその子会社

22.3.3.4.3. 単一傾斜PWM生成

単一傾斜PWM生成に関して、TCAn.PERレジスタが周期(*T*)を制御する一方で、TCAn.CMPnレジスタ値は生成する波形のデューティ サイクルを制御します。下図は計数器がどうBOTTOMからTOPへ計数し、その後にBOTTOMから再開するかを示します。波形生成器出力はBOTTOMで設定(1)され、TCAn.CNTとTCAn.CMPnのレジスタ間の比較一致で解除(0)されます。

CMPn=BOTTOMはWOnで静的なLow信号を生じ、一方でCMPn>TOPはWOnで静的なHigh信号を生じます。

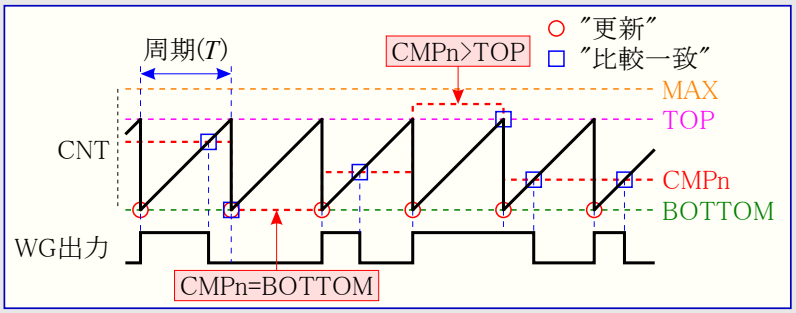
定期(TCAn.PER)レジスタはPWM分解能を定義します。最小分解能は2ビット(TCAn.PER=$0003)で、最大分解能は16ビット(TCAn.PER=MAX)です。

次式は単一傾斜PWMに対するビットでの正確な分解能(R_{PWM_SS})を計算します。

$$R_{PWM_SS} = \frac{\log(PER+1)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(TCAn.PER)、周辺機能クロック周波数(f_{CLK_PER})、TCA前置分周器(TCAn.CTRLAレジスタのCLKSELビット領域)に依存します。それは使う前置分周数を*N*が表す右式によって計算されます。

図22-12. 単一傾斜パルス幅変調



注: ・ 上図表現はCMPnがCMPnBUFを使い更新される時に有効です。
・ 単一傾斜PWM生成に対して下降計数は支援されません。

$$f_{PWM_SS} = \frac{f_{CLK_PER}}{N(PER+1)}$$

22.3.3.4.4. 2傾斜PWM生成

2傾斜PWM生成に関して、定期(TCAn.PER)レジスタが周期(*T*)を制御する一方で、比較n(TCAn.CMPn)レジスタ値は波形生成(WG)出力のデューティ サイクルを制御します。

下図は2傾斜PWMに対して計数器がBOTTOMからTOPへそしてその後にTOPからBOTTOMへどう繰り返し計数するかを示します。波形生成器出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

CMPn=BOTTOMはWOnで静的なLow信号を生じ、一方でCMPn=TOPはWOnで静的なHigh信号を生じます。

定期(TCAn.PER)レジスタはPWM分解能を定義します。最小分解能は2ビット(TCAn.PER=$0003)で、最大分解能は16ビット(TCAn.PER=MAX)です。

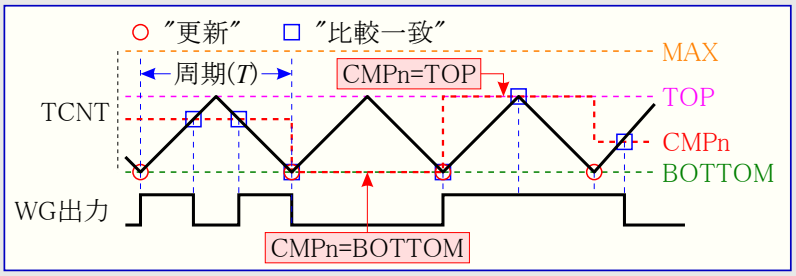
次式は2傾斜PWMに対する正確な分解能(R_{PWM_DS})を計算します。

$$R_{PWM_DS} = \frac{\log(PER+1)}{\log(2)}$$

PWM周波数(f_{PWM_DS})はTCAn.PERレジスタでの周期設定、周辺機能クロック周波数(f_{CLK_PER})、TCAn.CTRLAレジスタのCLKSELビット領域で選ばれる前置分周器に依存します。それは右式によって計算することができます。

ここで*N*は使う前置分周数を表します。

図22-13. 2傾斜パルス幅変調



注: 上図表現はCMPnがCMPnBUFを使って更新される時に有効です。

$$f_{PWM_DS} = \frac{f_{CLK_PER}}{2N \times PER}$$

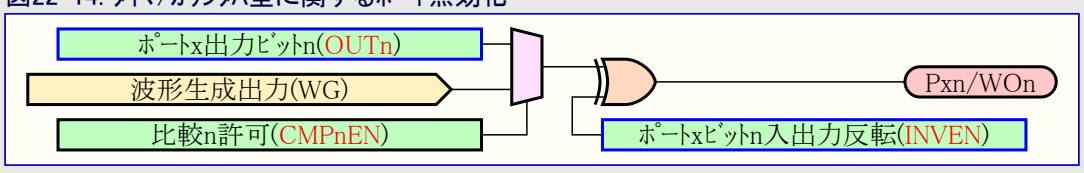
2傾斜PWMの使用は単一傾斜PWM動作と比較して周期毎に倍の計時器増加数のため、概ね半分の最大動作周波数になります。

22.3.3.4.5. 波形生成に関するポート無効化

ポート ピンで利用可能な波形生成を行うには、対応するポート ピンの方向が出力として設定(方向(PORTx.DIR)レジスタの方向(DIRn)=1に)されなければなりません。TCAは比較チャネルが許可(制御B(TCAn.CTRLB)レジスタの比較n許可(CMPnEN)=1に)され、波形生成動作が選ばれる時にポート ピン値を覆します。

下図はTCAに関するポート無効化を示します。タイマ/カウンタ比較チャネルは対応するポート ピン(Pxn)でのポート ピン出力値(PORTx.OUTレジスタのOUTn)を無効にします。ポート ピンでの反転I/O許可(PORTx.PINnCTRLレジスタのINVEN=1)は対応するWG出力を反転します。

図22-14. タイマ/カウンタA型に関するポート無効化



© 2023 Microchip Technology Inc.とその子会社

22.3.3.5. タイマ/カウンタ指令

周辺機能の状態を直ちに変更するために、ソフトウェアによって1組の指令を発行することができます。これらの指令は更新、再始動、リセットの信号の直接制御を与えます。指令は制御E設定(TCAn.CTRLESET)レジスタの指令(CMD)ビット領域に各々の値を書くことによって発行されます。

更新(UPDATE)指令はUPDATE指令が制御E(TCAn.CTRLESET/CLR)レジスタの更新施錠(LUPD)ビットの状態によって影響を及ぼされないことを除き、更新条件が起こる時と同じ効果を持ちます。

ソフトウェアは再始動(RESTART)指令を発行することによって現在の波形周期の再始動を強制することができます。この場合は計数器と全ての波形出力が'0'に設定されます。

リセット(RESET)指令は全てのタイマ/カウンタ レジスタをそれらの初期値に設定します。RESET指令はタイマ/カウンタが走行していない(TCAn.CTRLAレジスタの許可(ENABLE)=0の)時にだけ発行することができます。

22.3.3.6. 分割動作 – 2つの8ビット タイマ/カウンタ

分割動作概要

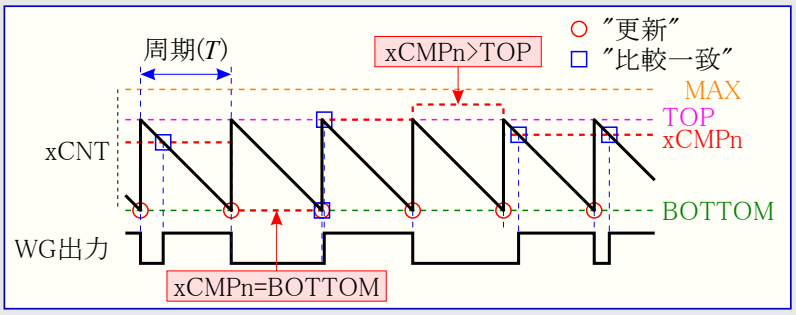
TCAで計時器とPWMチャネルの数を倍にするために分割動作が提供されます。この分割動作では、各々がPWM生成用に3つの比較チャネルを持つ2つの独立した8ビット計時器として働きます。分割動作は単一傾斜下降計数でだけ動きます。事象で制御される操作は分割動作で支援されません。

右図は分割動作での単一傾斜PWM生成を示します。波形生成部出力はBOTTOMで解除(0)され、計数器値(TCAn.xCNT)と比較n(TCAn.xCMPn)のレジスタ間の比較一致で設定(1)です。

CMPn=BOTTOMやCMPn>TOPはWOnでの固定Low信号を生じます。

分割動作の有効化はいくつかのレジスタとレジスタ ビットの機能を変更します。この変更は独立したレジスタ割り当てで記述されます(「22.6. レジスタ要約 – 分割動作」をご覧ください)。

図22-15. 分割動作での単一傾斜パルス幅変調



注: 波形出力の最大デューティ サイクルはTOP/(TOP+1)です。

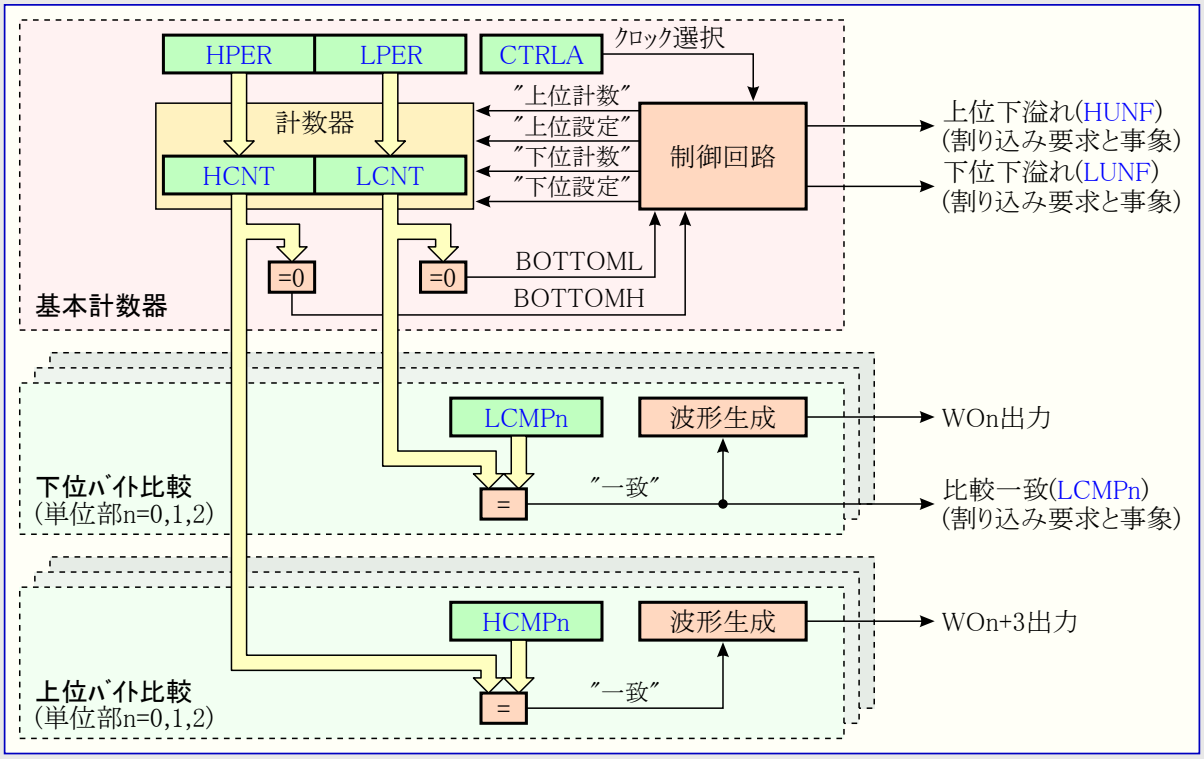
標準動作と比べた分割動作の違い

- 計数
  - 下降計数専用
  - 下位バイト タイマ/カウンタ(TCAn.LCNT)レジスタと上位バイト タイマ/カウンタ(TCAn.HCNT)レジスタは独立です。
- 波形生成
  - 単一傾斜PWM専用(TCAn.CTRLBレジスタのWGMODE=SINGLESLOPE)
- 割り込み
  - 下位バイト タイマ/カウンタ(TCAn.LCNT)レジスタに対する変更なし
  - 上位バイト タイマ/カウンタ(TCAn.HCNT)レジスタに対する下溢れ割り込み
  - 比較n上位バイト(TCAn.HCMPn)レジスタに対する比較割り込みと割り込み要求フラグなし
- 事象活動：不適合
- 緩衝レジスタと緩衝有効フラグ：不使用
- レジスタ アクセス：全てのレジスタに対してバイト アクセス

© 2023 Microchip Technology Inc.とその子会社

構成図

図22-16. タイマ/カウンタ構成図 – 分割動作



分割動作初期化

標準動作と分割動作の間を移る時に、いくつのレジスタとビットの機能が変わりますが、それらの値は変わりません。この理由のため、予期せぬ動きを避けるため、動作を変更する時に周辺機能を禁止(TCAn.CTRLAレジスタのENABLE=0)して、ハードリセット(制御E設定(TCAn.CTRLESET)レジスタの指令(CMD)=RESET)を行うことが推奨されます。

ハードリセット後に基本的な分割動作でタイマ/カウンタの使用を開始するには、以下のこれらの手順に従ってください。

1. 制御D(TCAn.CTRLD)レジスタの分割動作許可(SPLITM)ビットに'1'を書くことによって分割動作を許可してください。
2. 定期(TCAn.H/LPER)レジスタにTOP値を書いてください。
3. 制御A(TCAn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって周辺機能を許可してください。計数器はTCAn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域に従ってクロック刻みを計数します。
4. 計数器値は計数(TCAn.H/LCNT)レジスタの計数(H/LCNT)ビット領域から読むことができます。

分割動作の有効化はいくつかのレジスタとレジスタ ビットの機能の変更に帰着します。この変更は分離したレジスタ配置で記述されます。

22.3.4. 事象

TCAは下表で記述される事象を生成することができます。TCAn_HUNFを除く全ての生成部は標準動作と分割動作の操作間で共有されます。生成部名は生成部が各動作で次のように表す特定信号を示します。標準動作での溢れと分割動作での下位バイト下溢れに対応するOVF_LUNF。同じことがCMPn_LCMPnに適用されます。

表22-3. TCAでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
TCAn	OVF_LUNF	標準動作: 溢れ 分割動作: 下位バイト計時器下溢れ	パルス	CLK_PER	1 CLK_PER周期
	HUNF	標準動作: 利用不可 分割動作: 上位バイト計時器下溢れ			
	CMP0_LCMP0	標準動作: 比較チャネル0一致 分割動作: 下位バイト計時器比較チャネル0一致			
	CMP1_LCMP1	標準動作: 比較チャネル1一致 分割動作: 下位バイト計時器比較チャネル1一致			
	CMP2_LCMP2	標準動作: 比較チャネル2一致 分割動作: 下位バイト計時器比較チャネル2一致			

© 2023 Microchip Technology Inc.とその子会社

注: 事象生成の条件は標準動作と分割動作の両方に対して割り込み要求フラグ(TCAn.INTFLAGS)レジスタで対応する割り込み要求フラグを掲げるそれらと同じです。

TCAは入力事象での検出と活動のために2つの事象使用部を持ちます。下表は事象使用部とそれらの関連機能を記述します。

表22-4. TCAでの事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
TCAn	CNTA	正事象端で計数	端	同期
		両事象端で計数		
		事象信号がHighの間計数		
		事象レベルが計数方向を制御、Lowの時に上昇、Highの時に下降	レベル	
	CNTB	事象レベルが計数方向を制御、Lowの時に上昇、Highの時に下降		
		正事象端で計数器再始動	端	
		両事象端で計数器再始動		
		事象信号がHighの間再始動	レベル	

上表で記述される特定の活動は事象制御(TCAn.EVCTRL)レジスタの事象活動(EVACTA、EVACTB)ビットに書くことによって選ばれます。入力事象はTCAn.EVCTRLの事象入力での計数許可(CNTAEI、CNTBEI)ビットに'1'を書くことによって許可されます。

EVACTAとEVACTBの両方が計数方向を制御するように構成設定される場合、事象信号は計数方向を決めるために論理和(OR)されます。そのため上向きに計数するには計数器に対して両事象入力がLow('0')でなければなりません。

注: 1. 事象入力は分割動作で使われません。

2. レベル入力検出での事象活動は事象周波数が計時器の周波数未満の場合にだけ確実に動きます。

事象型と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

22.3.5. 割り込み

表22-5. 標準動作で利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
OVF	溢れ割り込み	計数器がTOPまたはBOTTOMに到達
CMP0	比較チャネル0割り込み	計数器値と比較0レジスタ間の一致
CMP1	比較チャネル1割り込み	計数器値と比較1レジスタ間の一致
CMP2	比較チャネル2割り込み	計数器値と比較2レジスタ間の一致

表22-6. 分割動作で利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
LUNF	下位バイト下溢れ割り込み	下位バイト計時器がBOTTOMに到達
HUNF	上位バイト下溢れ割り込み	上位バイト計時器がBOTTOMに到達
LCMP0	比較チャネル0割り込み	計数器値と下位バイト比較0レジスタ間の一致
LCMP1	比較チャネル1割り込み	計数器値と下位バイト比較1レジスタ間の一致
LCMP2	比較チャネル2割り込み	計数器値と下位バイト比較2レジスタ間の一致

割り込み条件が起こると、周辺機能の割り込み要求フラグ(TCAn.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(TCAn.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

22.3.6. 休止形態動作

TCAは既定でスタンバイ休止動作に於いて禁止されます。休止動作に入ると直ぐに停止されます。この単位部は制御A(TCAn.CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットが'1'を書かれる場合にスタンバイ休止動作で完全な動作に留まることができます。

全ての動作はパワーダウン休止動作で停止します。

© 2023 Microchip Technology Inc.とその子会社

22.4. レジスタ要約 – 標準動作

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY				CLKSEL2～0			ENABLE
+$01	CTRLB	7～0		CMP2EN	CMP1EN	CMP0EN	ALUPD	WGMODE2～0		
+$02	CTRLC	7～0						CMP2OV	CMP1OV	CMP0OV
+$03	CTRLD	7～0								SPLITM
+$04	CTRLECLR	7～0					CMD1,0		LUPD	DIR
+$05	CTRLESET	7～0					CMD1,0		LUPD	DIR
+$06	CTRLFCLR	7～0					CMP2BV	CMP1BV	CMP0BV	PERBV
+$07	CTRLFSET	7～0					CMP2BV	CMP1BV	CMP0BV	PERBV
+$08	予約									
+$09	EVCTRL	7～0	EVACTB2～0			CNTBEI	EVACTA2～0			CNTAEI
+$0A	INTCTRL	7～0		CMP2	CMP1	CMP0				OVF
+$0B	INTFLAGS	7～0		CMP2	CMP1	CMP0				OVF
+$0C ～ +$0D	予約									
+$0E	DBGCTRL	7～0								DBGRUN
+$0F	TEMP	7～0	TEMP7～0							
+$10 ～ +$1F	予約									
+$20	CNT	7～0	CNT7～0							
+$21		15～8	CNT15～8							
+$22 ～ +$25	予約									
+$26	PER	7～0	PER7～0							
+$27		15～8	PER15～8							
+$28	CMP0	7～0	CMP7～0							
+$29		15～8	CMP15～8							
+$2A	CMP1	7～0	CMP7～0							
+$2B		15～8	CMP15～8							
+$2C	CMP2	7～0	CMP7～0							
+$2D		15～8	CMP15～8							
+$2E ～ +$35	予約									
+$36	PERBUF	7～0	PERBUF7～0							
+$37		15～8	PERBUF15～8							
+$38	CMP0BUF	7～0	CMPBUF7～0							
+$39		15～8	CMPBUF15～8							
+$3A	CMP1BUF	7～0	CMPBUF7～0							
+$3B		15～8	CMPBUF15～8							
+$3C	CMP2BUF	7～0	CMPBUF7～0							
+$3D		15～8	CMPBUF15～8							

© 2023 Microchip Technology Inc.とその子会社

22.5. ﾚｼﾞｽﾀ説明 – 標準動作

22.5.1. CTRLA – 制御A (Control A) – 標準/分割動作共通

名称 : CTRLA
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RUNSTDBY				CLKSEL2~0			ENABLE
ｱｸｾｽ種別	R/W	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RUNSTDBY : ｽﾀﾝﾊﾞｲ時走行** (Run Standby)

このﾋﾞｯﾄへの'1'書き込みはこの周辺機能にｽﾀﾝﾊﾞｲ休止動作での走行を許します。

● **ﾋﾞｯﾄ3~1 – CLKSEL2~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀに対するｸﾛｯｸ周波数を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV64	DIV256	DIV1024
説明 (f_{TCA}=)	f_{CLK_PER}	$f_{CLK_PER}/2$	$f_{CLK_PER}/4$	$f_{CLK_PER}/8$	$f_{CLK_PER}/16$	$f_{CLK_PER}/64$	$f_{CLK_PER}/256$	$f_{CLK_PER}/1024$

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

値	0	1
説明	周辺機能は禁止されます。	周辺機能は許可されます。

22.5.2. CTRLB – 制御B (Control B) – 標準動作

名称 : CTRLB
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		CMP2EN	CMP1EN	CMP0EN	ALUPD	WGMODE2~0		
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6~4 – CMPnEN : 比較n許可** (Compare n Enable)

FRQ(周波数)とPWMの波形生成動作で比較n許可(CMPnEN)ﾋﾞｯﾄは対応するﾎﾟｰﾄ出力ﾚｼﾞｽﾀでの値を無効にしてWOnに対応するﾋﾟﾝでの波形出力を利用可能にします。対応するﾋﾟﾝの方向はPORT周辺機能で出力として構成設定されなければなりません。

値	0	1
説明	波形出力WOnは対応するﾋﾟﾝで利用できません。	波形出力WOnは対応するﾋﾟﾝの出力値を無効にします。

● **ﾋﾞｯﾄ3 – ALUPD : 更新自動施錠** (Auto Lock Update)

更新自動施錠ﾋﾞｯﾄは制御E(TCAn.CTRLE)ﾚｼﾞｽﾀの更新施錠(LUPD)ﾋﾞｯﾄを制御します。ALUPDが'1'を書かれると、全ての許可された比較ﾁｬﾈﾙの緩衝部有効(CMPnBV)ﾋﾞｯﾄが'1'になるまでLUPDが'1'に設定されます。(前行の)この条件がLUPDを解除(0)します。

これは緩衝値が比較n(CMPn)ﾚｼﾞｽﾀに転送され、LUPDが再び'1'に設定される後続するUPDATE条件まで解除(0)に留まります。これは許可された全ての比較緩衝部が書かれるまで比較n緩衝(CMPnBUF)ﾚｼﾞｽﾀ値がCMPnﾚｼﾞｽﾀに転送されないことを保証します。

値	0	1
説明	TCAn.CTRLEﾚｼﾞｽﾀのLUPDﾋﾞｯﾄは自動的に変えられません。	TCAn.CTRLEﾚｼﾞｽﾀのLUPDﾋﾞｯﾄは自動的に設定(1)/解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ2~0 – WGMODE2~0 : 波形生成動作** (Waveform Generation Mode)

このﾋﾞｯﾄ領域は波形生成動作を選び、計数器の計数進行、TOP値、UPDATE条件、割り込み条件、生成される波形の形式を制御します。

標準形態の動作では波形生成が全く実行されません。他の全ての動作形態に対して対応する比較n許可(CMPnEN)ﾋﾞｯﾄを設定(1)する場合、波形生成部出力がﾎﾟｰﾄ ﾋﾟﾝに直結されるだけです。ﾎﾟｰﾄ ﾋﾟﾝの方向は出力として設定されなければなりません。

値		000	001	010	011	100	101	110	111
名称		NORMAL	FRQ	–	SINGLESLOPE	–	DSTOP	DSBOTH	DSBOTTOM
説明	動作	標準	周波数	(予約)	1傾斜PWM	(予約)	2傾斜PWM	2傾斜PWM	2傾斜PWM
	TOP	PER	CMP0	–	PER	–	PER	PER	PER
	更新	TOP(注)	TOP(注)	–	BOTTOM	–	BOTTOM	BOTTOM	BOTTOM
	OVF	TOP(注)	TOP(注)	–	BOTTOM	–	TOP	TOPとBOTTOM	BOTTOM

注: 上昇計数時

22.5.3. CTRLC – 制御C (Control C) – 標準動作

名称 : CTRLC
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
						CMP2OV	CMP1OV	CMP0OV
ｱｸｾｽ種別	R	R	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2 – CMP2OV : 比較2出力値** (Compare Output Value 2)

CMP0OVをご覧ください。

● **ﾋﾞｯﾄ1 – CMP1OV : 比較1出力値** (Compare Output Value 1)

CMP0OVをご覧ください。

● **ﾋﾞｯﾄ0 – CMP0OV : 比較0出力値** (Compare Output Value 0)

CMPnOVﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀが許可されない時に波形生成(WG)部の出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが走行していない時にWG出力値を設定(1)または解除(0)するのに使われます。

注: この出力をﾊﾟｯﾄﾞへ接続時、制御B(TCAn.CTRLB)ﾚｼﾞｽﾀの比較n許可(CMPnEN)ﾋﾞｯﾄが設定(1)されない限り、これらのﾋﾞｯﾄの指定変更は動きません。この出力をCCLへ接続時、TCAn.CTRLBﾚｼﾞｽﾀのCMPnENﾋﾞｯﾄは迂回されます。

22.5.4. CTRLD – 制御D (Control D) – 標準/分割動作共通

名称 : CTRLD
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								SPLITM
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – SPLITM : 分割動作許可** (Enalbe Split Mode)

このﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀを分割動作形態に設定し、2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀとして動きます。標準16ﾋﾞｯﾄ動作と比べてﾚｼﾞｽﾀ割り当てが変わります。

© 2023 Microchip Technology Inc.とその子会社

22.5.5. CTRLECLR – 制御E解除 (Control Register E Clear) – 標準動作

名称 : CTRLECLR
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

そのﾋﾞｯﾄ位置に'1'を書くことによって個別ﾋﾞｯﾄを解除(0)するため、このﾚｼﾞｽﾀを読み-変更-書き(RMW)の代わりに使ってください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
					CMD1,0		LUPD	DIR
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3,2 – CMD1,0 : 指令** (Command)

このﾋﾞｯﾄ領域はﾀｲﾏ/ｶｳﾝﾀの更新、再始動、ﾘｾｯﾄのｿﾌﾄｳｪｱ制御に使われます。指令ﾋﾞｯﾄ領域は常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	UPDATE	RESTART	RESET
説明	指令なし	強制更新	強制再始動	強制ﾊｰﾄﾞ ﾘｾｯﾄ (TCAが許可の場合は無効)

● **ﾋﾞｯﾄ1 – LUPD : 更新施錠** (Lock Update)

更新施錠は更新を実行するのに先立って全ての緩衝部が有効であることを保証するのに使うことができます。

値		1
説明	緩衝されるﾚｼﾞｽﾀはUPDATE条件が起こると直ぐに更新されます。	例えUPDATE条件が起きても、緩衝されるﾚｼﾞｽﾀの更新は実行されません。この設定は指令ﾋﾞｯﾄ領域によって発行される更新を妨げません。

● **ﾋﾞｯﾄ0 – DIR : 計数方向** (Counter Direction)

通常、このﾋﾞｯﾄは波形生成動作または事象活動によってﾊｰﾄﾞｳｪｱで制御されますが、ｿﾌﾄｳｪｱからも変更することができます。

値	0	1
説明	計数器は上昇計数 (増加)	計数器は下降計数 (減少)

22.5.6. CTRLESET – 制御E設定 (Control Register E Set) – 標準動作

名称 : CTRLESET
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

そのﾋﾞｯﾄ位置に'1'を書くことによって個別ﾋﾞｯﾄを設定(1)するため、このﾚｼﾞｽﾀを読み-変更-書き(RMW)の代わりに使ってください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
					CMD1,0		LUPD	DIR
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3,2 – CMD1,0 : 指令** (Command)

このﾋﾞｯﾄ領域はﾀｲﾏ/ｶｳﾝﾀの更新、再始動、ﾘｾｯﾄのｿﾌﾄｳｪｱ制御に使われます。指令ﾋﾞｯﾄ領域は常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	UPDATE	RESTART	RESET
説明	指令なし	強制更新	強制再始動	強制ﾊｰﾄﾞ ﾘｾｯﾄ (TCAが許可の場合は無効)

● **ﾋﾞｯﾄ1 – LUPD : 更新施錠** (Lock Update)

更新を施錠することは更新を実行するのに先立って全ての緩衝部が有効であることを保証します。

値		1
説明	緩衝されるﾚｼﾞｽﾀはUPDATE条件が起こると直ぐに更新されます。	例えUPDATE条件が起きても、緩衝されるﾚｼﾞｽﾀの更新は実行されません。この設定は指令ﾋﾞｯﾄ領域によって発行される更新を妨げません。

© 2023 Microchip Technology Inc.とその子会社

● **ビット0 – DIR : 計数方向** (Counter Direction)

通常、このビットは波形生成動作または事象活動によってハードウェアで制御されますが、ソフトウェアからも変更することができます。

値	0	1
説明	計数器は上昇計数 (増加)	計数器は下降計数 (減少)

22.5.7. CTRLFCLR – 制御F解除 (Control Register F Clear) – 標準動作専用

名称 : CTRLFCLR
変位 : +$06
リセット : $00
特質 : –

そのビット位置に'1'を書くことによって個別ビットを解除(0)するため、このレジスタを読み–変更–書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMP2BV	CMP1BV	CMP0BV	PERBV
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3 – CMP2BV : 比較2緩衝有効** (Compare 2 Buffer Valid)

CMP0BVをご覧ください。

● **ビット2 – CMP1BV : 比較1緩衝有効** (Compare 1 Buffer Valid)

CMP0BVをご覧ください。

● **ビット1 – CMP0BV : 比較1緩衝有効** (Compare 0 Buffer Valid)

CMPnBVビットは新しい値が対応する比較n緩衝(TCAn.CMPnBUF)レジスタに書かれた時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)します。

● **ビット0 – PERBV : 定期緩衝有効** (Period Buffer Valid)

このビットは新しい値が定期緩衝(TCAn.PERBUF)レジスタに書かれた時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)します。

22.5.8. CTRLFSET – 制御F設定 (Control Register F Set) – 標準動作専用

名称 : CTRLFSET
変位 : +$07
リセット : $00
特質 : –

そのビット位置に'1'を書くことによって個別ビットを設定(1)するため、このレジスタを読み–変更–書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMP2BV	CMP1BV	CMP0BV	PERBV
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3 – CMP2BV : 比較2緩衝有効** (Compare 2 Buffer Valid)

CMP0BVをご覧ください。

● **ビット2 – CMP1BV : 比較1緩衝有効** (Compare 1 Buffer Valid)

CMP0BVをご覧ください。

● **ビット1 – CMP0BV : 比較1緩衝有効** (Compare 0 Buffer Valid)

CMPnBVビットは新しい値が対応する比較n緩衝(TCAn.CMPnBUF)レジスタに書かれた時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)します。

● **ビット0 – PERBV : 定期緩衝有効** (Period Buffer Valid)

このビットは新しい値が定期緩衝(TCAn.PERBUF)レジスタに書かれた時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)します。

© 2023 Microchip Technology Inc.とその子会社

22.5.9. EVCTRL – 事象制御 (Event Control) – 標準動作専用

名称 : EVCTRL
変位 : +$09
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	EVACTB2~0			CNTBEI	EVACTA2~0			CNTAEI
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~5 – EVACTB2~0 : 事象活動B** (Event Action B)

これらのビットは或る事象条件で計数器が取る活動を定義します。

値	名称	説明
0 0 0	NONE	活動なし
0 1 1	UPDOWN	前置分周したクロック周期か、事象入力A用設定に従って一致する事象を計数。事象信号は計数方向を制御し、Lowの時に上昇、Highの時に下降。方向は計数器計数時にラッチされます。
1 0 0	RESTART_POSEDGE	正事象端で計数器再始動
1 0 1	RESTART_ANYEDGE	両事象端で計数器再始動
1 1 0	RESTART_HIGHLVL	事象信号がHighの間、計数器再始動
その他	–	(予約)

● **ビット4 – CNTBEI : 計数器事象入力B許可** (Enable Counter Event Input B)

値	0	1
説明	計数器事象入力Bは禁止	計数器事象入力BはEVACTBビット領域に従って許可

● **ビット3~1 – EVACTA2~0 : 事象活動A** (Event Action A)

これらのビットは或る事象条件で計数器が取る活動を定義します。

値	名称	説明
0 0 0	CNT_POSEDGE	正事象端で計数
0 0 1	CNT_ANYEDGE	両事象端で計数
0 1 0	EVACT_HIGHLVL	事象信号がHighの間、前置分周されたクロック周期を計数
0 1 1	EVACT_UPDOWN	前置分周されたクロック周期を計数。事象信号は計数方向を制御し、Lowの時に上昇、Highの時に下降。方向は計数器計数時にラッチされます。
その他	–	(予約)

● **ビット0 – CNTAEI : 計数器事象入力A許可** (Enable Counter Event Input A)

値	0	1
説明	計数器事象入力Aは禁止	計数器事象入力AはEVACTAビット領域に従って許可

22.5.10. INTCTRL – 割り込み制御 (Interrupt Control) – 標準動作

名称 : INTCTRL
変位 : +$0A
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		CMP2	CMP1	CMP0				OVF
アクセス種別	R	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – CMP2 : 比較チャネル2割り込み許可** (Compare Channel 2 Interrupt Enable)

CMP0をご覧ください。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ5 – CMP1 : 比較ﾁｬﾈﾙ1割り込み許可** (Compare Channel 1 Interrupt Enable)
CMP0をご覧ください。

● **ﾋﾞｯﾄ4 – CMP0 : 比較ﾁｬﾈﾙ0割り込み許可** (Compare Channel 0 Interrupt Enable)
CMPnﾋﾞｯﾄへの'1'書き込みはﾁｬﾈﾙnからの比較割り込みを許可します。

● **ﾋﾞｯﾄ0 – OVF : 上下溢れ割り込み許可** (Timer Overflow/Underflow Interrupt Enable)
OVFﾋﾞｯﾄへの'1'書き込みは上下溢れ割り込みを許可します。

22.5.11. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flag Register) – 標準動作

名称 : INTFLAGS
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		CMP2	CMP1	CMP0				OVF
ｱｸｾｽ種別	R	R/W	R/W	R/W	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – CMP2 : 比較ﾁｬﾈﾙ2割り込み要求ﾌﾗｸﾞ** (Compare Channel 2 Interrupt Flag)
CMP0をご覧ください。

● **ﾋﾞｯﾄ5 – CMP1 : 比較ﾁｬﾈﾙ1割り込み要求ﾌﾗｸﾞ** (Compare Channel 1 Interrupt Flag)
CMP0をご覧ください。

● **ﾋﾞｯﾄ4 – CMP0 : 比較ﾁｬﾈﾙ0割り込み要求ﾌﾗｸﾞ** (Compare Channel 0 Interrupt Flag)
比較割り込み要求(CMPn)ﾌﾗｸﾞは対応する比較ﾁｬﾈﾙでの比較一致で設定(1)されます。全ての動作形態に対して、CMPnﾌﾗｸﾞは計数(TCAn.CNT)ﾚｼﾞｽﾀと対応する比較(TCAn.CMPn)ﾚｼﾞｽﾀ間で比較一致が起こる時に設定(1)されます。CMPnﾌﾗｸﾞは自動的に解除(0)されません。そのﾋﾞｯﾄ位置に'1'を書くことによってだけ解除(0)されます。

● **ﾋﾞｯﾄ0 – OVF : 上下溢れ割り込み要求ﾌﾗｸﾞ** (Timer Overflow/Underflow Interrupt Flag)
このﾌﾗｸﾞは波形生成動作(WGMODE)設定に依存して、TOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFﾌﾗｸﾞは自動的に解除(0)さません。このﾋﾞｯﾄ位置に'1'を書くことによってだけ解除(0)されます。

22.5.12. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control) – 標準/分割動作共通

名称 : DBGCTRL
変位 : +$0E
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Run in Debug)

値	0	1
説明	TCAはﾃﾞﾊﾞｯｸﾞ動作中断で停止し、事象を無視	TCAはCPU停止中のﾃﾞﾊﾞｯｸﾞ動作中断で走行継続

22.5.13. TEMP – 一時ﾚｼﾞｽﾀ (Temporary bits for 16-bit Access) – 標準動作専用

名称 : TEMP
変位 : +$0F
ﾘｾｯﾄ : $00
特質 : –

一時ﾚｼﾞｽﾀはこの周辺機能の16ﾋﾞｯﾄ ﾚｼﾞｽﾀへの16ﾋﾞｯﾄ単一周期ｱｸｾｽのためにCPUによって使われます。このﾚｼﾞｽﾀはこの周辺機能の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀに対して共通でｿﾌﾄｳｪｱによって読み書きすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きのより多くの詳細については「ﾒﾓﾘ」章の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

© 2023 Microchip Technology Inc.とその子会社

ビット	7	6	5	4	3	2	1	0
	TEMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – TEMP7~0 : 一時値** (Temporary Bits for 16-bit Access)

22.5.14. CNT – 計数 (Counter Register) – 標準動作

名称 : CNT (CNTH,CNTL)
変位 : +$20
リセット : $0000
特質 : –

TCAn.CNTHとTCAn.CNTLのレジスタ対は16ビット値のTCAn.CNTを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CNT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	CNT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15~8 – CNT15~8 : 計数値上位バイト** (Counter high byte)
このビット領域は16ビット計数レジスタの上位バイトを保持します。

● **ビット7~0 – CNT7~0 : 計数値下位バイト** (Counter low byte)
このビット領域は16ビット計数レジスタの下位バイトを保持します。

22.5.15. PER – 定期 (Period Register) – 標準動作

名称 : PER (PERH,PERL)
変位 : +$26
リセット : $FFFF
特質 : –

TCAn.PERレジスタは周波数波形生成(FRQ)を除く全ての動作形態でタイマ/カウンタの16ビットTOP値を含みます。

TCAn.PERHとTCAn.PERLのレジスタ対は16ビット値のTCAn.PERを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	PER15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

ビット	7	6	5	4	3	2	1	0
	PER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット15~8 – PER15~8 : 定期値上位バイト** (Periodic high byte)
このビット領域は16ビット定期レジスタの上位バイトを保持します。

● **ビット7~0 – PER7~0 : 定期値下位バイト** (Periodic low byte)
このビット領域は16ビット定期レジスタの下位バイトを保持します。

© 2023 Microchip Technology Inc.とその子会社

22.5.16. CMPn – 比較n (Compare n Register) – 標準動作

名称 : CMP0 (CMP0H,CMP0L) : CMP1 (CMP1H,CMP1L) : CMP2 (CMP2H,CMP2L)
変位 : +$28 : +$2A : +$2C
リセット : $0000
特質 : –

このレジスタは継続的に計数器値と比較します。通常、比較器からの出力は波形を生成するのに使われます。

TCAn.CMPnレジスタはUPDATE条件発生時に対応する比較緩衝(TCAn.CMPnBUF)レジスタからの緩衝値で更新されます。

TCAn.CMPnHとTCAn.CMPnLのレジスタ対は16ビット値のTCAn.CMPnを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CMP15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15～8 – CMP15~8 : 比較値上位バイト** (Compare high byte)

このビット領域は16ビット比較レジスタの上位バイトを保持します。

● **ビット7～0 – CMP7~0 : 比較値下位バイト** (Compare low byte)

このビット領域は16ビット比較レジスタの下位バイトを保持します。

22.5.17. PERBUF – 定期緩衝 (Period Buffer Register) – 標準動作

名称 : PERBUF (PERHBUF,PERBUFL)
変位 : +$36
リセット : $FFFF
特質 : –

このレジスタは定期(TCAn.PER)レジスタの緩衝部として扱います。CPUまたはUPDIからのこのレジスタ書き込みは制御F(TCAn.CTRLF)レジスタの定期緩衝有効(PERBV)フラグを設定(1)します。

TCAn.PERBUFHとTCAn.PERBUFLのレジスタ対は16ビット値のTCAn.PERBUFを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	PERBUF15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1
ビット	7	6	5	4	3	2	1	0
	PERBUF7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット15～8 – PERBUF15~8 : 定期緩衝値上位バイト** (Period Buffer high byte)

このビット領域は16ビット定期緩衝レジスタの上位バイトを保持します。

● **ビット7～0 – PERBUF7~0 : 定期緩衝値下位バイト** (Period Buffer low byte)

このビット領域は16ビット定期緩衝レジスタの下位バイトを保持します。

22.5.18. CMPnBUF – 比較n緩衝 (Compare n Buffer Register) – 標準動作

名称 : CMP0BUF (CMP0BUFH,CMP0BUFL) : CMP1BUF (CMP1BUFH,CMP1BUFL) : CMP2BUF (CMP2BUFH,CMP2BUFL)
変位 : +$38 : +$3A : +$3C
リセット : $0000
特質 : –

このレジスタは連携する比較(TCAn.CMPn)レジスタに対する緩衝部として扱います。CPUまたはUPDIからのこれらのどれかのレジスタ書き込みは制御F(TCAn.CTRLF)レジスタの対応する比較緩衝有効(CMPnBV)フラグを設定(1)します。

TCAn.CMPnBUFHとTCAn.CMPnBUFLのレジスタ対は16ビット値のTCAn.CMPnBUFを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

© 2023 Microchip Technology Inc.とその子会社

ビット	15	14	13	12	11	10	9	8
	CMPBUF15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	CMPBUF7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15~8 – CMPBUF15~8 : 比較緩衝値上位バイト** (Compare Buffer high byte)

これらのビットは16ビット比較緩衝レジスタの上位バイトを保持します。

● **ビット7~0 – CMPBUF7~0 : 比較緩衝値下位バイト** (Compare Buffer low byte)

これらのビットは16ビット比較緩衝レジスタの下位バイトを保持します。

© 2023 Microchip Technology Inc.とその子会社

22.6. レジスタ要約 – 分割動作

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY				CLKSEL2～0			ENABLE
+$01	CTRLB	7～0		HCMP2EN	HCMP1EN	HCMP0EN		LCMP2EN	LCMP1EN	LCMP0EN
+$02	CTRLC	7～0		HCMP2OV	HCMP1OV	HCMP0OV		LCMP2OV	LCMP1OV	LCMP0OV
+$03	CTRLD	7～0								SPLITM
+$04	CTRLECLR	7～0					CMD1,0		CMDEN1,0	
+$05	CTRLESET	7～0					CMD1,0		CMDEN1,0	
+$06 ～ +$09	予約									
+$0A	INTCTRL	7～0		LCMP2	LCMP1	LCMP0			HUNF	LUNF
+$0B	INTFLAGS	7～0		LCMP2	LCMP1	LCMP0			HUNF	LUNF
+$0C ～ +$0D	予約									
+$0E	DBGCTRL	7～0								DBGRUN
+$0F ～ +$1F	予約									
+$20	LCNT	7～0	LCNT7～0							
+$21	HCNT	7～0	HCNT7～0							
+$22 ～ +$25	予約									
+$26	LPER	7～0	LPER7～0							
+$27	HPER	7～0	HPER7～0							
+$28	LCMP0	7～0	LCMP7～0							
+$29	HCMP0	7～0	HCMP7～0							
+$2A	LCMP1	7～0	LCMP7～0							
+$2B	HCMP1	7～0	HCMP7～0							
+$2C	LCMP2	7～0	LCMP7～0							
+$2D	HCMP2	7～0	HCMP7～0							

© 2023 Microchip Technology Inc.とその子会社

22.7. レジスタ説明 – 分割動作

22.7.1. CTRLA – 制御A (Control A) – 標準/分割動作共通

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY				CLKSEL2~0			ENABLE
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ時走行** (Run Standby)

このビットへの'1'書き込みはこの周辺機能にスタンバイ休止動作での走行を許します。

● **ビット3~1 – CLKSEL2~0 : クロック選択** (Clock Select)

これらのビットはタイマ/カウンタに対するクロック周波数を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV64	DIV256	DIV1024
説明 (f_{TCA}=)	f_{CLK_PER}	$f_{CLK_PER}/2$	$f_{CLK_PER}/4$	$f_{CLK_PER}/8$	$f_{CLK_PER}/16$	$f_{CLK_PER}/64$	$f_{CLK_PER}/256$	$f_{CLK_PER}/1024$

● **ビット0 – ENABLE : 許可** (Enable)

値	0	1
説明	周辺機能(TCA)は禁止されます。	周辺機能(TCA)は許可されます。

22.7.2. CTRLB – 制御B (Control B) – 分割動作

名称 : CTRLB
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		HCMP2EN	HCMP1EN	HCMP0EN		LCMP2EN	LCMP1EN	LCMP0EN
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – HCMP2EN : 上位バイト比較2許可** (High-byte Compare 2 Enable)

HCMP0ENをご覧ください。

● **ビット5 – HCMP1EN : 上位バイト比較1許可** (High-byte Compare 1 Enable)

HCMP0ENをご覧ください。

● **ビット4 – HCMP0EN : 上位バイト比較0許可** (High-byte Compare 0 Enable)

FRQまたはPWM波形生成動作形態でのHCMPnENビット設定(1)は対応するWOn+3ピンに対するポート出力(PORTx.OUT)レジスタを無効にします。

● **ビット2 – LCMP2EN : 下位バイト比較2許可** (Low-byte Compare 2 Enable)

LCMP0ENをご覧ください。

● **ビット1 – LCMP1EN : 下位バイト比較1許可** (Low-byte Compare 1 Enable)

LCMP0ENをご覧ください。

● **ビット0 – LCMP0EN : 下位バイト比較0許可** (Low-byte Compare 0 Enable)

FRQまたはPWM波形生成動作形態でのLCMPnENビット設定(1)は対応するWOnピンに対するポート出力(PORTx.OUT)レジスタを無効にします。

© 2023 Microchip Technology Inc.とその子会社

22.7.3. CTRLC – 制御C (Control C) – 分割動作

名称 : CTRLC
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		HCMP2OV	HCMP1OV	HCMP0OV		LCMP2OV	LCMP1OV	LCMP0OV
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – HCMP2OV : 上位バイト比較2出力値** (High-byte Compare 2 Output Value)

HCMP0OVをご覧ください。

● **ビット5 – HCMP1OV : 上位バイト比較1出力値** (High-byte Compare 1 Output Value)

HCMP0OVをご覧ください。

● **ビット4 – HCMP0OV : 上位バイト比較0出力値** (High-byte Compare 0 Output Value)

HCMPnOVビットはタイマ/カウンタが許可されない時に波形生成部の出力値への直接アクセスを許します。これはタイマ/カウンタが走行していない時にWOn+3出力値を設定(1)または解除(0)するのに使われます。

● **ビット2 – LCMP2OV : 下位バイト比較2出力値** (Low-byte Compare 2 Output Value)

LCMP0OVをご覧ください。

● **ビット1 – LCMP1OV : 下位バイト比較1出力値** (Low-byte Compare 1 Output Value)

LCMP0OVをご覧ください。

● **ビット0 – LCMP0OV : 下位バイト比較0出力値** (Low-byte Compare 0 Output Value)

LCMPnOVビットはタイマ/カウンタが許可されない時に波形生成部の出力値への直接アクセスを許します。これはタイマ/カウンタが走行していない時にWOn出力値を設定(1)または解除(0)するのに使われます。

注: この出力がパッドに接続される時に、制御B(TCAn.CTRLB)レジスタの上位/下位バイト比較n許可(xCMPnEN)ビットが設定(1)されない限り、これらのビットの上書きは動きません。この出力がCCLに接続される場合、TCAn.CTRLBレジスタのxCMPnENビットは迂回されます。

22.7.4. CTRLD – 制御D (Control D) – 標準/分割動作共通

名称 : CTRLD
変位 : +$03
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
								SPLITM
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット0 – SPLITM : 分割動作許可** (Enalbe Split Mode)

このビットはタイマ/カウンタを分割動作形態に設定し、2つの8ビット タイマ/カウンタとして動きます。標準16ビット動作と比べてレジスタ割り当てが変わります。

22.7.5. CTRLECLR – 制御E解除 (Control Register E Clear) – 分割動作

名称 : CTRLECLR
変位 : +$04
リセット : $00
特質 : –

そのビット位置に'1'を書くことによって個別ビットを解除(0)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		CMDEN1,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

© 2023 Microchip Technology Inc.とその子会社

● **ビット3,2 – CMD1,0 : 指令** (Command)

このビット領域はタイマ/カウンタの再始動とリセットのソフトウェア制御に使われます。指令ビットは常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	–	RESTART	RESET
説明	指令なし	(予約)	強制再始動	強制ハードリセット (TCAが許可の場合は無効)

● **ビット1,0 – CMDEN1,0 : 指令許可** (Command enable)

このビット領域はCMDビットによって与えられた指令がどのタイマ/カウンタに適用するかを構成設定します。

値	0 0	0 1	1 0	1 1
名称	NONE	–	–	BOTH
説明	なし	(予約)	(予約)	指令は上下バイトの両タイマ/カウンタに対して適用

22.7.6. CTRLESET – 制御E設定 (Control Register E Set) – 分割動作

名称 : CTRLESET
変位 : +$05
リセット : $00
特質 : –

そのビット位置に'1'を書くことによって個別ビットを設定(1)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		CMDEN1,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3,2 – CMD1,0 : 指令** (Command)

このビット領域はタイマ/カウンタの再始動とリセットのソフトウェア制御に使われます。指令ビット領域は常に'0'として読みます。CMDビット領域は指令許可(CMDEN)ビットと共に使われなければなりません。リセット指令を使うには下位バイトと上位バイトの両タイマ/カウンタ(BOTH)で選ばれたCMDENを必要とします。

値	0 0	0 1	1 0	1 1
名称	NONE	–	RESTART	RESET
説明	指令なし	(予約)	強制再始動	強制ハードリセット (TCAが許可の場合は無効)

● **ビット1,0 – CMDEN1,0 : 指令許可** (Command enable)

このビット領域はCMDビットによって与えられた指令がどのタイマ/カウンタに適用するかを構成設定します。

値	0 0	0 1	1 0	1 1
名称	NONE	–	–	BOTH
説明	なし	(予約)	(予約)	指令は上下バイトの両タイマ/カウンタに対して適用

22.7.7. INTCTRL – 割り込み制御 (Interrupt Control) – 分割動作

名称 : INTCTRL
変位 : +$0A
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		LCMP2	LCMP1	LCMP0			HUNF	HUNF
アクセス種別	R	R/W	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – LCMP2 : 下位バイト比較2割り込み許可** (Low-byte Compare Channel 2 Interrupt Enable)

LCMP0をご覧ください。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ5 – LCMP1 : 下位ﾊﾞｲﾄ比較1割り込み許可** (Low-byte Compare Channel 1 Interrupt Enable)
LCMP0をご覧ください。

● **ﾋﾞｯﾄ4 – LCMP0 : 下位ﾊﾞｲﾄ比較0割り込み許可** (Low-byte Compare Channel 0 Interrupt Enable)
LCMPnﾋﾞｯﾄへの'1'書き込みは下位ﾊﾞｲﾄ比較ﾁｬﾈﾙn割り込みを許可します。

● **ﾋﾞｯﾄ1 – HUNF : 上位ﾊﾞｲﾄ下溢れ割り込み許可** (High-byte Underflow Interrupt Enable)
HUNFﾋﾞｯﾄへの'1'書き込みは上位ﾊﾞｲﾄ下溢れ割り込みを許可します。

● **ﾋﾞｯﾄ0 – LUNF : 下位ﾊﾞｲﾄ下溢れ割り込み許可** (Low-byte Underflow Interrupt Enable)
LUNFﾋﾞｯﾄへの'1'書き込みは下位ﾊﾞｲﾄ下溢れ割り込みを許可します。

22.7.8. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flag Register) – 分割動作

名称 : INTFLAGS
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		LCMP2	LCMP1	LCMP0			HUNF	HUNF
ｱｸｾｽ種別	R	R/W	R/W	R/W	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – LCMP2 : 下位ﾊﾞｲﾄ比較2割り込み要求ﾌﾗｸﾞ** (Low-byte Compare Channel 2 Interrupt Flag)
LCMP0ﾌﾗｸﾞ記述をご覧ください。

● **ﾋﾞｯﾄ5 – LCMP1 : 下位ﾊﾞｲﾄ比較1割り込み要求ﾌﾗｸﾞ** (Low-byte Compare Channel 1 Interrupt Flag)
LCMP0ﾌﾗｸﾞ記述をご覧ください。

● **ﾋﾞｯﾄ4 – LCMP0 : 下位ﾊﾞｲﾄ比較0割り込み要求ﾌﾗｸﾞ** (Low-byte Compare Channel 0 Interrupt Flag)
下位ﾊﾞｲﾄ比較割り込み要求(LCMPn)ﾌﾗｸﾞは対応する下位ﾊﾞｲﾄ計時器の比較ﾁｬﾈﾙでの比較一致で設定(1)されます。
全ての動作形態に対して、LCMPnﾌﾗｸﾞは下位ﾊﾞｲﾄ計数(TCAn.LCNT)ﾚｼﾞｽﾀと対応する下位ﾊﾞｲﾄ比較n(TCAn.LCMPn)ﾚｼﾞｽﾀ間で比較一致が起こる時に設定(1)されます。LCMPnﾌﾗｸﾞは自動的に解除(0)されないのでｿﾌﾄｳｪｱが解除(0)しなければなりません。このﾋﾞｯﾄ位置への'1'書き込みがこれを行います。

● **ﾋﾞｯﾄ1 – HUNF : 上位ﾊﾞｲﾄ下溢れ割り込み要求ﾌﾗｸﾞ** (High-byte Underflow Interrupt Flag)
このﾌﾗｸﾞは上位ﾊﾞｲﾄ計時器のBOTTOM(下溢れ)条件で設定(1)されます。HUNFは自動的に解除(0)されず、ｿﾌﾄｳｪｱによって解除(0)されることが必要です。このﾋﾞｯﾄ位置への'1'書き込みがこれを行います。

● **ﾋﾞｯﾄ0 – LUNF : 下位ﾊﾞｲﾄ下溢れ割り込み要求ﾌﾗｸﾞ** (Low-byte Underflow Interrupt Flag)
このﾌﾗｸﾞは下位ﾊﾞｲﾄ計時器のBOTTOM(下溢れ)条件で設定(1)されます。LUNFは自動的に解除(0)されず、ｿﾌﾄｳｪｱによって解除(0)されることが必要です。このﾋﾞｯﾄ位置への'1'書き込みがこれを行います。

22.7.9. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control) – 標準/分割動作共通

名称 : DBGCTRL
変位 : +$0E
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Run in Debug)

値	0	1
説明	TCAはﾃﾞﾊﾞｯｸﾞ動作中断で停止し、事象を無視	TCAはCPU停止中のﾃﾞﾊﾞｯｸﾞ動作中断で走行継続

© 2023 Microchip Technology Inc.とその子会社

22.7.10. LCNT – 下位バイト計数 (Low-byte Timer Counter Register) – 分割動作

名称 : LCNT
変位 : +$20
リセット : $00
特質 : –

TCAn.LCNTレジスタは下位バイト計時器用計数値を含みます。CPUとUPDIの書き込みアクセスはこの計数器の計数、解消、再設定を超える優先権を持ちます。

ビット	7	6	5	4	3	2	1	0
	LCNT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – LCNT7~0 : 下位バイト計時器用計数値** (Counter Value for low-byte timer)
このビット領域は下位バイト計時器の計数器値を定義します。

22.7.11. HCNT – 上位バイト計数 (High-byte Timer Counter Register) – 分割動作

名称 : HCNT
変位 : +$21
リセット : $00
特質 : –

TCAn.HCNTレジスタは上位バイト計時器用計数値を含みます。CPUとUPDIの書き込みアクセスはこの計数器の計数、解消、再設定を超える優先権を持ちます。

ビット	7	6	5	4	3	2	1	0
	HCNT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – HCNT7~0 : 上位バイト計時器用計数値** (Counter Value for high-byte timer)
このビット領域は上位バイト計時器の計数器値を定義します。

22.7.12. LPER – 下位バイト定期 (Low-byte Timer Period Register) – 分割動作

名称 : LPER
変位 : +$26
リセット : $FF
特質 : –

TCAn.LPERレジスタは下位バイト計時器用TOP値を含みます。

ビット	7	6	5	4	3	2	1	0
	LPER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット7~0 – LPER7~0 : 下位バイト計時器用定期値** (Period value low-byte timer)
このビット領域は下位バイト計時器用TOP値を保持します。

22.7.13. HPER – 上位バイト定期 (High-byte Timer Period Register) – 分割動作

名称 : HPER
変位 : +$27
リセット : $FF
特質 : –

TCAn.HPERレジスタは上位バイト計時器用TOP値を含みます。

ビット	7	6	5	4	3	2	1	0
	HPER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット7~0 – HPER7~0 : 上位バイト計時器用定期値** (Period value high-byte timer)
このビット領域は上位バイト計時器用TOP値を保持します。

© 2023 Microchip Technology Inc.とその子会社

22.7.14. LCMPn – 下位バイト比較n (Low-byte Compare Register n) – 分割動作

名称 : LCMP0 : LCMP1 : LCMP2
変位 : +$28 : +$2A : +$2C
リセット : $00
特質 : –

TCAn.LCMPnレジスタは下位バイト用比較チャネルnの比較値を表します。このレジスタは下位バイト計時器(TCAn.LCNT)の計数器値と継続的に比較されます。通常、比較器からの出力はその後に波形を生成するのに使われます。

ビット	7	6	5	4	3	2	1	0
	LCMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – LCMP7~0 : 下位バイト比較n値** (Compare value of channel n)

このビット領域はTCAn.LCNTと比較されるチャネルnの下位バイト比較値を保持します。

22.7.15. HCMPn – 上位バイト比較n (High-byte Compare Register n) – 分割動作

名称 : HCMP0 : HCMP1 : HCMP2
変位 : +$29 : +$2B : +$2D
リセット : $00
特質 : –

TCAn.HCMPnレジスタは上位バイト用比較チャネルnの比較値を表します。このレジスタは上位バイト計時器(TCAn.HCNT)の計数器値と継続的に比較されます。通常、比較器からの出力はその後に波形を生成するのに使われます。

ビット	7	6	5	4	3	2	1	0
	HCMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – HCMP7~0 : 上位バイト比較n値** (Compare value of channel n)

このビット領域はTCAn.HCNTと比較されるチャネルnの上位バイト比較値を保持します。

© 2023 Microchip Technology Inc.とその子会社

23. TCB – 16ビット タイマ/カウンタB型

23.1. 特徴

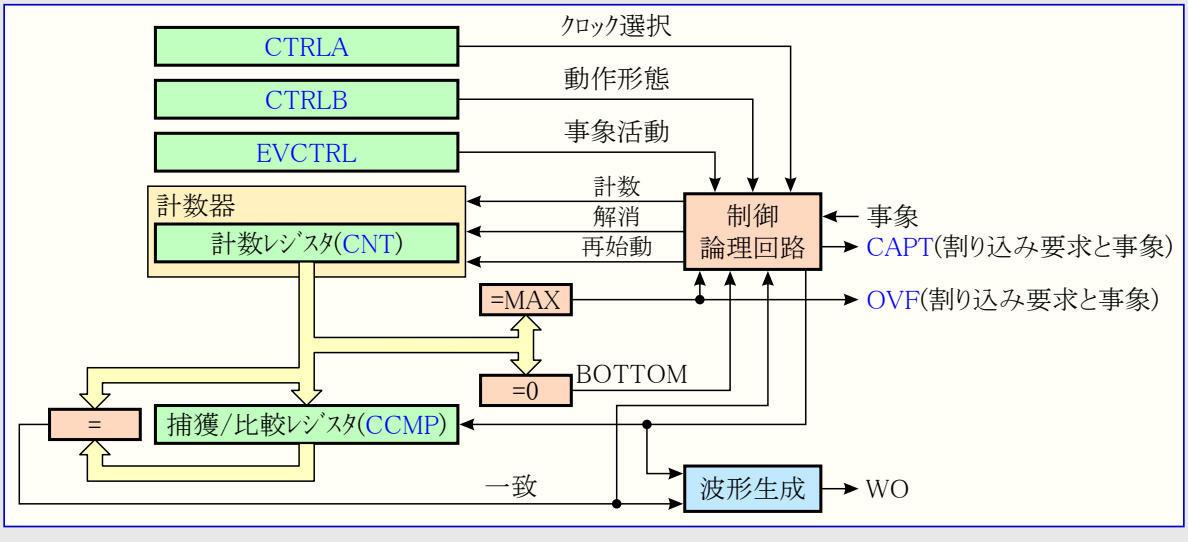
- 16ビット計数器動作形態
  - 周期的割り込み
  - 制限時間検査
  - 計数捕獲
    - 事象での捕獲
    - 周波数測定
    - パルス幅測定
    - 周波数とパルス幅の測定
    - 32ビット捕獲
  - 単発
  - 8ビット パルス幅変調(PWM)
- 事象入力での雑音消去器
- TCA0との同期動作

23.2. 概要

16ビット タイマ/カウンタB型(TCB)の能力は周波数と波形の生成、デジタル信号の時間と周波数の測定を持つ事象での計数捕獲を含みます。TCBは基本計数器と各動作形態が独特な機能を提供する8つの異なる動作形態の1つに設定することができる制御論理回路から成ります。基本計数器は任意選択の前置分周を持つ周辺機能クロックによってクロック駆動されます。

23.2.1. 構成図

図23-1. タイマ/カウンタB型構成図



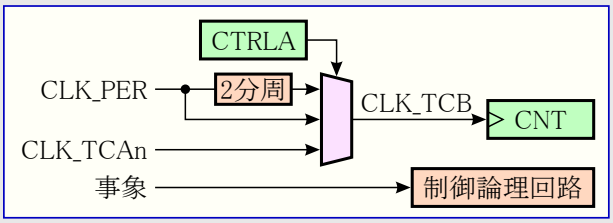
このタイマ/カウンタは周辺機能クロック(CLK_PER)、16ビット タイマ/カウンタA型(CLK_TCAn)、事象システム(EVSYS)からクロック駆動することができます。

制御A(TCBn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域はクロック入力(CLK_TCB)として前置分周器出力の1つを直接、または事象チャネルを選びます。

TCAnからのクロックを使うタイマ/カウンタ設定はそのTCAnと同期して動くことをタイマ/カウンタに許します。

EVSYSを使うことにより、何れかの入出力ピンでの外部クロック信号のようなどの外部事象供給元も計数器クロック入力または制御論理回路入力として使うことができます。事象活動で制御される動作使用時、クロック選択は計数器入力として事象チャネルを使うように設定されなければなりません。

図23-2. タイマ/カウンタB型クロック論理回路



23.2.2. 信号説明

信号	形式	説明
WO	デジタル非同期出力	波形出力

© 2023 Microchip Technology Inc.とその子会社

23.3. 機能的な説明

23.3.1. 定義

右の定義は文書全体を通して使われます。

注: 一般的に用語の'計時器'はタイマ/カウンタが周期的クロック刻みを計数する時に使われます。用語の'計数器'は入力信号が散発的または不規則なクロック刻みを持つ時に使われます。

表23-1. タイマ/カウンタ定義

名称	説明
BOTTOM	計数器は$0000になる時にBOTTOMに到達します。
MAX	計数器は$FFFFになる時に最大に到達します。
TOP	計数器が計数の流れで最高値と等しくなる時にTOPに達します。
CNT	計数器(TCBn.CNT)レジスタ値
CCMP	捕獲/比較(TCBn.CCMP)レジスタ値

23.3.2. 初期化

既定でTCBは周期的割り込み動作です。これの使用を開始するには以下のようにこれらの手順に従ってください。

1. 比較/捕獲(TCBn.CCMP)レジスタにTOP値を書いてください。
2. 任意選択: 制御B(TCBn.CTRLB)レジスタの比較/捕獲出力許可(CCMPEN)ビットに'1'を書いてください。これは対応するPORT出力レジスタの値を無効にして対応するピンでの波形出力を利用可能にします。
3. 制御A(TCBn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって計数器を許可してください。計数器はTCBn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域で設定した前置分周器に従ったクロック刻みの計数を開始します。
4. 計数値は計数(TCBn.CNT)レジスタから読むことができます。周辺機能はCNT値がTOPに達する時に捕獲(CAPT)割り込みと事象を生成します。
   a. 比較/捕獲レジスタが現在のCNTよりも低い値に変更される場合、周辺機能はMAXまで計数して丸めを行います。
   b. MAXで溢れ(OVF)割り込みと事象が生成されます。

23.3.3. 動作

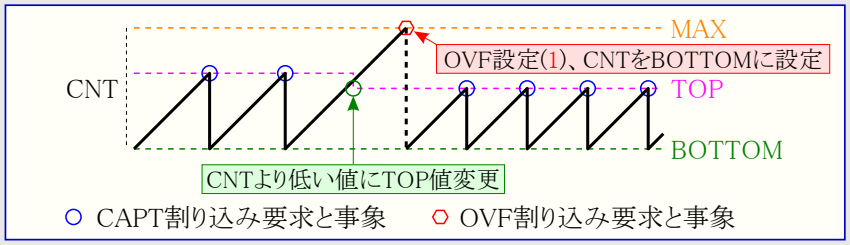
23.3.3.1. 動作形態

計時器は以降の部分で記述される8つの異なる動作形態の1つで動くように構成設定することができます。端検出を保証するために事象パルスは1システム クロック周期より長いことが必要です。

23.3.3.1.1. 周期的割り込み動作

周期的割り込み動作では計数器が捕獲(TOP)値まで計数してBOTTOMから再開します。CAPT割り込みと事象はCNTがTOPと等しい時に生成されます。TOPがCNTよりも低い値に更新された場合、MAX到達でOVFの割り込みと事象が生成され、計数器はBOTTOMから再開します。

図23-3. 周期的割り込み動作



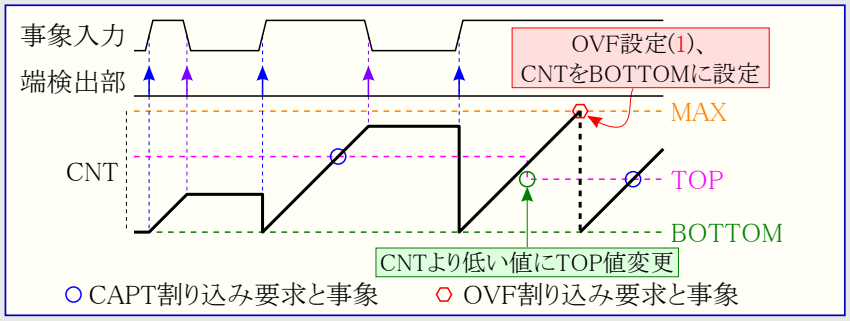
23.3.3.1.2. 制限時間検査動作

制限時間検査動作では事象入力チャネルで検出した最初の信号端で計数器が計数を開始し、次の信号端で停止します。CNTは停止端後静止(凍結状態)に留まり、計数器は新しい開始端で再開します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

開始と停止の端は事象制御(TCBn.EVCTRL)レジスタの事象端(EDGE)ビットによって決められます。第2端前にCNTがTOPに到達する場合、CAPT割り込みと事象が生成されます。TOPがCNTよりも低い値に更新された場合、MAX到達でOVF割り込みと同時に事象が生成され、計数器はBOTTOMから再開します。凍結状態での計数(TCBn.CNT)レジスタまたは比較/捕獲(TCBn.CCMP)レジスタの読み込み、または状態(TCBn.STATUS)レジスタの走行(RUN)ビット書き込みは無効です。

図23-4. 時間制限検査動作



© 2023 Microchip Technology Inc.とその子会社

23.3.3.1.3. 事象での捕獲動作

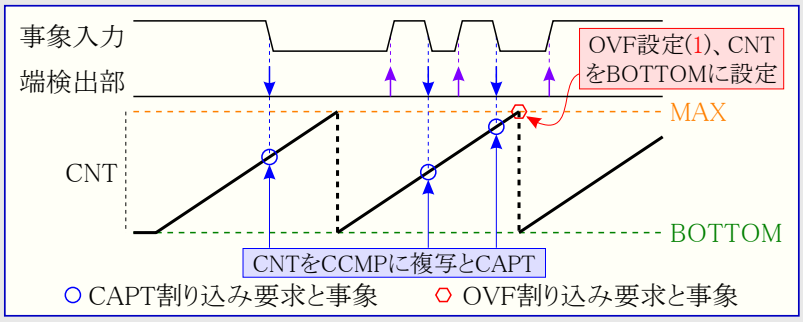
事象での捕獲動作では計数器がBOTTOMからMAXへ継続的に計数します。事象検出時、計数(TCBn.CNT)レジスタ値は比較/捕獲(TCBn.CCMP)レジスタに転送され、CAPT割り込みと事象が生成されます。事象端検出部は上昇端または下降端のどちらかで捕獲を起動するように構成設定することができます。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

右図は事象入力信号の下降端で計数捕獲するように構成設定した捕獲部を示します。CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位バイトが読まれた後で自動的に解除(0)されます。CNTがMAXの時にOVF割り込みと事象が生成されます。

重要: 他のどれかの動作からこの動作へ移行する時に計数器(TCBn. CNT)レジスタに$0000を書くことが推奨されます。

図23-5. 事象での計数捕獲



23.3.3.1.4. 計数捕獲周波数測定動作

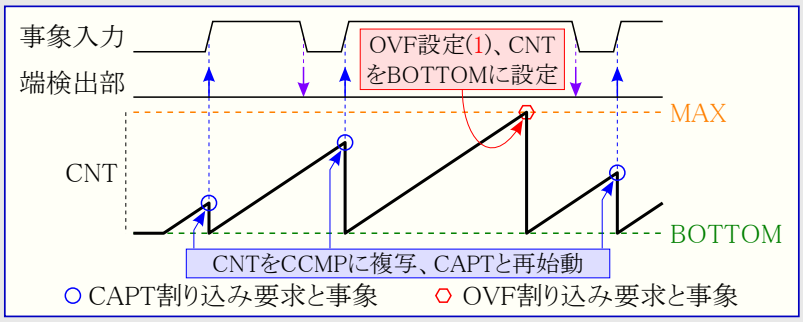
計数捕獲周波数動作ではTCBが事象入力信号の正端または負端のどちらかで計数器値を捕獲して再始動します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位バイトが読まれた後で自動的に解除(0)されます。CNTがMAXの時にOVF割り込みと事象が生成されます。

右図は上昇端で働くように構成設定された時のこの動作を図解します。

図23-6. 計数捕獲周波数測定

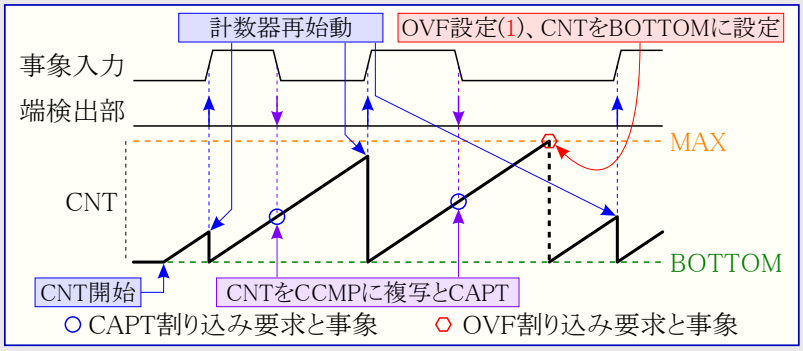


23.3.3.1.5. 計数捕獲パルス幅測定動作

計数捕獲パルス幅測定動作では計数捕獲パルス幅測定が正端で計数器を再始動し、割り込み要求が生成されるのに先立って次の下降端で捕獲します。CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位バイトが読まれた後、自動的に解除(0)されます。CNTがMAXの時にOVF割り込みと事象が生成されます。計時器は自動的に上昇端と下降端の方向を切り替えますが、正しい動きのために2クロック周期の最小端間分離が必要とされます。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

図23-7. 計数捕獲パルス幅測定



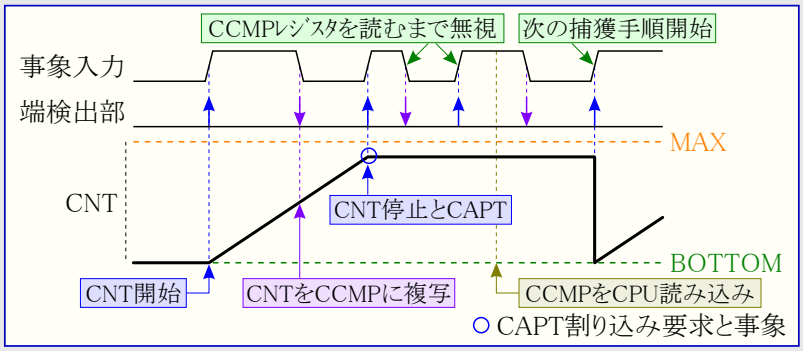
23.3.3.1.6. 計数捕獲周波数/パルス幅測定動作

計数捕獲周波数/パルス幅測定動作では事象入力信号で正端が検出された時に計時器が計数を開始します。後続する下降端で計数値が捕獲されます。計数器は事象入力信号の2つ目の上昇端が検出された時に停止します。これはCAPT割り込み要求フラグを設定(1)します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

比較/捕獲(TCBn.CCMP)レジスタの下位バイトが読まれた後にCAPT割り込み要求フラグが自動的に解除(0)され、新しい捕獲手順の準備が整います。従って、計数(TCBn.CNT)レジスタは事象入力信号の次の正端で0にリセットされるため、比較/捕獲レジスタに先立って読まれなければなりません。CNTがMAXの時にOVF割り込みと事象が生成されます。

図23-8. 計数捕獲周波数/パルス幅測定



© 2023 Microchip Technology Inc.とその子会社

23.3.3.1.7. 単発動作

単発動作は接続された事象チャネルで上昇端または下降端が観測される毎に比較/捕獲(TCBn.CCMP)レジスタによって定義される持続時間を持つパルスを生成するのに使うことができます。

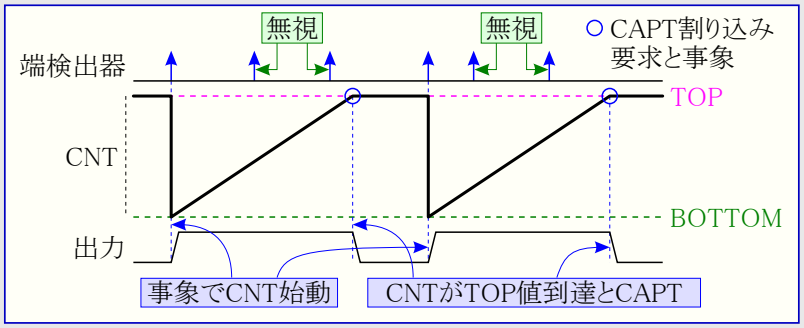
この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

計数器が停止されると、出力ピンがLowに設定されます。接続された事象チャネルで事象が検出された場合、計時器はリセットしてBOTTOMからTOPまでの計数を開始し、同時にその出力をHighに駆動します。計数器が計数しているか否かを見るために状態(TCBn.STATUS)レジスタの走行(Run)ビットを読むことができます。CNTがTCBn.CCMPレジスタ(TOP)値に達すると、計数器は停止して最小1計数器クロック周期(CLK_TCB)間で出力ピンがLowになります。この時間の間の新しい到着事象は無視されます。この後、新しい事象が受け取られてから出力がHighに設定されるまでに2周辺機能クロック周期の遅延があります。事象制御(TCBn.EVCTRL)レジスタの事象端(EDGE)ビットが'1'を書かれると、どの端も計数器の開始を起動できます。EDGEビットが'0'なら、正端だけが開始を起動します。

計数器は例え事象による起動がなくてもこの周辺機能が許可されると、またこの周辺機能が許可されている間に事象制御(TCBn.EVCTRL)レジスタ内の事象端(EDGE)ビットが変更された場合、直ぐに計数を開始します。これは計数(TCBn.CNT)レジスタにTOP値を書くことによって防がれます。同様の動きはTCBn.EVCTRLレジスタ内のEDGEビットが'1'と同時にこの単位部が許可される場合にも見られます。計数レジスタへのTOP値書き込みはこれも防ぎます。

制御B(TCBn.CTRLB)レジスタの非同期許可(ASYNC)ビットが'1'を書かれた場合、計時器は到着事象に対して非同期に反応します。事象端は出力信号を直ちに設定(1)させます。計数器は未だ事象が受け取られた後の2クロック周期で計数を開始します。

図23-9. 単発動作

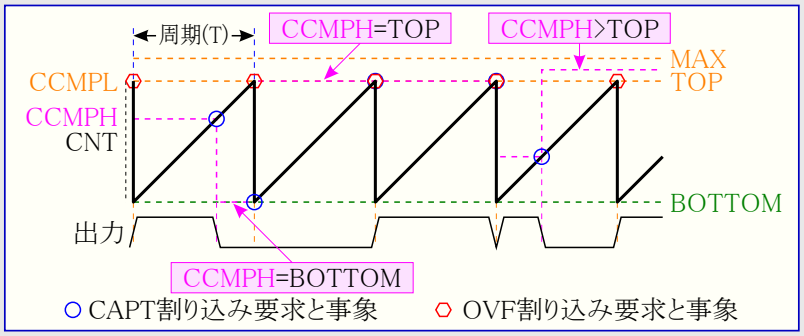


23.3.3.1.8. 8ビットPWM動作

TCBは16ビット比較/捕獲(TCBn.CCMPHとTCBn.CCMPL)レジスタ対の各々が個別の比較レジスタとして使われる8ビットPWM動作で動くように構成設定することができます。周期(T)はCCMPLによって制御され、同時にCCMPHは波形のデューティ サイクルを制御します。計数器はBOTTOMからCCMPLまで継続的に計数し、出力はBOTTOMで設定(1)され、計数器がCCMPHに達する時に解除(0)されます。

CCMPHは出力がHighに駆動される間のクロック数です。CCMPL+1が出力パルスの周期です。

図23-10. 8ビットPWM動作



23.3.3.2. 出力

計時器同期と出力論理レベルは選んだ制御B(TCBn.CTRLB)レジスタの計時器動作(CNTMODE)ビット領域に依存します。単発動作では信号生成が到着事象に対して非同期に起こるようにタイマ/カウンタを構成設定(TCBn.CTRLBの非同期許可(ASYNC)ビット=1に)することができます。

その後、出力信号はTCBクロックに同期化される代わりに到着事象で直ちに設定(1)されます。出力が直ちに設定(1)されるとは言え、計数器が計数を開始するのに先立って2～3 CLK_TCB周期かかります。

TCBn.CTRLBの比較/捕獲出力許可(CCMPEN)ビットの'1'書き込みが波形出力を許可します。これは対応するポート出力レジスタでの値を無効にして対応するピンで波形出力を利用可能にします。

各種構成設定と出力でのそれらの影響が下表で一覧にされます。

表23-2. 出力構成設定

CCMPEN	CNTMODE	ASYNC	出力
1	単発動作	0	出力は計数器開始時にHigh、計数器停止時にLowです。
		1	出力は事象到着時にHigh、計数器停止時にLowです。
	8ビットPWM動作	非適用	8ビットPWM動作
	その他の動作	非適用	TCBn.CTRLBレジスタの比較/捕獲ピン初期値(CCMPINIT)ビットが初期出力レベルを選択
0	非適用	非適用	出力なし

© 2023 Microchip Technology Inc.とその子会社

周辺機能が許可されている間の動作変更は予期せぬ出力を生成し得るため推奨されません。計時器構成設定中に割り込み要求フラグが設定(1)される可能性があります。周辺機能構成設定後にタイマ/カウンタ割り込み要求フラグ(TCBn.INTFLAGS)レジスタを解除(=0)することが推奨されます。

23.3.3.3. 32ビット計数捕獲

2つの16ビット タイマ/カウンタB型(TCBn)は真の32ビット計数捕獲として動くように結合することができます。

1つのTCBは下位2バイトを計数します。一旦この計数器がMAXに達すると、溢れ(OVF)事象が生成され、計数器は丸められます。2つ目のTCBはこれらのOVF事象を計数するように構成設定され、従って上位2バイトを提供します。32ビット計数器値は2つの計数器値から連結されます。

32ビット計数器として機能するには、2つのTCBとシステムが以下の項で記述されるように準備されなければなりません。

システム構成設定

- 応用の必要条件に従って下位側TCB用計数入力のために供給元(TCA、事象、CLK_PER)を構成設定してください。
- 下位側TCB(事象生成部)からのOVF事象を上位側TCB(事象使用部)に配線するように事象システムを構成設定してください。
- 同じ捕獲事象(CAPT)生成部を両TCBに配線するように事象システムを構成設定してください。

下位側計数器の構成設定

- 制御A(CTRLA)レジスタのクロック選択(CLKSEL)ビット領域に書くことによって構成設定した計数入力を選んでください。
- 計数捕獲動作の1つを選ぶように制御B(CTRLB)レジスタの計時器動作(CNTMODE)ビット領域を書いてください。
- CTRLAの2つのタイマ/カウンタ連結(CASCADE)ビットは'0'でなければなりません。

上位側計数器の構成設定

- CTRLAの2つのタイマ/カウンタ連結(CASCADE)ビットに'1'を書くことによって32ビット動作を許可してください。
- CTRLAレジスタのクロック選択(CLKSEL)ビット領域を書くことによってクロック入力として事象を選んでください。
- 下位側TCBと同じ計数捕獲動作を選ぶように制御B(CTRLB)レジスタの計時器動作(CNTMODE)ビット領域を書いてください。

32ビット計数器値捕獲

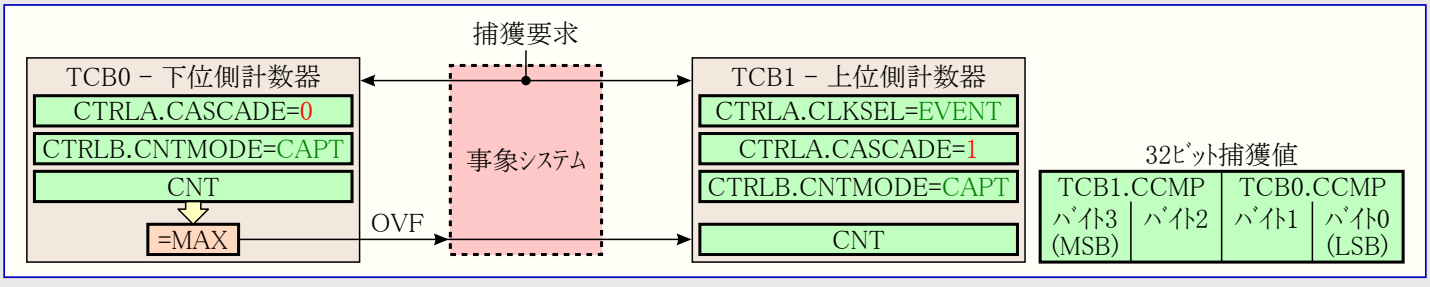
32ビット計数器値を取得するには両TCBにCAPT事象を送ってください。両TCBは同じ捕獲動作で動いており、故に各々が各々の比較/捕獲(CCMP)レジスタで現在の計数器値(CNT)を捕獲します。32ビット捕獲値は2つのCCMPレジスタの連結によって形成されます。

例23-1. 下位側計数器としてTCB0、上位側計数器としてTCB1の使い方

TCB0は計数入力を数え、TCB1はTCB0からのOVF事象を数えます。両TCBは事象での計数捕獲動作です。

CAPT事象が生成され、それらの現在のCNT値をそれら各々のCCMPレジスタに複写させます。2つの異なるCASCADEビット値が正しいCAPT事象タイミングを許します。

捕獲した32ビット値はTCB1.CCMP(上位側)とTCB0.CCMP(下位側)で連結されます。



23.3.3.4. 雑音消去器

雑音消去器は簡単なデジタル濾波器の仕組みを用いることによって雑音耐性を改善します。事象制御(TCBn.EVCTRL)レジスタの雑音濾波器(FILTER)ビットが許可されると、周辺機能は事象チャネルを監視して最後の4つの観測試料の記録を維持します。4つの連続する試料が等しければ、その入力は安定と見做され、その信号は端検出器に供給されます。

許可されると、雑音消去器は入力に印加された変化と入力比較レジスタの更新の間に4システム クロック周期の付加遅延をもたらします。

雑音消去器は周辺機能クロックを使い、従って、前置分周器によって影響を及ぼされません。

23.3.3.5. タイマ/カウンタA型との同期

TCBは制御A(TCBn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域に'10'を書くことによってタイマ/カウンタA型(TCAn)のクロック(CLK_TCA)を使うように構成設定することができます。この設定でTCBはTCAnで選ばれるのと同じクロック元で計数します。

制御A(TCBn.CTRLA)レジスタの同期更新(SYNCUPD)ビットが'1'を書かれると、TCB計数器はTCAn計数器が再始動する時に再始動します。

© 2023 Microchip Technology Inc.とその子会社

23.3.4. 事象

TCBは以下の表で記述される事象を生成することができます。

表23-3. TCBでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
TCBn	CAPT	CAPTフラグ設定(1)	パルス	CLK_PER	1 CLK_PER周期
	OVF	OVFフラグ設定(1)			

CAPTとOVFの事象を生成するための条件はタイマ/カウンタ割り込み要求フラグ(TCBn.INTFLAGS)レジスタで対応する割り込み要求フラグを掲げるそれらと同じです。事象使用部と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

TCBは下表で記述される事象を受け取ることができます。

表23-4. TCBでの事象使用部と利用可能な事象活動

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
TCBn	CAPT	制限時間検査	端	同期
		事象で計数捕獲		
		計数捕獲周波数測定		
		計数捕獲パルス幅測定		
		計数捕獲周波数/パルス幅測定		
		単発		両方
	COUNT	事象で計数		同期

CAPTとCOUNTは入力事象で検出して働くTCB事象使用部です。

COUNT事象使用部は制御A(TCBn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域をEVENTに変更することによってこの周辺機能で許可され、それによって事象システムを設定します。

事象制御(TCBn.EVCTRL)レジスタの捕獲事象入力許可(CAPTEI)ビットが'1'を書かれた場合、やって来る事象は制御B(TCBn.CTRLB)レジスタの計時器動作(CNTMODE)ビット領域とTCBn.EVCTRLレジスタの事象端選択(EDGE)ビットによって定義されたような事象活動になります。事象は認知されるために最低1 CLK_PER周期間留まることが必要です。

単発動作に対して非同期動作が許可された場合、事象は端起動され、1周辺機能クロック周期よりも短い事象入力で変更を捕獲します。

23.3.5. 割り込み

表23-5. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
CAPT	TCB割り込み	動作形態に依存。TCBn.INTFLAGSレジスタのCAPTの記述をご覧ください。
OVF		タイマ/カウンタがMAXからBOTTOMへ溢れ。

割り込み条件が起こると、周辺機能の割り込み要求フラグ(TCBn.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(TCBn.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

23.3.6. 休止形態動作

TCBは既定でスタンバイ休止動作に於いて禁止されます。休止動作へ移行すると直ぐに停止されます。

制御A(TCBn.CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットが'1'を書かれた場合、この単位部は完全な動作をすることができます。

全ての動作はパワーダウン休止動作で停止されます。

© 2023 Microchip Technology Inc.とその子会社

23.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		RUNSTDBY	CASCADE	SYNCUPD	CLKSEL2～0			ENABLE
+$01	CTRLB	7～0		ASYNC	CCMPINIT	CCMPEN		CNTMODE2～0		
+$02 ～ +$03	予約									
+$04	EVCTRL	7～0		FILTER		EDGE				CAPTEI
+$05	INTCTRL	7～0							OVF	CAPT
+$06	INTFLAGS	7～0							OVF	CAPT
+$07	STATUS	7～0								RUN
+$08	DBGCTRL	7～0								DBGRUN
+$09	TEMP	7～0	TEMP7～0							
+$0A	CNT	7～0	CNT7～0							
+$0B		15～8	CNT15～8							
+$0C	CCMP	7～0	CCMP7～0							
+$0D		15～8	CCMP15～8							

© 2023 Microchip Technology Inc.とその子会社

23.5. レジスタ説明

23.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		RUNSTDBY	CASCADE	SYNCUPD		CLKSEL2~0		ENABLE
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – RUNSTDBY : スタンバイ時走行** (Run Standby)

このビットへの'1'書き込みはこの周辺機能にスタンバイ休止動作での走行を許します。

● **ビット5 – CASCADE : 2つのタイマ/カウンタ連結** (Cascade Two Timer/Counters)

このビットに'1'を書くと、事象システムを使う32ビット動作用に2つの16ビット タイマ/カウンタB型(TCBn)の連結を許可します。このビットは上位2バイト(MSB)に使われるタイマ/カウンタに対して'1'でなければなりません。このビットが'1'の時は捕獲(CAPT)用に選ばれた事象元が1周辺機能クロック周期遅らされます。これは事象システム経由で2つの計数器を連結する時の繰り上げ伝搬遅延を補償します。

● **ビット4 – SYNCUPD : 同期更新** (Synchronize Update)

このビットが'1'を書かれると、TCBはTCAnが再始動または溢れる時に必ず再始動します。これはPWM周期での同期捕獲に使うことができます。クロック元としてTCAnが選ばれた場合、TCBはそのTCAnが再始動した時に再始動します。他のクロック選択に対してはTCA0と共に再始動します。

● **ビット3~1 – CLKSEL2~0 : クロック選択** (Clock Select)

これらビットの書き込みはこの周辺機能用のクロック元を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV1	DIV2	TCA0	TCA1	–	–	–	EVENT
説明	CLK_PER	CLK_PER/2	TCA0からのCLK_TCA	TCA1からのCLK_TCA	(予約)	(予約)	(予約)	事象入力の正端

● **ビット0 – ENABLE : 許可** (Enable)

このビットに'1'を書くことがタイマ/カウンタB型周辺機能を許可します。

23.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		ASYNC	CCMPINIT	CCMPEN		CNTMODE2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – ASYNC : 非同期許可** (Asynchronous Enable)

このビットに'1'を書くことが単発動作でTCB出力信号の非同期更新を許します。

値	0	1
説明	出力は計数器の同期後開始時にHighになります。	出力は事象到着時にHighになります。

● **ビット5 – CCMPINIT : 比較/捕獲ピン初期値** (Compare/Capture Pin Initial Value)

このビットはピン出力が使われる時にピンの初期出力値を設定するのに使われます。このビットは8ビットPWM動作と単発動作で無効です。

値	0	1
説明	初期のピン状態はLowです。	初期のピン状態はHighです。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ4 – CCMPEN : 比較/捕獲出力許可** (Compare/Capture Output Enable)

このﾋﾞｯﾄに'1'を書くと、波形出力を許可します。これは対応するPORT出力ﾚｼﾞｽﾀの値を無効にして対応するﾋﾟﾝで波形出力を利用可能にします。対応するﾋﾟﾝ方向はPORT周辺機能で出力として構成設定されなければなりません。

値	0	1
説明	対応ﾋﾟﾝで波形出力は許可されません。	波形出力は対応ﾋﾟﾝの出力値を上書きします。

● **ﾋﾞｯﾄ2~0 – CNTMODE2~0 : 計時器動作** (Timer Mode)

このﾋﾞｯﾄ領域への書き込みは計時器動作を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1
名称	INT	TIMEOUT	CAPT	FRQ
説明	周期的割り込み動作	制限時間検査動作	事象での計数捕獲動作	計数捕獲周波数測定動作
値	1 0 0	1 0 1	1 1 0	1 1 1
名称	PW	FRQPW	SINGLE	PWM8
説明	計数捕獲ﾊﾟﾙｽ幅測定動作	計数捕獲周波数/ﾊﾟﾙｽ幅測定動作	単発動作	8ﾋﾞｯﾄPWM動作

23.5.3. EVCTRL – 事象制御 (Event Control)

名称 : EVCTRL
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		FILTER		EDGE				CAPTEI
ｱｸｾｽ種別	R	R/W	R	R/W	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – FILTER : 捕獲入力雑音消去濾波器許可** (Input Capture Noise Cancellation Filter)

このﾋﾞｯﾄに'1'を書くことが捕獲入力雑音消去部を許可します。

● **ﾋﾞｯﾄ4 – EDGE : 事象端選択** (Event Edge)

このﾋﾞｯﾄは事象端を選ぶのに使われます。このﾋﾞｯﾄの影響は制御B(TCBn.CTRLB)ﾚｼﾞｽﾀで選んだ計数動作(CNTMODE)に依存します。"–"は事象や端がこの動作で無効なことを意味します。

計数動作	EDGE	正(上昇)端	負(下降)端
周期的割り込み動作	0	–	
	1	–	
制限時間検査動作	0	計数開始	計数停止
	1	計数停止	計数開始
事象での計数捕獲動作	0	計数値を捕獲、割り込み	–
	1	–	計数値を捕獲、割り込み
計数捕獲周波数測定動作	0	計数値を捕獲/解消/再開、割り込み	–
	1	–	計数値を捕獲/解消/再開、割り込み
計数捕獲ﾊﾟﾙｽ幅測定動作	0	計数値を解消/再開	計数値を捕獲、割り込み
	1	計数値を捕獲、割り込み	計数値を解消/再開
計数捕獲周波数/ﾊﾟﾙｽ幅測定動作	0	第1正端で計数値を解消/再開、後続する負端で捕獲、第2正端で停止と割り込み	
	1	第1負端で計数値を解消/再開、後続する正端で捕獲、第2負端で停止と割り込み	
単発動作	0	計数開始	–
	1	計数開始	計数開始
8ﾋﾞｯﾄPWM動作	0	–	
	1	–	

● **ﾋﾞｯﾄ0 – CAPTEI : 捕獲事象入力許可** (Capture Event Input Enable)

このﾋﾞｯﾄに'1'を書くことがTCBに対する事象入力捕獲を許可します。

© 2023 Microchip Technology Inc.とその子会社

23.5.4. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							OVF	CAPT
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – OVF : 溢れ割り込み許可** (Overflow Interrupt Enable)
このﾋﾞｯﾄに'1'を書くことが溢れでの割り込みを許可します。

● **ﾋﾞｯﾄ0 – CAPT : 捕獲割り込み許可** (Capture Interrupt Enable)
このﾋﾞｯﾄに'1'を書くことが捕獲での割り込みを許可します。

23.5.5. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flags)

名称 : INTFLAGS
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							OVF	CAPT
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – OVF : 溢れ割り込み要求ﾌﾗｸﾞ** (Overflow Interrupt Flag)
このﾋﾞｯﾄは溢れ割り込み発生時に設定(1)されます。このﾌﾗｸﾞはﾀｲﾏ/ｶｳﾝﾀがMAXからBOTTOMに丸められる時に必ず設定(1)されます。
このﾋﾞｯﾄはこのﾋﾞｯﾄ位置に'1'を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ0 – CAPT : 捕獲割り込み要求ﾌﾗｸﾞ** (Capture Interrupt Flag)
このﾋﾞｯﾄは捕獲割り込み発生時に設定(1)されます。割り込み条件は制御B(TCBn.CTRLB)ﾚｼﾞｽﾀの計数動作(CNTMODE)ﾋﾞｯﾄ領域に依存します。
このﾋﾞｯﾄはこれに'1'を書くことによって、または捕獲動作で比較/捕獲(CCMP)ﾚｼﾞｽﾀが読まれた時に解除(0)されます。

計数器動作	割り込み設定条件	TOP値	CAPT
周期的割り込み動作	計数器がTOPに達した時に設定(1)	CCMP	CNT=TOP
制限時間検査動作			
単発動作			
計数捕獲周波数測定動作	捕獲ﾚｼﾞｽﾀを設定して計数器再始動時端で設定(1)、ﾌﾗｸﾞは捕獲読み込み時に解除(0)	–	事象でCNTをCCMPに複写、計数再開(CNT=BOTTOM)
事象での計数捕獲動作	事象が起きて捕獲ﾚｼﾞｽﾀが設定される時に設定(1)、ﾌﾗｸﾞは捕獲読み込み時に解除(0)		
計数捕獲ﾊﾟﾙｽ幅測定動作	捕獲ﾚｼﾞｽﾀを設定して計数器再始動時端で設定(1)、直前端で計数器初期化、ﾌﾗｸﾞは捕獲読み込み時に解除(0)		事象でCNTをCCMPに複写、計数継続
計数捕獲周波数/ﾊﾟﾙｽ幅測定動作	計数器停止時の第2(正/負)端で設定(1)、ﾌﾗｸﾞは捕獲読み込み時に解除(0)		
8ﾋﾞｯﾄPWM動作	計数器がCCMPLに達した時に設定(1)	CCMPL	CNT=CCMPL

© 2023 Microchip Technology Inc.とその子会社

23.5.6. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								RUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – RUN : 走行** (Run)

計数器が走行している時にこのﾋﾞｯﾄが'1'に設定されます。計数器が停止されると、このﾋﾞｯﾄが'0'に解除されます。
このﾋﾞｯﾄは読み込み専用でUPDIによって設定することはできません。

23.5.7. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control)

名称 : DBGCTRL
変位 : +$08
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Debug Run)

値	0	1
説明	中断ﾃﾞﾊﾞｯｸﾞ動作で停止され事象を無視	中断ﾃﾞﾊﾞｯｸﾞ動作でCPU停止時に走行継続

23.5.8. TEMP – 一時ﾚｼﾞｽﾀ (Temporary Value)

名称 : TEMP
変位 : +$09
ﾘｾｯﾄ : $00
特質 : –

一時ﾚｼﾞｽﾀはこの周辺機能の16ﾋﾞｯﾄ ﾚｼﾞｽﾀへの16ﾋﾞｯﾄ単一周期ｱｸｾｽのためにCPUによって使われます。このﾚｼﾞｽﾀはこの周辺機能の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀに対して共通で、ｿﾌﾄｳｪｱによって読み書きすることができます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については「ﾒﾓﾘ」章の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TEMP7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値** (Temporary Value)

© 2023 Microchip Technology Inc.とその子会社

23.5.9. CNT – 計数 (Count)

名称 : CNT (CNTH,CNTL)
変位 : +$0A
ﾘｾｯﾄ : $0000
特質 : –

TCBn.CNTHとTCBn.CNTLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のTCBn.CNTを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

CPUとUPDIの書き込みｱｸｾｽはﾚｼﾞｽﾀの内部更新を超える優先権を持ちます。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	CNT15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CNT7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~8 – CNT15~8 : 計数値上位ﾊﾞｲﾄ** (Count Value high)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数ﾚｼﾞｽﾀの上位ﾊﾞｲﾄを保持します。

● **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数値下位ﾊﾞｲﾄ** (Count Value low)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数ﾚｼﾞｽﾀの下位ﾊﾞｲﾄを保持します。

23.5.10. CCMP – 比較/捕獲 (Compare/Capture)

名称 : CCMP (CCMPH,CCMPL)
変位 : +$28
ﾘｾｯﾄ : $0000
特質 : –

TCBn.CCMPHとTCBn.CCMPLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のTCBn.CCMPを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

このﾚｼﾞｽﾀは動作形態に依存して異なる機能を持ちます。

- 捕獲動作に対して、これらのﾚｼﾞｽﾀは捕獲発生時に捕獲された計数器の値を含みます。
- 周期的割り込み、制限時間検査、単発の動作でこのﾚｼﾞｽﾀはTOP値として働きます。
- 8ﾋﾞｯﾄPWM動作ではTCBn.CCMPHとTCBn.CCMPLは2つの独立した比較ﾚｼﾞｽﾀとして働きます。波形の周期がCCMPLによって制御される一方で、CCMPHがﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	CCMP15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CCMP7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~8 – CCMP15~8 : 比較/捕獲値上位ﾊﾞｲﾄ** (Compare/Capture Value high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄの比較/捕獲/TOP値の上位ﾊﾞｲﾄを保持します。

● **ﾋﾞｯﾄ7~0 – CCMP7~0 : 比較/捕獲値下位ﾊﾞｲﾄ** (Compare/Capture Value low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄの比較/捕獲/TOP値の下位ﾊﾞｲﾄを保持します。

© 2023 Microchip Technology Inc.とその子会社

24. RTC – 実時間計数器

24.1. 特徴

- 16ﾋﾞｯﾄ分解能
- 選択可能なｸﾛｯｸ元
- 設定可能な15ﾋﾞｯﾄ ｸﾛｯｸ前置分周
- 1つの比較ﾚｼﾞｽﾀ
- 1つの定期ﾚｼﾞｽﾀ
- 定期上昇溢れでの計数器解消
- 任意選択の上昇溢れと比較一致での割り込み/事象
- 周期的な割り込みと事象
- ｸﾘｽﾀﾙ誤差修正

24.2. 概要

RTC周辺機能は実時間計数器(RTC:Real-Time Couter)と周期的割り込み計時器(PIT:Priodic Interrupt Timer)の2つのﾀｲﾐﾝｸﾞ機能を提供します。

PIT機能はRTC機能から独立して許可することができます。

RTC – 実時間計数器

RTCは計数ﾚｼﾞｽﾀで(前置分周された)ｸﾛｯｸ周期を計数し、計数ﾚｼﾞｽﾀの内容を定期ﾚｼﾞｽﾀ及び比較ﾚｼﾞｽﾀと比較します。

RTCは比較一致または溢れで割り込みと事象の両方を生成することができます。計数器値が比較ﾚｼﾞｽﾀ値と等しい後の最初の計数で比較割り込みや事象を、計数器値が定期ﾚｼﾞｽﾀ値と等しい後の最初の計数で溢れ割り込みや事象を生成します。溢れは計数器値を0にﾘｾｯﾄします。

RTC周辺機能は時間の経緯を保つよう、一般的に低電力休止動作形態を含み継続して動きます。これは規則的な間隔で休止動作形態からﾃﾞﾊﾞｲｽを起き上がらせたり、ﾃﾞﾊﾞｲｽに割り込むことができます。

基準ｸﾛｯｸは代表的に外部ｸﾘｽﾀﾙからの32.768kHz出力です。RTCは外部ｸﾛｯｸ信号、32.768kHz内部超低電力発振器(OSC32K)、または32分周されたOSC32Kからもｸﾛｯｸ駆動することができます。

RTC周辺機能は計数器へ至る前に基準ｸﾛｯｸを下げることができる設定可能な15ﾋﾞｯﾄの前置分周器を含みます。RTCに対して広範囲の分解能と時間限度を構成設定することができます。32.768kHzのｸﾛｯｸ元とで、最大分解能は30.5µsで、時間限度期間は2sまでにすることができます。1sの分解能とで、最大時間限度期間は18時間よりも多くなります(65536s)。

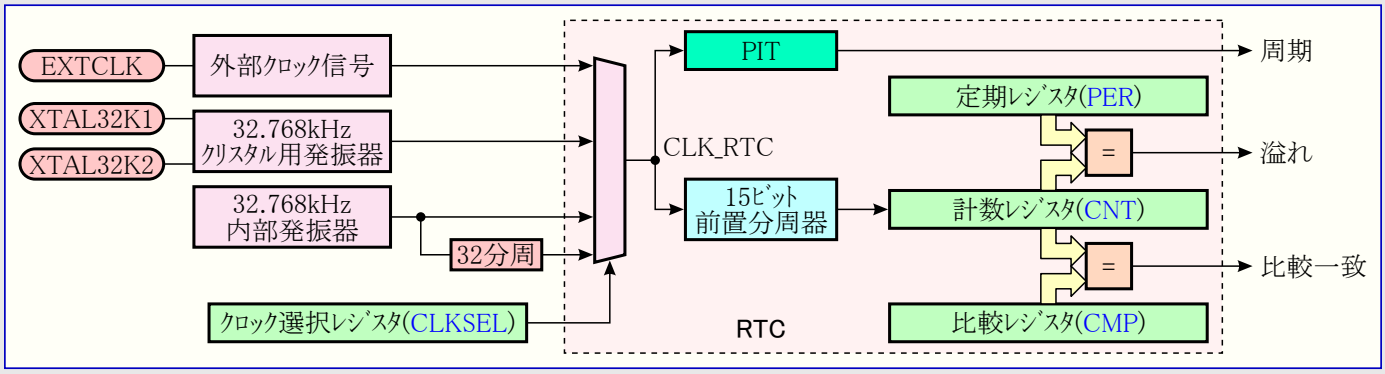
RTCは外部ｸﾘｽﾀﾙ選択を用いる動作時のｸﾘｽﾀﾙ誤差修正を支援します。修正のために外部的に校正された値が使われます。RTCはｿﾌﾄｳｪｱによって±1ppmで調整することができ、最大調整は±127ppmです。RTC修正動作はｸﾘｽﾀﾙ誤差を考慮するために前置分周器を(計数を飛ばすことによる)加速または(余分な計数を追加することによる)減速のどちらかを行います。

PIT – 周期的割り込み計時器

PITはRTC機能と同じｸﾛｯｸ元を使い、毎回の第nｸﾛｯｸ周期で割り込み要求やﾚﾍﾞﾙ事象を生成することができます。nは割り込みに対して4,8,16,～32768、事象に対して64,128,256,～8192から選ぶことができます。

24.2.1. 構成図

図24-1. RTC構成図



24.3. ｸﾛｯｸ

周辺機能ｸﾛｯｸ(CLK_PER)は前置分周器設定と無関係に計数器値を読むためにRTCｸﾛｯｸ(CLK_RTC)よりも最低4倍速いことが必要とされます。

32.768kHzｸﾘｽﾀﾙは必要とされる何れかの負荷容量と共にXTAL32K1とXTAL32K2のﾋﾟﾝに接続することができます。代わりに、外部ﾃﾞｼﾞﾀﾙ ｸﾛｯｸをXTAL32K1ﾋﾟﾝに接続することができます。

© 2023 Microchip Technology Inc.とその子会社

24.4. RTCの機能的な説明

RTC周辺機能は実時間計数器(RTC)と周期的割り込み計時器(PIT)の2つのﾀｲﾐﾝｸﾞ機能を提供します。

24.4.1. 初期化

RTC周辺機能と望む活動(割り込み要求、出力事象)を許可する前に、RTCを動かすためにRTC計数器用の供給元ｸﾛｯｸが構成設定されなければなりません。

24.4.1.1. CLK_RTCｸﾛｯｸ構成設定

CLK_RTCを構成設定するには以下のこれらの手順に従ってください。

1. ｸﾛｯｸ制御器(CLKCTRL)周辺機能で望む発振器を必要とされる動作に構成設定してください。
2. それに応じてｸﾛｯｸ選択(RTC.CLKSEL)ﾚｼﾞｽﾀのｸﾛｯｸ選択(CLKSEL)ﾋﾞｯﾄ領域を書いてください。

CLK_RTCｸﾛｯｸ構成設定はRTCとPITの両機能によって使われます。

24.4.1.2. RTC構成設定

RTCを動かすには以下のこれらの手順に従ってください。

1. 比較(RTC.CMP)ﾚｼﾞｽﾀに比較値、定期(RTC.PER)ﾚｼﾞｽﾀに溢れ値を設定してください。
2. 割り込み制御(RTC.INTCTRL)ﾚｼﾞｽﾀで各々の割り込み許可(CMP,OVF)ﾋﾞｯﾄに'1'を書くことによって望む割り込みを許可してください。
3. 制御A(RTC.CTRLA)ﾚｼﾞｽﾀで前置分周器(PRESCALER)ﾋﾞｯﾄ領域に望む値を書くことによってRTC内部前置分周器を構成設定してください。
4. RTC.CTRLAﾚｼﾞｽﾀでRTC周辺機能許可(RTCEN)ﾋﾞｯﾄに'1'を書くことによってRTCを許可してください。

24.4.2. 操作 – RTC

24.4.2.1. 許可と禁止

RTCは制御Aﾚｼﾞｽﾀ(RTC.CTRLA)ﾚｼﾞｽﾀのRTC周辺機能許可(RTCEN)ﾋﾞｯﾄに'1'を書くことによって許可されます。RTCはRTC.CTRLAのRTCENﾋﾞｯﾄに'0'を書くことによって禁止されます。

24.5. PITの機能的な説明

RTC周辺機能は実時間計数器(RTC)と周期割り込み計時器(PIT)の2つのﾀｲﾐﾝｸﾞ機能を提供します。

24.5.1. 初期化

PITを動かすには以下のこれらの手順に従ってください。

1. 「24.4.1.1. CLK_RTCｸﾛｯｸ構成設定」項で記述されるようにRTCｸﾛｯｸ(CLK_RTC)を構成設定してください。
2. 周期割り込み計時器割り込み制御(RTC.PITINTCTRL)ﾚｼﾞｽﾀの周期割り込み許可(PI)ﾋﾞｯﾄに'1'を書くことによって割り込みを許可してください。
3. 周期割り込み計時器制御A(RTC.PITCTRLA)ﾚｼﾞｽﾀで周期(PERIOD)ﾋﾞｯﾄ領域に望む値を書くことによって割り込み周期を選んでください。
4. RTC.PITCTRLAﾚｼﾞｽﾀで周期割り込み計時器許可(PITEN)ﾋﾞｯﾄに'1'を書くことによってPITを許可してください。

24.5.2. 操作 – PIT

24.5.2.1. 許可と禁止

PITは周期割り込み計時器制御A(RTC.PITCTRLA)ﾚｼﾞｽﾀの周期割り込み計時器許可(PITEN)ﾋﾞｯﾄに'1'を書くことによって許可されます。PITはRTC.PITCTRLAのPITENﾋﾞｯﾄに'0'を書くことによって禁止されます。

24.5.2.2. PIT割り込みﾀｲﾐﾝｸﾞ

初回割り込みのﾀｲﾐﾝｸﾞ

PITとRTCの両機能は前置分周器内側の同じ計数器で動き、下で記述されるように構成設定することができます。

- RTC割り込み周期は定期(RTC.PER)ﾚｼﾞｽﾀを書くことによって構成設定されます。
- PIT割り込み周期は周期割り込み計時器制御A(RTC.PITCTRLA)ﾚｼﾞｽﾀの周期(PERIOD)ﾋﾞｯﾄ領域を書くことによって構成設定されます。

前置分周器は両機能がOFF(RTC.CTRLAのRTC周辺機能許可(RTCEN)ﾋﾞｯﾄとRTC.PITCTRLAの周期割り込み計時器許可(PITEN)ﾋﾞｯﾄが0)の時にOFFですが、どちらかの機能が許可されると動きます(即ち、内部計数器が計数します)。この理由のため、最初のPIT割り込みとRTC計数刻みのﾀｲﾐﾝｸﾞは未知(許可と完全な周期間の何時か)です。

© 2023 Microchip Technology Inc.とその子会社

継続動作

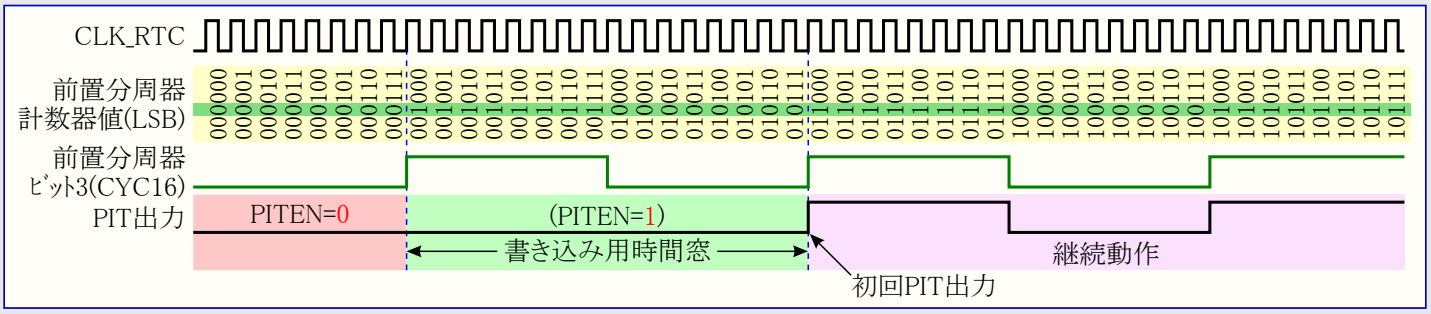
初回割り込み後、PITは完全なPIT周期信号に帰着する1/2 PIT周期毎の交互切り替えを続けます。

例24-1. PERIOD=CYC16に対するPITﾀｲﾐﾝｸﾞ図

RTC.PITCTRLAでのPERIOD=CYC16に対して、PITは事実上前置分周器計数器ﾋﾞｯﾄ3の状態に従い、故に結果の割り込み出力は16 CLK_RTC周回の周期を持ちます。

初回PIT割り込みとPITENへの'1'書き込み間の時間は実質的に0と(n CLK_RTC周期の)PIT周期間で変わり得ます。PIT許可とそれの初回出力間の正確な遅延は前置分周器の計数段階に依存し、下で示される初回割り込みは先行する時間窓内側の何処かでPITENへ'1'を書くことによってもたらされます。

図24-2. PIT許可と初回割り込み間のﾀｲﾐﾝｸﾞ



24.6. ｸﾘｽﾀﾙ誤差修正

RTCとPIT用の前置分周器は制御A(RTC.CTRLA)ﾚｼﾞｽﾀの周波数修正許可(CORREN)ﾋﾞｯﾄが'1'の時にｸﾘｽﾀﾙ周波数校正(CALIB)ﾚｼﾞｽﾀからのppm誤差値を使うことによってｸﾘｽﾀﾙ ｸﾛｯｸの内部周波数修正を行うことができます。

CALIBﾚｼﾞｽﾀは周波数誤差についての情報に基づき、使用者によって書かれなければなりません。修正操作は100万周期間隔を通してRTC.CALIBﾚｼﾞｽﾀ内の誤差修正値(ERROR)ﾋﾞｯﾄ領域で与えられる値に等しい周期数を分散して追加または削除することによって実行されます。

ｸﾛｯｸ修正は計数(RTC.CNT)ﾚｼﾞｽﾀを通して利用可能なRTC計数値またはPIT間隔に反映されます。

修正機能を禁止した場合、進行中の修正周回はこの機能が禁止されるのに先立って完了されます。

注: 負の修正でこの機能を使う場合、最小前置分周構成設定は2分周(DIV2)です。

24.7. 事象

RTCは次表で記述される事象を生成することができます。

表24-1. RTC事象生成部

生成部名		説明	事象型	生成ｸﾛｯｸ領域	事象長
周辺機能	事象				
RTC	OVF	溢れ	ﾊﾟﾙｽ	CLK_RTC	1 CLK_RTC周期
	CMP	比較一致			
	EVGEN0SEL	前置分周したCLK_RTC	ﾚﾍﾞﾙ		選んだ前置分周器事象によって定義
	EVGEN1SEL				

OVFとCMPの事象を生成するための条件は割り込み要求ﾌﾗｸﾞ(RTC.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞを掲げるそれらと同じです。

事象使用部と事象ｼｽﾃﾑ構成設定に関するより多くの詳細については「EVSYS – 事象ｼｽﾃﾑ」章を参照してください。

24.8. 割り込み

表26-2. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
RTC	実時間計数器溢れと比較一致割り込み	・溢れ(OVF) ：計数器が定期(RTC.PER)ﾚｼﾞｽﾀからの値に達して0に丸められる ・比較一致(CMP) ：計数器(RTC.CNT)ﾚｼﾞｽﾀからの値と比較(RTC.CMP)ﾚｼﾞｽﾀからの値間で一致
PIT	周期割り込み計時器割り込み	RTC.PITCTRLAのPERIODﾋﾞｯﾄ領域で構成設定したように時間周期通過

割り込み条件が起こると、周辺機能の割り込み要求ﾌﾗｸﾞ(RTC.INTFLAGS, RTC.PITINTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

© 2023 Microchip Technology Inc.とその子会社

割り込み元は周辺機能の割り込み制御(RTC.INTCTRL, RTC.PITINTCTRL)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細については周辺機能の(PIT)INTFLAGSﾚｼﾞｽﾀをご覧ください。

注: ・ RTCはRTC用のRTC.INTFLAGSとPIT用のRTC.PITINTFLAGSの2つのINTFLAGSﾚｼﾞｽﾀを持ちます。
・ RTCはRTC用のRTC.INTCTRLとPIT用のRTC.PITINTCTRLの2つのINTCTRLﾚｼﾞｽﾀを持ちます。

24.9. 休止形態動作

RTCはｱｲﾄﾞﾙ休止動作で動作を続けます。制御Aﾚｼﾞｽﾀ(RTC.CTRLA)のｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが設定(1)なら、ｽﾀﾝﾊﾞｲ休止動作で走行します。

PITはどの休止動作形態でも動作を続けます。

24.10. 同期

RTCとPITは共に非同期で、周辺機能ｸﾛｯｸ(CLK_PER)から独立した違うｸﾛｯｸ元(CLK_RTC)で動きます。制御と計数ﾚｼﾞｽﾀ更新に関して、更新されたﾚｼﾞｽﾀ値がﾚｼﾞｽﾀで利用可能になる前、または構成設定変更が各々RTCやPITに影響を及ぼすまで、RTCｸﾛｯｸや周辺機能ｸﾛｯｸで多少の周期数がかかります。この同期時間はﾚｼﾞｽﾀ説明項で各ﾚｼﾞｽﾀに対して記述されます。

いくつかのRTCﾚｼﾞｽﾀに関して、状態(RTC.STATUS)ﾚｼﾞｽﾀで同期中(CMPBUSY, PERBUSY, CNTBUSY, CTRLABUSY)ﾌﾗｸﾞが利用可能です。

周期割り込み計時器制御A(RTC.PITCTRLA)ﾚｼﾞｽﾀについては、周期割り込み計時器状態(RTC.PITSTATUS)ﾚｼﾞｽﾀでPITCTRLA同期中多忙(CTRLBUSY)ﾌﾗｸﾞが利用可能です。

言及したﾚｼﾞｽﾀへ書く前にこれらのﾌﾗｸﾞを調べてください。

24.11. ﾃﾞﾊﾞｯｸﾞ操作

ﾃﾞﾊﾞｯｸﾞ制御(DBGCTRL)ﾚｼﾞｽﾀのﾃﾞﾊﾞｯｸﾞ時走行(DBGRUN)ﾋﾞｯﾄが'1'の場合、RTCは標準動作を続けます。DBGRUNが'0'でCPUが停止された場合、RTCは動作を停止してどの到着事象も無視します。

周期割り込み計時器ﾃﾞﾊﾞｯｸﾞ制御(PITDBGCTRL)ﾚｼﾞｽﾀのﾃﾞﾊﾞｯｸﾞ時走行(DBGRUN)ﾋﾞｯﾄが'1'の場合、PITは標準動作を続けます。ﾃﾞﾊﾞｯｸﾞ動作に於いてDBGRUNが'0'でCPUが停止された場合、PIT出力はLowです。その時にPIT出力がHighだったなら、中断から再始動する時に割り込み要求ﾌﾗｸﾞを設定(1)するために新しい正端が起きます。結果は標準動作中に起こらない追加のPIT割り込みです。中断でPIT出力がLowだったなら、PITは追加の割り込みなしでLowを再開します。

© 2023 Microchip Technology Inc.とその子会社

24.12. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY	PRESCALER3~0				CORREN		RTCEN
+$01	STATUS	7～0					CMPBUSY	PERBUSY	CNTBUSY	CTRLABUSY
+$02	INTCTRL	7～0							CMP	OVF
+$03	INTFLAGS	7～0							CMP	OVF
+$04	TEMP	7～0	TEMP7~0							
+$05	DBGCTRL	7～0								DBGRUN
+$06	CALIB	7～0	SIGN	ERROR6~0						
+$07	CLKSEL	7～0							CLKSEL1,0	
+$08	CNT	7～0	CNT7~0							
+$09		15～8	CNT15~8							
+$0A	PER	7～0	PER7~0							
+$0B		15～8	PER15~8							
+$0C	CMP	7～0	CMP7~0							
+$0D		15～8	CMP15~8							
+$0E ～ +$0F	予約									
+$10	PITCTRLA	7～0		PERIOD3~0						PITEN
+$11	PITSTATUS	7～0								CTRLBUSY
+$12	PITINTCTRL	7～0								PI
+$13	PITINTFLAGS	7～0								PI
+$14	予約									
+$15	PITDBGCTRL	7～0								DBGRUN
+$16	PITEVGENCTRLA	7～0	EVGEN1SEL3~0				EVGEN0SEL3~0			

© 2023 Microchip Technology Inc.とその子会社

24.13. レジスタ説明

24.13.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY	PRESCALER3~0				CORREN		RTCEN
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ時走行** (Run Standby)

値	0	1
説明	スタンバイ休止動作でRTC禁止	スタンバイ休止動作でRTC許可

● **ビット6~3 – PRESCALER3~0 : 前置分周器** (Prescaler)

これらのビットはCLK_RTCクロック信号の前置分周を定義します。RTCクロックと周辺機能クロック間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅延があります。応用ソフトウェアはこのレジスタへ書く前に状態(RTC.STATUS)レジスタの制御A同期中(CTRLABUSY)フラグが解除(0)されているのを調べることが必要です。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV32	DIV64	DIV128
説明	CLK_RTC/1	CLK_RTC/2	CLK_RTC/4	CLK_RTC/8	CLK_RTC/16	CLK_RTC/32	CLK_RTC/64	CLK_RTC/128
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	DIV256	DIV512	DIV1024	DIV2048	DIV4096	DIV8192	DIV16384	DIV32768
説明	CLK_RTC/256	CLK_RTC/512	CLK_RTC/1024	CLK_RTC/2048	CLK_RTC/4096	CLK_RTC/8192	CLK_RTC/16384	CLK_RTC/32768

● **ビット2 – CORREN : 周波数修正許可** (Frequency Correction Enablee)

値	0	1
説明	周波数修正禁止	周波数修正許可

● **ビット0 – RTCEN : RTC周辺機能許可** (RTC Peripheral Enable)

値	0	1
説明	RTC周辺機能禁止	RTC周辺機能許可

24.13.2. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
					CMPBUSY	PERBUSY	CNTBUSY	CTRLABUSY
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3 – CMPBUSY : 比較同期中** (Compare Synchronization Busy)

このビットはRTCがRTCクロック領域で比較(RTC.CMP)レジスタを同期中多忙の時に'1'です。

● **ビット2 – PERBUSY : 定期同期中** (Period Synchronization Busy)

このビットはRTCがRTCクロック領域で定期(RTC.PER)レジスタを同期中多忙の時に'1'です。

● **ビット1 – CNTBUSY : 計数器同期中** (Counter Synchronization Busy)

このビットはRTCがRTCクロック領域で計数(RTC.CNT)レジスタを同期中多忙の時に'1'です。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ0 – CTRLABUSY : 制御A同期中** (Control A Synchronization Busy)

このﾋﾞｯﾄはRTCがRTCｸﾛｯｸ領域で制御A(RTC.CTRLA)ﾚｼﾞｽﾀを同期中多忙の時に'1'です。

24.13.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							CMP	OVF
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – CMP : 比較一致割り込み許可** (Compare Match Interrupt Enable)

比較一致での(即ち、計数(RTC.CNT)ﾚｼﾞｽﾀ値が比較(RTC.CMP)ﾚｼﾞｽﾀ値と一致した時の)割り込みを許可します。

値	0	1
説明	比較一致割り込みは禁止されます。	比較一致割り込みは許可されます。

● **ﾋﾞｯﾄ0 – OVF : 溢れ割り込み許可** (Overflow Interrupt Enable)

計数器溢れでの(即ち、計数(RTC.CNT)ﾚｼﾞｽﾀ値が定期(RTC.PER)ﾚｼﾞｽﾀ値と一致して0に丸められる時の)割り込みを許可します。

値	0	1
説明	溢れ割り込みは禁止されます。	溢れ割り込みは許可されます。

24.13.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flag)

名称 : INTFLAGS
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							CMP	OVF
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – CMP : 比較一致割り込み要求ﾌﾗｸﾞ** (Compare Match Interrupt Flag)

このﾌﾗｸﾞは計数(RTC.CNT)ﾚｼﾞｽﾀ値が比較(RTC.CMP)ﾚｼﾞｽﾀ値と一致した時に設定(1)されます。
このﾋﾞｯﾄへの'1'書き込みがこのﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ0 – OVF : 溢れ割り込み要求ﾌﾗｸﾞ** (Overflow Interrupt Flag)

このﾌﾗｸﾞは計数(RTC.CNT)ﾚｼﾞｽﾀ値が定期(RTC.PER)ﾚｼﾞｽﾀ値と一致して0に丸められる時に設定(1)されます。
このﾋﾞｯﾄへの'1'書き込みがこのﾌﾗｸﾞを解除(0)します。

24.13.5. TEMP – 一時ﾚｼﾞｽﾀ (Temporary)

名称 : TEMP
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

一時ﾚｼﾞｽﾀはこの周辺機能の16ﾋﾞｯﾄ ﾚｼﾞｽﾀへの16ﾋﾞｯﾄ単一周期ｱｸｾｽのためにCPUによって使われます。このﾚｼﾞｽﾀはこの周辺機能の全ての16ﾋﾞｯﾄ ﾚｼﾞｽﾀに対して共通でｿﾌﾄｳｪｱによって読み書きすることができます。「ﾒﾓﾘ」章の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TEMP7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値** (Temporary)

16ﾋﾞｯﾄ ﾚｼﾞｽﾀでの読み書き操作用一時ﾚｼﾞｽﾀ

© 2023 Microchip Technology Inc.とその子会社

24.13.6. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control)

名称 : DBGCTRL
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Debug Run)

値	0	1
説明	RTCはﾃﾞﾊﾞｯｸﾞ動作中断で停止し、事象を無視	RTCはCPU停止中のﾃﾞﾊﾞｯｸﾞ動作中断で走行継続

24.13.7. CALIB – ｸﾘｽﾀﾙ周波数校正 (Crystal Frequency Calibration)

名称 : CALIB
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀは行う修正形式と誤差値を格納します。このﾚｼﾞｽﾀは外部校正や温度校正に基づく誤差値でｿﾌﾄｳｪｱによって書かれます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SIGN	ERROR6~0						
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – SIGN : 誤差修正符号ﾋﾞｯﾄ** (Error Correction Sign Bit)

このﾋﾞｯﾄは修正の方向を示すのに使われます。

値	0	1
説明	前置分周器により遅く計数させる正修正	前置分周器により速く計数させる負修正。 これは最小前置分周器構成設定がDIV2であることが必要

● **ﾋﾞｯﾄ6~0 – ERROR6~0 : 誤差修正値** (Error Correction Value)

各100万RTCｸﾛｯｸ周期間隔に対する修正ｸﾛｯｸ数(ppm)

24.13.8. CLKSEL – ｸﾛｯｸ選択 (Clock Selection)

名称 : CLKSEL
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							CLKSEL1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1,0 – CLKSEL1,0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄ書き込みはRTCｸﾛｯｸ(CLK_RTC)用の供給元を選びます。

RTCをXOSC32KまたはXTAL32K1での外部ｸﾛｯｸのどちらかで使うように構成設定すると、XOSC32Kは許可されることが必要で、ｸﾛｯｸ制御器のXOSC32K制御A(CLKCTRL.XOSC32KCTRLA)ﾚｼﾞｽﾀの供給元選択(SEL)ﾋﾞｯﾄとｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄはそれに応じて構成設定されなければなりません。

値	0 0	0 1	1 0	1 1
名称	OSC32K	OSC1K	XTAL32K	EXTCLK
説明	OSC32Kからの 32.768kHz	OSC32Kからの 1.024kHz	XOSC32Kからの32.768kHzまたは XTAL32K1ﾋﾟﾝからの外部ｸﾛｯｸ	EXTCLKﾋﾟﾝからの 外部ｸﾛｯｸ

© 2023 Microchip Technology Inc.とその子会社

24.13.9. CNT – 計数 (Count)

名称 : CNT (CNTH,CNTL)
変位 : +$08
ﾘｾｯﾄ : $0000
特質 : –

RTC.CNTHとRTC.CNTLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のRTC.CNTを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

RTCｸﾛｯｸと主ｸﾛｯｸの領域間同期のため、ﾚｼﾞｽﾀ更新からそれが効果を持つまでに2 RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱはこのﾚｼﾞｽﾀへ書く前に状態(RTC.STATUS)ﾚｼﾞｽﾀの計数器同期中(CNTBUSY)ﾌﾗｸﾞが解除されていることを調べることが必要です。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	CNT15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CNT7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ15~8 – CNT15~8 : 計数値上位ﾊﾞｲﾄ** (Counter high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数ﾚｼﾞｽﾀの上位ﾊﾞｲﾄを保持します。

- **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数値下位ﾊﾞｲﾄ** (Counter low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数ﾚｼﾞｽﾀの下位ﾊﾞｲﾄを保持します。

24.13.10. PER – 定期 (Period)

名称 : PER (PERH,PERL)
変位 : +$0A
ﾘｾｯﾄ : $FFFF
特質 : –

RTC.PERHとRTC.PERLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のRTC.PERを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

RTCｸﾛｯｸと主ｸﾛｯｸの領域間同期のため、ﾚｼﾞｽﾀ更新からそれが効果を持つまでに2 RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱはこのﾚｼﾞｽﾀへ書く前に状態(RTC.STATUS)ﾚｼﾞｽﾀの定期同期中(PERBUSY)ﾌﾗｸﾞが解除されていることを調べることが必要です。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	PER15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	1

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	PER7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	1	1	1	1	1	1	1	1

- **ﾋﾞｯﾄ15~8 – PER15~8 : 定期値上位ﾊﾞｲﾄ** (Periodic high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの上位ﾊﾞｲﾄを保持します。

- **ﾋﾞｯﾄ7~0 – PER7~0 : 定期値下位ﾊﾞｲﾄ** (Periodic low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの下位ﾊﾞｲﾄを保持します。

© 2023 Microchip Technology Inc.とその子会社

24.13.11. CMP – 比較 (Compare)

名称 : CMP (CMPH,CMPL)
変位 : +$0C
ﾘｾｯﾄ : $0000
特質 : –

RTC.CMPHとRTC.CMPLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のRTC.CMPを表します。下位ﾊﾞｲﾄ[7～0](接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ[15～8](接尾辞H)は変位+1でｱｸｾｽすることができます。

RTCｸﾛｯｸと主ｸﾛｯｸの領域間同期のため、ﾚｼﾞｽﾀ更新からそれが効果を持つまでに2 RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱはこのﾚｼﾞｽﾀへ書く前に状態(RTC.STATUS)ﾚｼﾞｽﾀの比較同期中(CMPBUSY)ﾌﾗｸﾞが解除されているのを調べることが必要です。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	CMP15~8							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CMP7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~8 – CMP15~8 : 比較値上位ﾊﾞｲﾄ** (Compare high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの上位ﾊﾞｲﾄを保持します。

● **ﾋﾞｯﾄ7~0 – CMP7~0 : 比較値下位ﾊﾞｲﾄ** (Compare low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの下位ﾊﾞｲﾄを保持します。

24.13.12. PITCTRLA – 周期割り込み計時器制御A (Peiodic Interrupt Timer Control A)

名称 : ;PITCTRLA
変位 : +$10
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		PERIOD3~0						PITEN
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6~3 – PERIOD3~0 : 周期** (Period)

このﾋﾞｯﾄ領域は各割り込み間のRTCｸﾛｯｸ周期数を選びます。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	OFF	CYC4	CYC8	CYC16	CYC32	CYC64	CYC128	CYC256
説明	割り込みなし	4周期	8周期	16周期	32周期	64周期	128周期	256周期
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	CYC512	CYC1024	CYC2048	DIV4096	CYC8192	CYC16384	CYC32768	–
説明	512周期	1024周期	2048周期	4096周期	8192周期	16384周期	32768周期	(予約)

● **ﾋﾞｯﾄ0 – PITEN : 周期割り込み計時器許可** (Periodic Interrupt Timer Enable)

値	0	1
説明	周期割り込み計時器禁止	周期割り込み計時器許可

© 2023 Microchip Technology Inc.とその子会社

24.13.13. PITSTATUS – 周期割り込み計時器状態 (Periodic Interrupt Timer Status)

名称 : PITSTATUS
変位 : +$11
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								CTRLBUSY
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – CTRLBUSY : PITCTRLA同期中** (PITCTRLA Synchronization Busy)

このﾋﾞｯﾄはRTCがRTCｸﾛｯｸ領域で周期割り込み計時器制御A(RTC.PITCTRLA)ﾚｼﾞｽﾀを同期中多忙の時に'1'です。

24.13.14. PITINTCTRL – PIT割り込み制御 (PIT Interrupt Control)

名称 : PITINTCTRL
変位 : +$12
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								PI
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – PI : 周期割り込み許可** (Periodic Interrupt)

値	0	1
説明	周期割り込み禁止	周期割り込み許可

24.13.15. PITINTFLAGS – PIT割り込み要求ﾌﾗｸﾞ (PIT Interrupt Flag)

名称 : PITINTFLAGS
変位 : +$13
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								PI
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – PI : 周期割り込み要求ﾌﾗｸﾞ** (Periodic Interrupt Flag)

このﾌﾗｸﾞは周期割り込みが発行される時に設定(1)されます。
'1'書き込みがこのﾌﾗｸﾞを解除(0)します。

24.13.16. PITDBGCTRL – 周期割り込み計時器ﾃﾞﾊﾞｯｸﾞ制御 (Periodic Interrupt Timer Debug Control)

名称 : PITDBGCTRL
変位 : +$15
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Debug Run)

値	0	1
説明	ﾃﾞﾊﾞｯｸﾞ動作中断で周辺機能は停止して事象を無視	CPU停止時のﾃﾞﾊﾞｯｸﾞ動作中断で走行を継続

© 2023 Microchip Technology Inc.とその子会社

24.13.17. PITEVGENCTRLA – 周期計時器事象生成制御A (Periodic Timer Event Generation Control A)

名称 : PITEVGENCTRLA
変位 : +$16
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	EVGEN1SEL3~0				EVGEN0SEL3~0			
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~4,3~0 – EVGENnSEL3~0 : 事象生成n選択** (Event Generation n Select)

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	OFF	DIV4	DIV8	DIV16	DIV32	DIV64	DIV128	DIV256
説明	事象生成なし	CLK_RTC/4	CLK_RTC/8	CLK_RTC/16	CLK_RTC/32	CLK_RTC/64	CLK_RTC/128	CLK_RTC/256
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	DIV512	DIV1024	DIV2048	DIV4096	DIV8192	DIV16384	DIV32768	–
説明	CLK_RTC/512	CLK_RTC/1024	CLK_RTC/2048	CLK_RTC/4096	CLK_RTC/8192	CLK_RTC/16384	CLK_RTC/32768	(予約)

© 2023 Microchip Technology Inc.とその子会社

25. USART – 万能同期/非同期送受信器

25.1. 特徴

- 全二重操作
- 半二重操作
  - 単線動作
  - RS-485動作
- 非同期と同期の操作
- 5,6,7,8,9のﾃﾞｰﾀ ﾋﾞｯﾄと1または2の停止ﾋﾞｯﾄを持つ直列ﾌﾚｰﾑ支援
- 分数ﾎﾞｰﾚｰﾄ発生器
  - どの周辺機能ｸﾛｯｸ周波数からも望むﾎﾞｰﾚｰﾄを生成可
  - 外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数ﾊﾟﾘﾃｨ生成器とﾊﾟﾘﾃｨ検査
  - 緩衝部ｵｰﾊﾞﾗﾝとﾌﾚｰﾑ異常検出
  - 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空
  - 受信完了
- 主装置SPI動作
- 複数ﾌﾟﾛｾｯｻ通信動作
- ﾌﾚｰﾑ開始検出
- IrDA®適合ﾊﾟﾙｽ変調/復調用赤外線通信(IRCOM)単位部
- LIN従装置支援

25.2. 概要

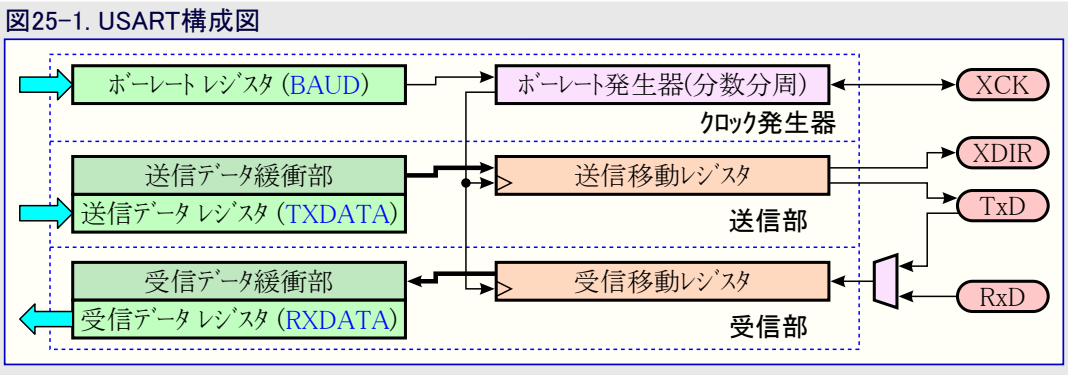
万能同期/非同期直列送受信器(USART:Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信周辺機能です。USARTは複数の形式の応用と通信装置に対応することができるいくつかの異なる動作形態を支援します。例えば、単線半二重動作は少ﾋﾟﾝ数応用が望まれる時に有用です。通信はﾌﾚｰﾑに基づき、ﾌﾚｰﾑ形式は広範囲の規格を支援するように直すことができます。

USARTは両方向で緩衝され、ﾌﾚｰﾑ間でのどんな遅延もなしに継続するﾃﾞｰﾀ転送を許します。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。

送信部は2段の書き込み緩衝部、移動ﾚｼﾞｽﾀ、それと各種ﾌﾚｰﾑ形式用の制御論理回路から成ります。受信部は2段の受信緩衝部と移動ﾚｼﾞｽﾀから成ります。受信したﾃﾞｰﾀの状態情報は異常検査に対して利用可能です。ﾃﾞｰﾀとｸﾛｯｸの再生部は非同期ﾃﾞｰﾀ受信中の頑強な同期と雑音濾波を保証します。

25.2.1. 構成図

図25-1. USART構成図



25.2.2. 信号説明

信号	形式	説明
XCK	入出力	同期動作用ｸﾛｯｸ
XDIR	出力	RS485用送信許可
TxD	入出力	送信線(と単線動作での受信線)
RxD	入力	受信線

© 2023 Microchip Technology Inc.とその子会社

25.3. 機能的な説明

25.3.1. 初期化

全二重動作:

1. ボーレート(USARTn.BAUD)を設定してください。
2. フレーム構成と動作形態(USARTn.CTRLC)を設定してください。
3. TxDピンを出力として構成設定してください。
4. 送信部と受信部を許可してください(USARTn.CTRLB)。

注: • 割り込み駆動USART操作について、初期化の間は全体割り込みが禁止されなければなりません。
• ボーレートまたはフレーム構成の変更を伴う再初期化を行う前に、そのレジスタが変更される間に進行中の送信がないことを確実にしてください。

単線半二重動作:

1. 内部的にTxDをUSART受信部に接続してください(制御A(USARTn.CTRLA)レジスタの折り返し動作許可(LBME)ビット)。
2. RxD/TxDピン用の内部プルアップを許可してください(ピンn制御(PORTx.PINnCTRL)レジスタのプルアップ許可(PULLUPEN)ビット)。
3. オープン ドレイン動作を許可してください(制御B(USARTn.CTRLB)レジスタのオープン ドレイン動作許可(ODME)ビット)。
4. ボーレート(USARTn.BAUD)を設定してください。
5. フレーム構成と動作形態(USARTn.CTRLC)を設定してください。
6. 送信部と受信部を許可してください(USARTn.CTRLB)。

注: • オープン ドレイン動作が許可されると、TxDピンはハードウェアによって自動的に出力に設定されます。
• 割り込み駆動USART操作について、初期化の間は全体割り込みが禁止されなければなりません。
• ボーレートまたはフレーム構成の変更を伴う再初期化を行う前に、そのレジスタが変更される間に進行中の送信がないことを確実にしてください。

25.3.2. 動作

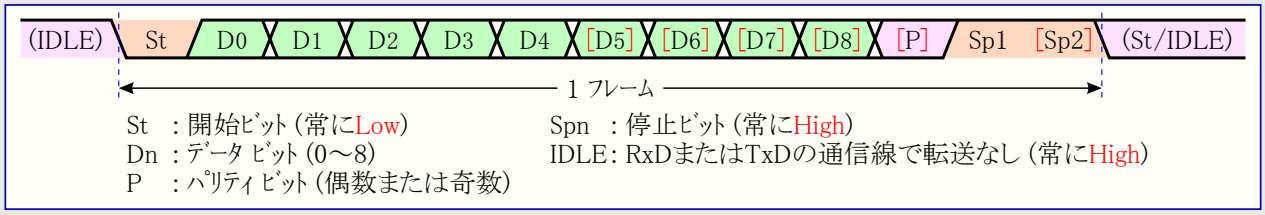
25.3.2.1. フレーム形式

USARTデータ転送はフレームに基づきます。フレームは開始ビットで始まり、データ ビットの1文字が後続します。許可されたなら、データ ビット後で最初の停止ビットの前にパリティ ビットが挿入されます。フレームの停止ビット後、直ちに次のフレームを後続するか、または通信線をアイドル(High)状態に戻すかのどちらかにすることができます。USARTは有効なフレーム形式として以下の組み合わせ全てを受け入れます。

- 1つの開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティ ビット、またはなし
- 1つまたは2つの停止ビット

下図は可能なフレーム形式の組み合わせを図解します。[ ]付きビットは任意選択です。

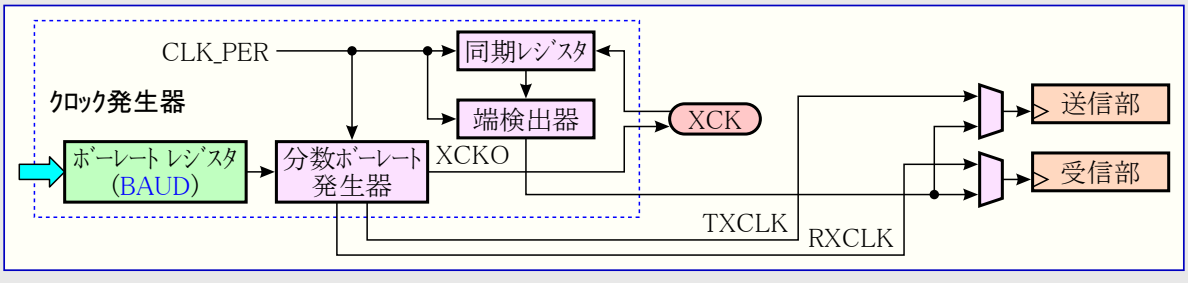
図25-2. フレーム構成



25.3.2.2. クロック生成

データ ビットの移動と採取に使われるクロックは内部的な分数ボーレート発生器または外部的な転送クロック(XCK)ピンから生成されます。

図25-3. クロック生成論理回路構成図



© 2023 Microchip Technology Inc.とその子会社

25.3.2.2.1. 分数ﾎﾞｰﾚｰﾄ発生器

USARTがｸﾛｯｸ元としてXCK入力を使わない動作ではｸﾛｯｸを生成するのに分数ﾎﾞｰﾚｰﾄ生成器が使われます。ﾎﾞｰﾚｰﾄは秒毎のﾋﾞｯﾄ数(bps)の言葉で与えられ、ﾎﾞｰﾚｰﾄ(USARTn.BAUD)ﾚｼﾞｽﾀを書くことによって構成設定されます。ﾎﾞｰﾚｰﾄ(f_{BAUD})は周辺機能ｸﾛｯｸ(f_{CLK_PER})をBAUDﾚｼﾞｽﾀによって決められる分割係数で分割することによって生成されます。

分数ﾎﾞｰﾚｰﾄ発生器はf_{BAUD}で割り切れない場合に対応するﾊｰﾄﾞｳｪｱが特徴です。通常、この状況は丸め誤差をもたらします。分数ﾎﾞｰﾚｰﾄ発生器は**表25-1.**の式で実行されるように、6ﾋﾞｯﾄ左移動した望む分割係数を含むBAUDﾚｼﾞｽﾀを期待します。そして下位6ﾋﾞｯﾄは望む除数の小数部を保持します。望むﾎﾞｰﾚｰﾄにより近い近似を達成するため動的にf_{BAUD}を調節するのにBAUDﾚｼﾞｽﾀの小数部を使ってください。

ﾎﾞｰﾚｰﾄをf_{CLK_PER}よりも高くすることができないため、BAUDﾚｼﾞｽﾀの整数部は最低1であることが必要です。結果は6ﾋﾞｯﾄ左移動されるため、対応するBAUDﾚｼﾞｽﾀの最小値は64です。有効な範囲は64～65535です。

同期動作では、BAUDﾚｼﾞｽﾀの10ﾋﾞｯﾄ整数部(BAUD15～6)だけがﾎﾞｰﾚｰﾄを決め、従って、小数部(BAUD5～0)は0を書かれなければなりません。

下表はﾎﾞｰﾚｰﾄをBAUDﾚｼﾞｽﾀ用の入力値に変換するための式を一覧にします。式は分数解釈を考慮し、故にこれらの式で計算されたBAUD値はどんな追加の尺度調整もなしに直接USARTn.BAUDに書くことができます。

表25-1. ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ設定計算用の式

動作形態	条件	ﾎﾞｰﾚｰﾄ (ﾋﾞｯﾄ/秒:bps)	USARTn.BAUDﾚｼﾞｽﾀ値計算
非同期	$f_{BAUD} \leqq \frac{f_{CLK_PER}}{S}$ 、USARTn.BAUD≧64	$f_{BAUD} = \frac{64 \times f_{CLK_PER}}{S \times BAUD}$	$BAUD = \frac{64 \times f_{CLK_PER}}{S \times f_{BAUD}}$
同期主装置	$f_{BAUD} < \frac{f_{CLK_PER}}{S}$ 、USARTn.BAUD≧64	$f_{BAUD} = \frac{f_{CLK_PER}}{S \times BAUD[15\sim6]}$	$BAUD[15\sim6] = \frac{f_{CLK_PER}}{S \times f_{BAUD}}$

Sはﾋﾞｯﾄ当たりの採取数です。

- 非同期標準動作 ：S=16
- 非同期倍速動作 ：S=8
- 同期動作 ：S=2

25.3.2.3. ﾃﾞｰﾀ送信

USART送信部は周期的に送信線をLowに駆動することによってﾃﾞｰﾀを送ります。ﾃﾞｰﾀ送信は送るﾃﾞｰﾀを送信ﾃﾞｰﾀ(USARTn.TXDATALとUSARTn.TXDATAH)ﾚｼﾞｽﾀに設定することによって始められます。送信ﾃﾞｰﾀ ﾚｼﾞｽﾀのﾃﾞｰﾀは送信緩衝部が一旦空になるとそれに移され、移動ﾚｼﾞｽﾀが一旦空になるとそれに進み、新しいﾌﾚｰﾑを送る準備が整います。移動ﾚｼﾞｽﾀがﾃﾞｰﾀを設定された後、ﾃﾞｰﾀ ﾌﾚｰﾑが送信されます。

移動ﾚｼﾞｽﾀのﾌﾚｰﾑ全体が移動出力されてしまい、送信ﾃﾞｰﾀや送信緩衝部に存在する新しいﾃﾞｰﾀがないと、状態(USARTn.STATUS)ﾚｼﾞｽﾀの送信完了割り込み要求ﾌﾗｸﾞ(TXCIF)ﾋﾞｯﾄが設定(1)され、それが許可されていれば割り込みが生成されます。

送信ﾃﾞｰﾀ ﾚｼﾞｽﾀはそれらが空で新しいﾃﾞｰﾀの準備が整っていることを示すUSARTn.STATUSﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)ﾋﾞｯﾄが設定(1)される時にだけ書くことができます。

8ﾋﾞｯﾄよりも少ないﾌﾚｰﾑの使用時、送信ﾃﾞｰﾀ ﾚｼﾞｽﾀに書かれる上位側ﾋﾞｯﾄは無視されます。制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)ﾋﾞｯﾄ領域が9ﾋﾞｯﾄ(下位ﾊﾞｲﾄ先行)に構成設定されると、送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(TXDATAH)ﾚｼﾞｽﾀの前に送信ﾃﾞｰﾀ下位ﾊﾞｲﾄ(TXDATAL)ﾚｼﾞｽﾀが書かれなければなりません。CHSIZEが9ﾋﾞｯﾄ(上位ﾊﾞｲﾄ先行)に構成設定されると、TXDATALの前にTXDATAHが書かれなければなりません。

25.3.2.3.1. 送信部禁止

送信部を禁止すると、その操作は進行中と保留中の送信が完了される、即ち、送信移動ﾚｼﾞｽﾀ、送信ﾃﾞｰﾀ(USARTn.TXDATALとUSARTn.TXDATAH)ﾚｼﾞｽﾀ、送信緩衝ﾚｼﾞｽﾀが送信されるべきﾃﾞｰﾀを含まない時まで有効になりません。送信部が禁止されると、もはやTxDﾋﾟﾝを指定変更せず、PORT単位部がﾋﾟﾝ制御を取り戻します。ﾋﾟﾝはそれの直前の設定に関わらず、ﾊｰﾄﾞｳｪｱによって自動的に入力として構成設定されます。ﾋﾟﾝは今やUSARTからのﾎﾟｰﾄ指定変更なしに標準入出力ﾋﾟﾝとして使うことができます。

25.3.2.4. ﾃﾞｰﾀ受信

USART受信部は検出して受信したﾃﾞｰﾀを解釈するために受信線を採取します。従って、ﾋﾟﾝの方向はﾃﾞｰﾀ方向(PORTx.DIR)ﾚｼﾞｽﾀの対応するﾋﾞｯﾄに'0'を書くことによって入力として構成設定されなければなりません。

受信部は有効な開始ﾋﾞｯﾄが検出されと、ﾃﾞｰﾀを受け入れます。開始ﾋﾞｯﾄに後続する各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKｸﾛｯｸで採取され、ﾌﾚｰﾑの最初の停止ﾋﾞｯﾄが受信されるまで受信移動ﾚｼﾞｽﾀに移されます。第2停止ﾋﾞｯﾄは受信部によって無視されます。最初の停止ﾋﾞｯﾄが受信され、完全な直列ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀに存在すると、移動ﾚｼﾞｽﾀの内容が受信緩衝部に移されます。状態(USARTn.STATUS)ﾚｼﾞｽﾀの受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)され、許可されていれば割り込みが生成されます。

RXDATAﾚｼﾞｽﾀはRXCIFが設定(1)される時に応用ｿﾌﾄｳｪｱによって読むことができる2重緩衝される受信緩衝部の一部です。1ﾌﾚｰﾑだけが受信されたなら、そのﾌﾚｰﾑに対するﾃﾞｰﾀと状態のﾋﾞｯﾄはRXDATAﾚｼﾞｽﾀに直接押し込まれます。RX緩衝部に2つのﾌﾚｰﾑが存在する場合、RXDATAﾚｼﾞｽﾀは最も古いﾌﾚｰﾑを含みます。

© 2023 Microchip Technology Inc.とその子会社

緩衝部は構成設定に応じてRXDATALまたはRXDARAHが読まれる時のどちらかでデータを移動します。移動前に両バイトを読むことができるようにデータ移動を引き起こさないレジスタが先に読まれなければなりません。制御C(USARTn.CTRLC)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定される時に、RXDATAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

25.3.2.4.1. 受信異常フラグ

USART受信部は送信化けを暴く異常検出機構が特徴です。これらの機構は以下を含みます。

- フレーム異常検出 – 受信したフレームが有効かどうかを管理します。
- 緩衝部溢れ検出 – 受信緩衝部が満杯で新しいデータによって上書きされたためのデータ損失を示します。
- パリティ誤り検出 – 到着フレームのパリティを計算してパリティビットと比べることによって到着フレームの有効性を調べます。

各異常検出機構は受信データ上位バイト(USARTn.RXDATAH)レジスタで読むことができる各々1つの異常フラグを制御します。

- フレーム異常(FERR)
- 緩衝部溢れ(BUFOVF)
- パリティ誤り(PERR)

異常フラグはそれらが対応するフレームと共に受信緩衝部に置かれます。RXDATALレジスタ読み込みがRX緩衝部のRXDATAバイト移動を起動するため、異常フラグを含むRXDATAHレジスタはRXDATALレジスタに先立って読まれなければなりません。

注: 制御C(USARTn.CTRLC)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット下位バイト先行(9BITL)に設定される場合、RXDATALレジスタに代わってRXDATAHレジスタがRXDATAバイト移動を起動します。その場合、RXDATALレジスタがRXDATAHレジスタに先立って読まれなければなりません。

25.3.2.4.2. 受信部禁止

受信部を禁止すると、その操作は即時です。受信緩衝部が破棄され、進行中の受信からのデータは失われます。

25.3.2.4.3. 受信緩衝部破棄

通常動作の間に受信緩衝部が破棄されなければならない場合、USARTn.RXDATAHレジスタの受信完了割り込み要求フラグ(RXCIF)が解除(0)されるまでDATA位置(USARTn.RXDATAHとUSARTn.RXDATALのレジスタ)を繰り返し読んでください。

25.3.3. 通信動作形態

USARTは複数の異なる通信規約を支援する柔軟な周辺機能です。利用可能な動作形態は、同期と非同期の通信の2つの群に分けることができます。

同期通信はXCKピンを通してクロック信号を残りの装置に供給する主権があるバス上の1つの主装置に依存します。全ての装置は追加の同期機構を必要とせず、送受信両方にこの共通クロック信号を使います。

装置は同期バスで主装置または従装置のどちらかで動くように構成設定することができます。

非同期通信は共通クロック信号を使いません。代わりに、通信する装置に於いて同じボーレートで構成設定されることに頼ります。やって来る伝送の受信時、受信する装置の周辺機能クロックでやって来る伝送を整列するのにハードウェア同期機構が使われます。

非同期に通信する時に4つの違う動作形態が利用可能です。それらの動作の1つは標準速度の倍で伝送を受信することができ、通常の16の代わりにビット毎に8回だけ採取します。他の3つの動作形態は同期論理回路の変種を使い、全て標準速度で受信します。

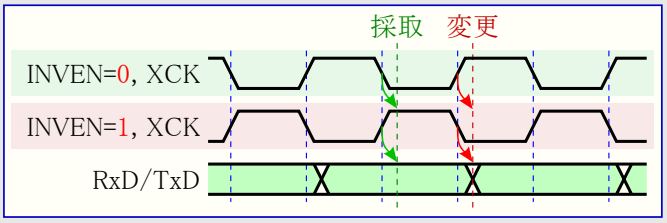
25.3.3.1. 同期動作

25.3.3.1.1. クロック動作

XCKピン方向は転送クロックが入力(従装置動作)か、または出力(主装置動作)かを制御します。対応するポートピン(PORTx.DIRレジスタのDIRn)方向は主装置動作用に出力または従装置動作用に入力に設定されなければなりません。下図で示されるように(RxDでの)データ入力はデータが(TxDで)送信される場所の逆端のXCKクロック端で採取されます。

I/Oピンはポート周辺機能のピンn制御(PORTx.PINnCTRL)レジスタの反転I/O許可(INVEN)ビットに'1'を書くことによって反転することができます。対応するXCKポートピンに反転I/O設定を使うと、RxD採取とTxD送信に使われるXCKクロック端を選ぶことができます。反転I/Oが禁止(INVEN=0)される場合、XCKクロック上昇端が新しいデータビットの開始を表し、受信データはXCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)された場合、XCKクロック下降端が新しいデータビットの開始を表し、受信データはXCKクロック上昇端で採取されます。

図25-4. 同期動作XCKタイミング



25.3.3.1.2. 外部クロック制限

USARTが同期従装置動作に構成設定されると、XCK信号は主装置によって外部的に提供されなければなりません。このクロックが外部的に提供されるため、BAUDレジスタ構成設定は転送速度に何の影響も持ちません。クロック再生成功には各上昇端と下降端に対して最低2回採取するクロック信号を必要とします。従って、同期動作形態での最大XCK速度(f_{Slave_SCK})は右式によって制限されます。

$$f_{Slave_SCK} < \frac{f_{CLK_PER}}{4}$$

© 2023 Microchip Technology Inc.とその子会社

XCKクロックに細動(ジッタ)がある場合、またはHigh/Low区間のデューティ サイクルが50%/50%でない場合、XCKが各端に対して最低2回採取することを保証するために、それに応じて最大XCKクロック速度が低減されなければなりません。

25.3.3.1.3. 主装置SPI動作でのUSART

USARTは複数の異なる通信インターフェースを持つ機能に構成設定されるかもしれず、それらの1つが主装置として動くことができる直列周辺インターフェース(SPI)です。SPIは主装置に1つ以上の従装置との通信を許す4線インターフェースです。

フレーム形式

主装置SPI動作でのUSARTに対する直列フレームは常に8つのデータ ビットを含みます。データ ビットは制御C(USARTn.CTRLC)レジスタのデータ順(UDORD)ビットに書くことによってLSB先行またはMSB先行のどちらかで送信されるように構成設定することができます。

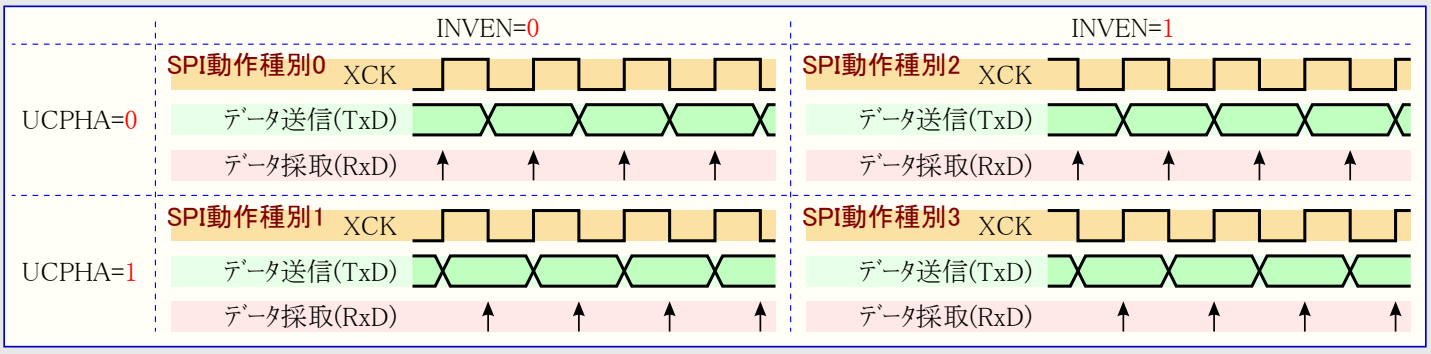
SPIは開始、停止、パリティのビットを使わず、故に伝送フレームはデータ ビットだけで成り得ます。

クロック生成

同期インターフェースでの主装置になる主装置SPI動作は従装置と共有されるインターフェース クロックを生成しなければなりません。このインターフェース クロックは「25.3.2.2.1. 分数ボーレート発生器」で記述される分数ボーレート発生器を使って生成されます。

各データ ビットは1つの完全なクロック周期に対してデータ線をHighまたはLowに引くことによって送信されます。受信部は下図で示されるように送信部保持期間の中央でビットを採取します。これはピンn制御(PORTx.PINnCTRL)レジスタの反転I/O許可(INVEN)ビットと制御C(USARTn.CTRLC)レジスタのUSARTクロック位相(UCPHA)ビットを使ってタイミングの仕組みをどう構成設定することができるかも示します。

図25-5. データ転送タイミング構成図



右表は上図を更に説明します。

表25-2. INVENビットとUCPHAビットの機能

SPI動作形態	INVEN	UCPHA	先行端 (注)	後行端 (注)
0	0	0	上昇端、採取	下降端、送信
1	0	1	上昇端、送信	下降端、採取
2	1	0	下降端、採取	上昇端、送信
3	1	1	下降端、送信	上昇端、採取

注: 先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最後のクロック端です。

データ送信

主装置SPI動作でのデータ送信は「動作」項で記述されるような全般的なUSART動作と機能的に同じです。送信部割り込み要求フラグと対応するUSART割り込みも同じです。更なる記述については「25.3.2.3. データ送信」をご覧ください。

データ受信

主装置SPI動作でのデータ受信は「動作」項で記述されるような全般的なUSART動作と機能的に同じです。使われずに常に'0'として読む受信異常フラグを除き、受信部割り込み要求フラグと対応するUSART割り込みも同じです。更なる記述については「25.3.2.4. データ受信」をご覧ください。

主装置SPI動作でのUSART対SPI

主装置SPI動作でのUSARTは独立型SPI周辺機能と完全な互換性があります。それらのデータ フレームとタイミング構成設定は同じです。けれども、以下のようないくつかのSPI特有特殊機能は主装置SPI動作でのUSARTで支援されません。

- 書き込み衝突(WRCOL)フラグ保護
- 倍速動作
- 複数主装置支援

主装置SPI動作でのUSARTとSPIで使われるピンの比較が右表で示されます。

表25-3. 主装置SPI動作でのUSARTとSPIのピン比較

USART	SPI	注釈
TxD	MOSI	主装置出力
RxD	MISO	主装置入力
XCK	SCK	機能的に同一
該当なし	$\overline{SS}$	主装置SPI動作でのUSARTで不支援 (注)

注: 独立型SPI周辺機能について、このピンは複数主装置機能で、または専用従装置選択として使われます。複数主装置機能は主装置SPI動作でのUSARTで利用不可で、専用従装置選択ピンは利用不可です。

© 2023 Microchip Technology Inc.とその子会社

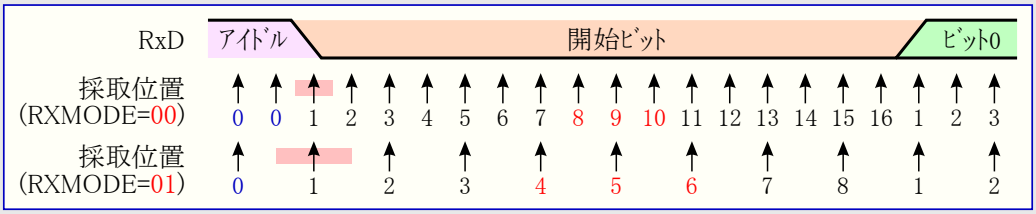
25.3.3.2. 非同期動作

25.3.3.2.1. ｸﾛｯｸ再生

非同期動作使用時に共通ｸﾛｯｸ信号がないため、通信する各装置は独立したｸﾛｯｸ信号を生成します。これらのｸﾛｯｸ信号は行われる通信に対して同じﾎﾞｰﾚｰﾄで動くように構成設定されなければなりません。従って、装置は同じ速度で動きますが、それらのﾀｲﾐﾝｸﾞはお互いの関係に於いて歪められています。これに対応するため、USARTはやって来る非同期直列ﾌﾚｰﾑを内部的に生成したﾎﾞｰﾚｰﾄ ｸﾛｯｸと同期するﾊｰﾄﾞｳｪｱ ｸﾛｯｸ再生部が特徴です。

下図は到着ﾌﾚｰﾑの開始ﾋﾞｯﾄ用採取処理を図解します。これは標準と倍速の両動作(各々、'00'と'01'に構成設定された制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの受信部動作(RXMODE)ﾋﾞｯﾄ領域)に対するﾀｲﾐﾝｸﾞの仕組みを示します。標準動作用採取速度はﾎﾞｰﾚｰﾄの16倍、一方で倍速動作用採取速度はﾎﾞｰﾚｰﾄの8倍です(「25.3.3.2.4. 倍速動作」をご覧ください)。赤帯(**訳注**:原文は水平矢印)は最大同期誤差を示します。最大同期誤差が倍速動作でより大きいことに注意してください。

図25-6. 開始ﾋﾞｯﾄ採取

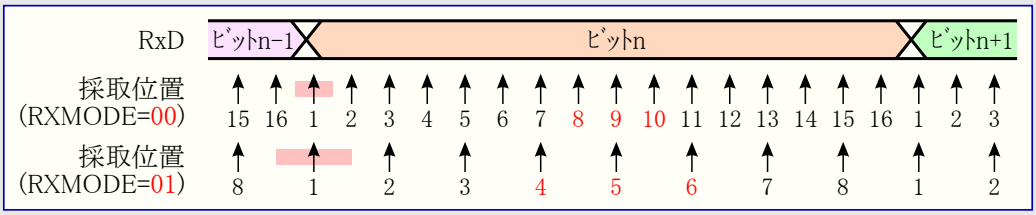


ｸﾛｯｸ再生論理回路がｱｲﾄﾞﾙ(High)状態から開始ﾋﾞｯﾄ(Low)への下降端を検出すると、開始ﾋﾞｯﾄ検出手順が始められます。上図に於いて、採取1は最初の'0'読み採取を記します。その後ｸﾛｯｸ再生論理回路は有効な開始ﾋﾞｯﾄが受信されたかを判断するのに3つの連続採取(標準動作で採取8,9,10、倍速動作で採取4,5,6)を使います。2つまたは3つの採取が'0'を読む場合、開始ﾋﾞｯﾄが受け入れられます。ｸﾛｯｸ再生部が同期化され、ﾃﾞｰﾀ再生を始めることができます。2つ未満の採取が'0'を読む場合、この開始ﾋﾞｯﾄは捨てられます。この処理は各開始ﾋﾞｯﾄ毎に繰り返されます。

25.3.3.2.2. ﾃﾞｰﾀ再生

ｸﾛｯｸ再生と同様に、ﾃﾞｰﾀ再生部は倍速動作または標準動作で動いているかに依存して、各々、ﾎﾞｰﾚｰﾄよりも8または16倍速い速度で採取します。下図は受信したﾌﾚｰﾑでのﾋﾞｯﾄ読み取り用採取処理を示します。

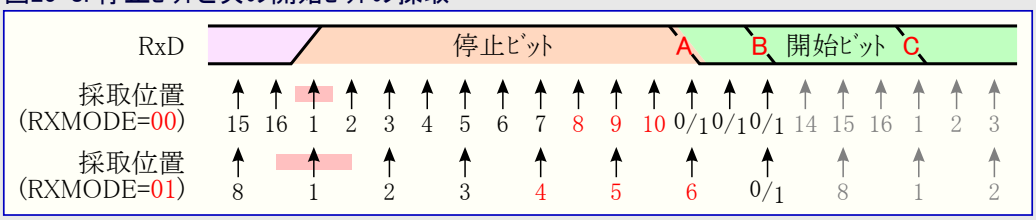
図25-7. ﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取



受信したﾋﾞｯﾄの論理ﾚﾍﾞﾙを判断するのにｸﾛｯｸ再生でのように中央3採取での多数決技法が使われます。この処理は完全なﾌﾚｰﾑが受信されるまで各ﾋﾞｯﾄに対して繰り返されます。

ﾃﾞｰﾀ再生部は最初の停止ﾋﾞｯﾄだけを受け取る一方で、もっとある場合に残りを無視します。採取した停止ﾋﾞｯﾄが'0'を読む場合、受信ﾃﾞｰﾀ上位(USARTn.RXDADAH)ﾚｼﾞｽﾀのﾌﾚｰﾑ異常(FERR)ﾌﾗｸﾞが設定(1)されます。下図は停止ﾋﾞｯﾄの採取を示します。これは最も早く可能な次のﾌﾚｰﾑの始めも示します。

図25-8. 停止ﾋﾞｯﾄと次の開始ﾋﾞｯﾄの採取



新しいﾌﾚｰﾑの開始ﾋﾞｯﾄを示すHighからLowへの遷移は多数決に使ったﾋﾞｯﾄの最後の直後に来得ます。標準速動作については最初のLowﾚﾍﾞﾙ採取、上図でAと記された点で有り得ます。倍速動作については最初のLowﾚﾍﾞﾙが多数決採取後の最初の採取であるB点に遅らされなければなりません。C点は公称ﾎﾞｰﾚｰﾄでの停止ﾋﾞｯﾄの全長(の終点)を記します。

© 2023 Microchip Technology Inc.とその子会社

25.3.3.2.3. 許容誤差

内部的に生成したﾎﾞｰﾚｰﾄの速度と外部的に受信したﾃﾞｰﾀ速度は理想的に同じでなければなりませんが、本来のｸﾛｯｸ元誤差のため、これは通常、その状況ではありません。USARTはこのような誤差を許容し、この許容の限度が時に動作範囲として知られるものを構成します。

以下の表は許容することができる最大受信部ﾎﾞｰﾚｰﾄ誤差であるUSARTの動作範囲を一覧にします。標準速動作が倍速動作よりもより高いﾎﾞｰﾚｰﾄ変化の許容誤差を持つことに注意してください。

表25-4. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差 (訳注:原書の表25-4.と表25-5.は表25-4.として纏めました。)

D	標準速動作 (RXMODE=00(NORMAL))				倍速動作 (RXMODE=01(CLK2X))			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	−6.80～+6.67	±3.0	94.12	105.66	−5.88～+5.66	±2.5
6	94.12	105.79	−5.88～+5.79	±2.5	94.92	104.92	−5.08～+4.92	±2.0
7	94.81	105.11	−5.19～+5.11	±2.0	95.52	104.35	−4.48～+4.35	±1.5
8	95.36	104.58	−4.54～+4.58	±2.0	96.00	103.90	−4.00～+3.90	±1.5
9	95.81	104.14	−4.19～+4.14	±1.5	96.39	103.53	−3.61～+3.53	±1.5
10	96.17	103.78	−3.83～+3.78	±1.5	96.70	103.23	−3.30～+3.23	±1.0

注: ・ *D*: 文字(ﾃﾞｰﾀ)ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計(*D*=5～10)
・ Rslow: 受信部ﾎﾞｰﾚｰﾄに関連して受け入れすることができる最低到着ﾃﾞｰﾀ速度の比率
・ Rfast: 受信部ﾎﾞｰﾚｰﾄに関連して受け入れすることができる最高到着ﾃﾞｰﾀ速度の比率

最大受信部ﾎﾞｰﾚｰﾄ誤差の推奨は受信側と送信側が最大総許容誤差を等しく分けるとの仮定の元で作られました。

以下の式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄの最大比率計算に使われます。

$$R_{slow} = \frac{S(D+1)}{S(D+1)+S_F-1}$$

$$R_{fast} = \frac{S(D+2)}{S(D+1)+S_M}$$

D : 文字(ﾃﾞｰﾀ)ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計(D=5～10)
S : ﾋﾞｯﾄ当たりの採取数。標準速動作はS=16、倍速動作はS=8
S_F : 多数決に使う最初の採取番号。標準速動作はS_F=8、倍速動作はS_F=4
S_M : 多数決に使う中心の採取番号。標準速動作はS_M=9、倍速動作はS_M5
R_{slow} : 受信側ﾎﾞｰﾚｰﾄに対して許容できる最低到着ﾃﾞｰﾀ速度の比率
R_{fast} : 受信側ﾎﾞｰﾚｰﾄに対して許容できる最高到着ﾃﾞｰﾀ速度の比率

25.3.3.2.4. 倍速動作

倍速動作はより低い周辺機能ｸﾛｯｸ周波数での非同期動作下でより高いﾎﾞｰﾚｰﾄを許します。この動作は制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの受信部動作(RXMODE)ﾋﾞｯﾄ領域に'01'を書くことによって許可されます。

許可されると、「25.3.3.2.1. 分数ﾎﾞｰﾚｰﾄ発生器」での式で示されるように、与えられた非同期ﾎﾞｰﾚｰﾄ設定に対するﾎﾞｰﾚｰﾄが倍にされます。この動作では、受信部がﾃﾞｰﾀ採取とｸﾛｯｸ再生に対して(16から8に減らされた)半分の採取数を使います。これはもっと正確なﾎﾞｰﾚｰﾄ設定と周辺機能ｸﾛｯｸを必要とします。より多くの詳細については「25.3.3.2.3. 許容誤差」をご覧ください。

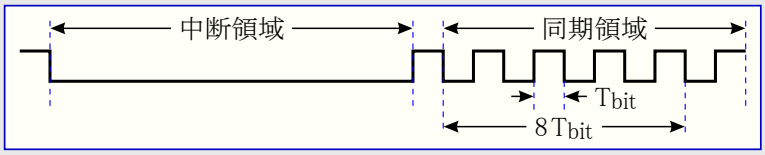
25.3.3.2.5. 自動ﾎﾞｰﾚｰﾄ

自動ﾎﾞｰﾚｰﾄ機能は通信装置からの入力に基づいてﾎﾞｰﾚｰﾄ(USARTn.BAUD)ﾚｼﾞｽﾀの構成設定をUSARTにさせ、これは異なるﾎﾞｰﾚｰﾄで通信する複数装置と自律的に通信することを装置に許します。USART周辺機能は標準自動ﾎﾞｰﾚｰﾄ動作とLIN制限自動ﾎﾞｰﾚｰﾄ動作の2つの自動ﾎﾞｰﾚｰﾄ動作が特徴です。

どちらの自動ﾎﾞｰﾚｰﾄ動作も下図で見られるように自動ﾎﾞｰﾚｰﾄ ﾌﾚｰﾑを受け取らなければなりません。

中断領域は12以上の連続Low周期が採取される時に検出され、これから同期領域を受信しようとすることをUSARTに通知します。中断領域後、同期領域の開始ﾋﾞｯﾄが検出されると、周辺機能ｸﾛｯｸ速度で動く計数器が開始されます。計数器はその後に同期領域の次の8Tbit間増やされます。全8ﾋﾞｯﾄが採取されると、計数器が停止されます。結果の計数器値が事実上の新しいBAUDﾚｼﾞｽﾀ値です。

図25-9. 自動ﾎﾞｰﾚｰﾄ ﾀｲﾐﾝｸﾞ



USART受信動作が(制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの受信動作(RXMODE)ﾋﾞｯﾄ領域)でGENAUTOに設定されると、標準自動ﾎﾞｰﾚｰﾄ動作が許可されます。この動作では、どの長さ(即ち、12周期よりも短くても)中断領域の検出を許すために状態(USARTn.STATUS)ﾚｼﾞｽﾀの中断待機(WFB)ﾋﾞｯﾄを設定(1)することができます。これは現在のﾎﾞｰﾚｰﾄを知ることなく、任意の新しいﾎﾞｰﾚｰﾄ設定を可能にします。測定された同期領域が有効なBAUD値($0064～$FFFF)になるなら、BAUDﾚｼﾞｽﾀが更新されます。

USART受信動作が(USARTn.CTRLBﾚｼﾞｽﾀのRXMODEﾋﾞｯﾄ領域で)LINAUTO動作に設定されると、LIN形式に従います。標準自動ﾎﾞｰﾚｰﾄ動作でのWFB機能はLIN制限自動ﾎﾞｰﾚｰﾄと非互換で、これは有効な中断領域のために受信した信号が12周辺機能ｸﾛｯｸ周期以上の間Lowでなければならないことを意味します。中断領域が検出されると、USARTは$55である後続する同期領域文字を期待します。2つの同期装置間のﾎﾞｰﾚｰﾄの違いに対する許容は制御D(USARTn.CTRLD)ﾚｼﾞｽﾀの自動ﾎﾞｰﾚｰﾄ窓幅(ABW)ﾋﾞｯﾄを使って構成設定することができます。受信した同期領域文字が$55でない場合、矛盾同期領域異常ﾌﾗｸﾞ(USARTn.STATUSﾚｼﾞｽﾀのISFIFﾋﾞｯﾄ)が設定(1)され、ﾎﾞｰﾚｰﾄは無変化です。

© 2023 Microchip Technology Inc.とその子会社

25.3.3.2.6. 半二重動作

半二重は2つ以上の装置が互いに通信できますが、同時に1つだけである通信の形式です。USARTは以下の半二重動作で動くように構成設定することができます。

- 単線動作
- RS-485動作

単線動作

単線動作は制御A(USARTn.CTRLA)ﾚｼﾞｽﾀの折り返し動作許可(LBME)を設定(1)することによって許可されます。これはTxDﾋﾟﾝを結合TxD/RxD線にするTxDﾋﾟﾝとUSART受信部間の内部接続を許します。RxDﾋﾟﾝはUSART受信部から切り離され、違う周辺機能によって制御されるかもしれません。

単線動作では複数装置が同時にTxD/RxD線を操作することができます。1つの装置がﾋﾟﾝを論理Highﾚﾍﾞﾙ(VDD)に駆動し、別の装置がこの線をLow(GND)に引く場合、短絡が起きます。これに対応するため、USARTは送信部にﾋﾟﾝを論理Highﾚﾍﾞﾙに駆動させないようにするｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作(制御B(USARTn.CTRLB)ﾚｼﾞｽﾀのｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作許可(ODME)ﾋﾞｯﾄ)が特徴で、それにより、ﾋﾟﾝをLowに引くことだけできるように制限します。内部ﾌﾟﾙｱｯﾌﾟ機能(ﾋﾟﾝn制御(PORTx.PINnCTRL)ﾚｼﾞｽﾀのﾌﾟﾙｱｯﾌﾟ許可(PULLUPEN)ﾋﾞｯﾄ)とこの機能の組み合わせは線にﾌﾟﾙｱｯﾌﾟ抵抗を通してHighを保持させ、どの装置にもLowへ引くことを許します。線がLowに引かれると、VDDからGNDへの電流はﾌﾟﾙｱｯﾌﾟ抵抗によって制限されます。TxDﾋﾟﾝはｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作が許可される時にﾊｰﾄﾞｳｪｱによって自動的に出力に設定されます。

USARTがTxD/RxDﾋﾟﾝへ送信している時はその送信も受け取ります。これは受信したﾃﾞｰﾀが送信したﾃﾞｰﾀと同じであるかを調べることによって重なっている送信の検出に使うことができます。

RS-485動作

RS-485はUSART周辺機能によって支援される通信規格です。これは通信回路の構成を定義する物理的ｲﾝﾀｰﾌｪｰｽです。ﾃﾞｰﾀは通信を雑音に対して頑強にする差動信号を使って伝送されます。RS-485は制御A(USARTn.CTRLA)ﾚｼﾞｽﾀのRS-485動作(RS485)ﾋﾞｯﾄに'1'を書くことによって許可されます。

RS-485動作は単一USART送信を対応する差動対信号に変換する外部線駆動部ﾃﾞﾊﾞｲｽを支援します。これは線駆動部ﾃﾞﾊﾞｲｽに対して送信または受信を許可するのに使うことができるXDIRﾋﾟﾝの自動制御を許可します。USARTは送信している間、自動的にXDIRﾋﾟﾝをHighに駆動し、送信完了時にLowへ引きます。このような回路の例が下図で示されます。

XDIRﾋﾟﾝは外部線駆動部を許可するための若干の保護時間を許すため、ﾃﾞｰﾀが移動出力される1ﾎﾞｰﾚｰﾄ ｸﾛｯｸ周期前にHighになります。XDIRﾋﾟﾝは停止ﾋﾞｯﾄを含む完全なﾌﾚｰﾑ間Highに留まります。

図25-10. RS-485ﾊﾞｽ接続

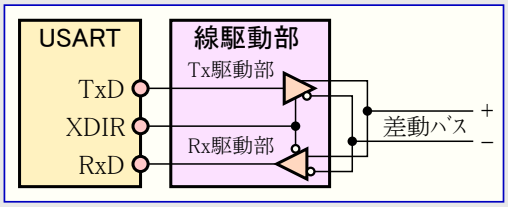
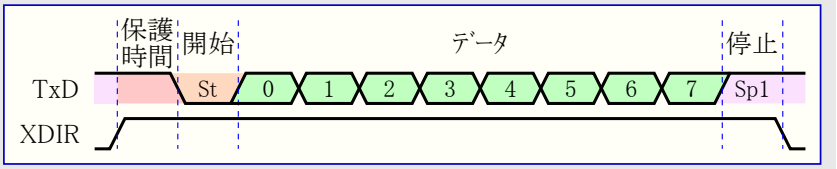
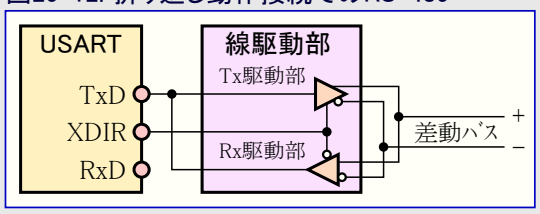


図25-11. XDIR駆動ﾀｲﾐﾝｸﾞ



RS-485動作は単線動作と互換性があります。単線動作はTxDﾋﾟﾝを結合したTxD/RxD線にするTxDﾋﾟﾝとUSART受信部間の内部接続を許します。RxDﾋﾟﾝはUSART受信部から切り離され、違う周辺機能によって制御されるかもしれません。このような回路の例が右図で示されます。

図25-12. 折り返し動作接続でのRS-485

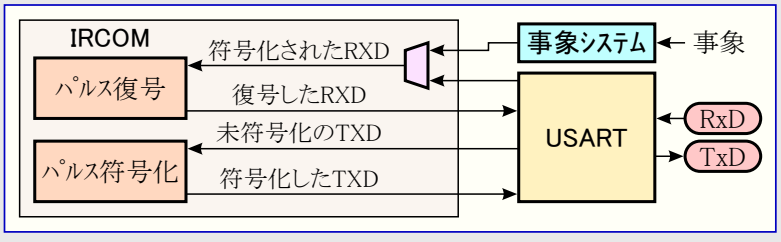


25.3.3.2.7. IRCOM動作形態

USART周辺機能は115.2kbpsまでのﾎﾞｰﾚｰﾄに適合するIrDA® 1.4である赤外線通信動作(IRCOM:Infrared Communication mode)に構成設定することができます。許可されると、IRCOM動作はUSARTに対して赤外線ﾊﾟﾙｽの符号化/復号を許します。

USARTは制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの通信動作(CMODE)ﾋﾞｯﾄ領域に'10'を書くことによってIRCOM動作に設定されます。TxD/RxDﾋﾟﾝ上のﾃﾞｰﾀは送受信される赤外ﾊﾟﾙｽの反転値です。これはIRCOM受信部に対する入力として事象ｼｽﾃﾑからの事象ﾁｬﾈﾙを選ぶことも可能です。これは入出力ﾋﾟﾝまたは対応するRxDﾋﾟﾝ以外の供給元からの入力の受信をIRCOMに許し、これはUSARTﾋﾟﾝからのRxD入力を禁止します。

図25-13. 構成図



© 2023 Microchip Technology Inc.とその子会社

送信については以下のような3つのﾊﾟﾙｽ変調方式が利用可能です。

- 3/16ﾎﾞｰﾚｰﾄ周期
- 周辺機能ｸﾛｯｸ周波数に基いた設定可能な固定ﾊﾟﾙｽ時間
- ﾊﾟﾙｽ変調禁止

受信については論理'0'として復号されるべきﾊﾟﾙｽに対して定められた選択可能な最小Highﾚﾍﾞﾙ ﾊﾟﾙｽ幅が使われます。より短いﾊﾟﾙｽは破棄され、そのﾋﾞｯﾄはﾊﾟﾙｽが全く受信されなかった場合に論理'1'に復号されます。

倍速動作はIRCOM動作が許可される時にUSARTに対して使うことができません。

25.3.4. 付加機能

25.3.4.1. ﾊﾟﾘﾃｨ

ﾊﾟﾘﾃｨ ﾋﾞｯﾄはﾃﾞｰﾀ ﾌﾚｰﾑの有効性検査のため、USARTによって使うことができます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄは送信に於いて'1'の値を持つﾋﾞｯﾄ数に基づいて送信部によって設定され、受信に於いて受信部によって管理されます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが送信ﾌﾚｰﾑと矛盾する場合、受信部はﾃﾞｰﾀ ﾌﾚｰﾑが不正にされたと推測することができます。

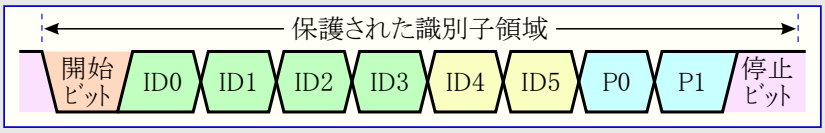
偶数または奇数のﾊﾟﾘﾃｨは制御C(USARTn.CTRLC)ﾚｼﾞｽﾀのﾊﾟﾘﾃｨ動作(PMODE)ﾋﾞｯﾄ領域を書くことによって誤り検査用に選ぶことができます。偶数ﾊﾟﾘﾃｨが選ばれた場合、ﾊﾟﾘﾃｨ ﾋﾞｯﾄは'1'値を持つﾃﾞｰﾀ ﾋﾞｯﾄ数が奇数の場合に'1'に設定されます('1'値を持つ総ﾋﾞｯﾄ数を偶数にします)。奇数ﾊﾟﾘﾃｨが選ばれた場合、ﾊﾟﾘﾃｨ ﾋﾞｯﾄは'1'値を持つﾃﾞｰﾀ ﾋﾞｯﾄ数が偶数の場合に'1'を設定します('1'を持つ総ﾋﾞｯﾄ数を奇数にします)。

許可されると、ﾊﾟﾘﾃｨ検査部は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果を対応するﾌﾚｰﾑのﾊﾟﾘﾃｨ ﾋﾞｯﾄと比べます。ﾊﾟﾘﾃｨ誤りが検出された場合、受信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(USARTn.RXDATAH)ﾚｼﾞｽﾀのﾊﾟﾘﾃｨ誤り(PERR)ﾌﾗｸﾞが設定(1)されます。

LIN制限自動ﾎﾞｰﾚｰﾄ動作が許可(制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの受信動作(RXMODE)ﾋﾞｯﾄ='11')された場合、ﾊﾟﾘﾃｨ検査は保護された識別子領域でだけ実行されます。下の式の1つが真でなければﾊﾟﾘﾃｨ誤りが検出され、それがﾊﾟﾘﾃｨ誤り(PERR)ﾌﾗｸﾞを設定(1)します。

```
P0 = ID0 XOR ID1 XOR ID2 XOR ID4
P1 = NOT ( ID1 XOR ID3 XOR ID4 XOR ID5 )
```

図25-14. 保護された識別子領域と識別子とﾊﾟﾘﾃｨ ﾋﾞｯﾄの配置



25.3.4.2. ﾌﾚｰﾑ開始検出

ﾌﾚｰﾑ開始検出機能はﾃﾞｰﾀ受信でｽﾀﾝﾊﾞｲ休止動作から起き上がることをUSARTに許します。

RxDﾋﾟﾝでHighからLowへの遷移が検出されると、発振器が給電されてUART周辺機能ｸﾛｯｸが許可されます。始動後、ﾎﾞｰﾚｰﾄが発振器始動時間に関して充分遅ければ、ﾃﾞｰﾀ ﾌﾚｰﾑの残りを受信することができます。発振器の始動時間は供給電圧と温度で変わります。発振器始動時間特性の詳細については「電気的特性」章を参照してください。

誤った開始ﾋﾞｯﾄが検出された場合で別の供給元が起動してしまっていなければ、ｽﾀﾝﾊﾞｲ休止動作に戻ります。

ﾌﾚｰﾑ開始検出は非同期動作でだけ動きます。これは制御B(USARTn.CTRLB)ﾚｼﾞｽﾀのﾌﾚｰﾑ開始検出許可(SFDEN)ﾋﾞｯﾄを(1に)書くことによって許可されます。ﾃﾞﾊﾞｲｽがｽﾀﾝﾊﾞｲ休止動作の間に開始ﾋﾞｯﾄが検出された場合、UART開始割り込み要求ﾌﾗｸﾞ(RXSIF)ﾋﾞｯﾄが設定(1)されます。

UART受信完了ﾌﾗｸﾞ(RXCIF)ﾋﾞｯﾄとUART開始割り込み要求ﾌﾗｸﾞ(RXSIF)ﾋﾞｯﾄは同じ割り込み線を共用しますが、各々は専用の割り込み設定を持ちます。下表は割り込み設定に依存するUSARTﾌﾚｰﾑ開始検出動作を示します。

表25-6. USARTﾌﾚｰﾑ開始検出動作

SFDEN	RXSIF割り込み	RXCIF割り込み	注釈
0	x	x	標準動作
1	禁止	禁止	発振器はﾌﾚｰﾑ受信中にだけ給電されます。割り込みが禁止されて緩衝部溢れが無視された場合、全ての到着ﾃﾞｰﾀが失われます。
1	禁止	許可	ｼｽﾃﾑ/全てのｸﾛｯｸが受信完了割り込みで起き上がり(起動し)ます。
1	許可	x	ｼｽﾃﾑ/全てのｸﾛｯｸが開始ﾋﾞｯﾄ検出時に起き上がり(起動し)ます。

注: SLEEP命令は進行中の通信がある場合に発振器を停止しません。

© 2023 Microchip Technology Inc.とその子会社

25.3.4.3. 複数ﾌﾟﾛｾｯｻ通信

複数ﾌﾟﾛｾｯｻ通信動作(MPCM)は同じ直列ﾊﾞｽ経由で複数のﾏｲｸﾛ ｺﾝﾄﾛｰﾗ通信を持つｼｽﾃﾑで、受信部によって処理されなければならない到着ﾌﾚｰﾑ数を効果的に減らします。この動作は制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの複数ﾌﾟﾛｾｯｻ通信動作(MPCM)ﾋﾞｯﾄに'1'を書くことによって許可されます。この動作ではﾌﾚｰﾑがｱﾄﾞﾚｽかﾃﾞｰﾀのどちらのﾌﾚｰﾑ形式かを示すのにﾌﾚｰﾑ内の専用ﾋﾞｯﾄが使われます。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑを受信するように構成設定されたなら、最初の停止ﾋﾞｯﾄはﾌﾚｰﾑ形式を示すのに使われます。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに構成設定されたなら、ﾌﾚｰﾑ形式を示すのに第9ﾋﾞｯﾄが使われます。ﾌﾚｰﾑ形式(最初の停止または第9)ﾋﾞｯﾄが'1'の時にそのﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ形式ﾋﾞｯﾄが'0'の時にそのﾌﾚｰﾑはﾃﾞｰﾀ ﾌﾚｰﾑです。5～8ﾋﾞｯﾄ文字(ﾃﾞｰﾀ)ﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ形式を示すのに使われるため、送信部は2停止ﾋﾞｯﾄ使用に設定されなければなりません。

特定の従装置MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方他の従装置MCUは別のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまでﾌﾚｰﾑを無視します。

25.3.4.3.1. 複数ﾌﾟﾛｾｯｻ通信動作の使い方

複数ﾌﾟﾛｾｯｻ通信動作(MPCM)でﾃﾞｰﾀを交換するには次の手順を使ってください。

1. 全ての従装置MCUは複数ﾌﾟﾛｾｯｻ通信動作です。
2. 主装置MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受け取って読みます。
3. 各従装置MCUは選択されたかを判定します。
4. ｱﾄﾞﾚｽ指定されたMCUはMPCMを禁止して全てのﾃﾞｰﾀ ﾌﾚｰﾑを受信します。他の従装置MCUはﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. ｱﾄﾞﾚｽ指定されたMCUが最後のﾃﾞｰﾀ ﾌﾚｰﾑを受信してしまうと、再びMPCMを許可して主装置からの新しいｱﾄﾞﾚｽ ﾌﾚｰﾑを待たなければなりません。

その後、手順は2.からを繰り返します。

25.3.5. 事象

USARTは下表で記述される事象を生成することができます。

表25-7. USARTでの事象生成部

生成部名		説明	事象型	生成ｸﾛｯｸ領域	事象長
周辺機能	事象				
USARTn	XCK	SPI主装置動作と同期USART主装置動作でのｸﾛｯｸ信号	ﾊﾟﾙｽ	CLK_PER	1 XCK周期

下表は事象使用部とその関連機能を記述します。

表25-8. USARTでの事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
USARTn	IREI	USARTn IrDA事象入力	ﾊﾟﾙｽ	同期

25.3.6. 割り込み

表25-9. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
RXC	受信完了割り込み	・受信緩衝部に未読ﾃﾞｰﾀ有 (RXCIE) ・検出されたﾌﾚｰﾑ開始の受信 (RXSIE) ・自動ﾎﾞｰﾚｰﾄ異常/矛盾同期領域割り込み要求ﾌﾗｸﾞ(ISFIF)設定(1) (ABEIE)
DRE	ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み	送信緩衝部が空/新しいﾃﾞｰﾀを受け取る準備可 (DREIE)
TXC	送信完了割り込み	送信移動ﾚｼﾞｽﾀのﾌﾚｰﾑ全体が出力され、送信緩衝部に新ﾃﾞｰﾀ無し (TXCIE)

割り込み条件が起こると、状態(USARTn.STATUS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は制御A(USARTn.CTRLA)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細についてはUSARTn.STATUSﾚｼﾞｽﾀをご覧ください。

© 2023 Microchip Technology Inc.とその子会社

25.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	RXDATAL	7～0	DATA7~0							
+$01	RXDATAH	7～0	RXCIF	BUFOVF				FERR	PERR	DATA8
+$02	TXDATAL	7～0	DATA7~0							
+$03	TXDATAH	7～0								DATA8
+$04	STATUS	7～0	RXCIF	TXCIF	DREIF	RXSIF	ISFIF		BDF	WFB
+$05	CTRLA	7～0	RXCIE	TXCIE	DREIE	RXSIE	LBME	ABEIE		RS485
+$06	CTRLB	7～0	RXEN	TXEN		SFDEN	ODME	RXMODE1,0		MPCM
+$07	CTRLC	7～0	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0		
								UDORD	UCPHA	
+$08	BAUD	7～0	BAUD7~0							
+$09		15～8	BAUD15~8							
+$0A	CTRLD	7～0	ABW1,0							
+$0B	DBGCTRL	7～0								DBGRUN
+$0C	EVCTRL	7～0								IREI
+$0D	TXPLCTRL	7～0	TXPL7~0							
+$0E	RXPLCTRL	7～0		RXPL7~0						

© 2023 Microchip Technology Inc.とその子会社

25.5. ﾚｼﾞｽﾀ説明

25.5.1. RXDATAL – 受信ﾃﾞｰﾀ下位ﾊﾞｲﾄ (Rceiver Data Register Low Byte)

名称 : RXDATAL
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀはUSART受信部によって受信されたﾃﾞｰﾀの下位側8ﾋﾞｯﾄを含みます。USART受信部は2重緩衝され、このﾚｼﾞｽﾀは常に最も古くに受信したﾌﾚｰﾑに対するﾃﾞｰﾀを示します。受信緩衝部に1ﾌﾚｰﾑに対するﾃﾞｰﾀだけが存在する場合、このﾚｼﾞｽﾀはそのﾃﾞｰﾀを含みます。

緩衝部は構成設定に依存してRXDATALまたはRXDATAHのどちらかが読まれる時にﾃﾞｰﾀを移動します。移動前に両ﾊﾞｲﾄを読むことができるようにﾃﾞｰﾀ移動を引き起こさないﾚｼﾞｽﾀが先に読まれなければなりません。

制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)ﾋﾞｯﾄ領域が9ﾋﾞｯﾄ(下位ﾊﾞｲﾄ先行)に構成設定される場合、RXDATAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ7~0 – DATA7~0 : 受信ﾃﾞｰﾀ** (Receiver Data Register)

25.5.2. RXDATAH – 受信ﾃﾞｰﾀ上位ﾊﾞｲﾄ (Rceiver Data Register High Byte)

名称 : RXDATAH
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀはUSART受信部によって受信されたﾃﾞｰﾀの上位側ﾋﾞｯﾄだけでなく、受信したﾃﾞｰﾀ ﾌﾚｰﾑの状態を反映する状態ﾋﾞｯﾄも含みます。USART受信部は2重緩衝され、このﾚｼﾞｽﾀは常に最も古くに受信したﾌﾚｰﾑに対するﾃﾞｰﾀと状態ﾋﾞｯﾄを示します。受信緩衝部に1ﾌﾚｰﾑに対するﾃﾞｰﾀと状態ﾋﾞｯﾄだけが存在する場合、このﾚｼﾞｽﾀはそのﾃﾞｰﾀと状態ﾋﾞｯﾄを含みます。

緩衝部は構成設定に依存してRXDATALまたはRXDATAHのどちらかが読まれる時にﾃﾞｰﾀを移動します。移動前に両ﾊﾞｲﾄを読むことができるようにﾃﾞｰﾀ移動を引き起こさないﾚｼﾞｽﾀが先に読まれなければなりません。

制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)ﾋﾞｯﾄ領域が9ﾋﾞｯﾄ(下位ﾊﾞｲﾄ先行)に構成設定される場合、RXDATAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCIF	BUFOVF				FERR	PERR	DATA8
ｱｸｾｽ種別	R/W	R/W	R	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

- **ﾋﾞｯﾄ7 – RXCIF : 受信完了割り込み要求ﾌﾗｸﾞ** (Receive Complete Interrupt Flag)

このﾌﾗｸﾞは受信緩衝部内に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の時に解除(0)されます。

- **ﾋﾞｯﾄ6 – BUFOVF : 緩衝部溢れﾌﾗｸﾞ** (Buffer Overflow)

このﾌﾗｸﾞは緩衝部溢れが検出された場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯で、新しﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀで待っていて、新しい開始ﾋﾞｯﾄが検出された時に起こります。このﾌﾗｸﾞは受信ﾃﾞｰﾀ(USARTn.RXDATALとUSARTn.RXDATAH)ﾚｼﾞｽﾀが読まれる時に解除(0)されます。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

- **ﾋﾞｯﾄ2 – FERR : ﾌﾚｰﾑ異常ﾌﾗｸﾞ** (Frame Error)

このﾌﾗｸﾞは最初の最初の停止ﾋﾞｯﾄが'0'の場合に設定(1)され、それが'1'として正しく読めた時に解除(0)されます。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

- **ﾋﾞｯﾄ1 – PERR : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (Parity Error)

このﾌﾗｸﾞはﾊﾟﾘﾃｨ検査が許可され、受信したﾃﾞｰﾀがﾊﾟﾘﾃｨ誤りを持つ場合に設定(1)され、さもなければ、このﾌﾗｸﾞは解除(0)されます。ﾊﾟﾘﾃｨ計算の詳細については「25.3.4.1. ﾊﾟﾘﾃｨ」を参照してください。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ0 – DATA8 : 受信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Receiver Data Register)

9ﾋﾞｯﾄの大きさのﾌﾚｰﾑ使用時、このﾋﾞｯﾄは受信ﾃﾞｰﾀの第9(最上位)ﾋﾞｯﾄを保持します。

制御B(USARTn.CTRLB)ﾚｼﾞｽﾀの受信動作(RXMODE)ﾋﾞｯﾄ領域がLIN制限自動ﾎﾞｰﾚｰﾄ(LINAUTO)動作に構成設定されると、このﾋﾞｯﾄは受信ﾃﾞｰﾀがLINﾌﾚｰﾑの応答空間内かを示します。受信ﾃﾞｰﾀが保護された識別子領域なら、このﾋﾞｯﾄは解除(0)され、さもなければ、設定(1)されます。

25.5.3. TXDATAL – 送信ﾃﾞｰﾀ下位ﾊﾞｲﾄ (Transmit Data Register Low Byte)

名称 : TXDATAL
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀに書かれたﾃﾞｰﾀは自動的にTX緩衝部を通して専用の移動ﾚｼﾞｽﾀに設定されます。移動ﾚｼﾞｽﾀはﾋﾞｯﾄの各々を直列にTxDﾋﾟﾝに出力します。

9ﾋﾞｯﾄの大きさのﾌﾚｰﾑ使用時、第9(最上位)ﾋﾞｯﾄは送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(USARTn.TXDATAH)ﾚｼﾞｽﾀに書かれなければなりません。その場合、緩衝部は構成設定に応じて送信ﾃﾞｰﾀ下位ﾊﾞｲﾄ(USARTn.TXDATAL)ﾚｼﾞｽﾀまたは送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(USARTn.TXDATAH)ﾚｼﾞｽﾀのどちらかが書かれた時にﾃﾞｰﾀを移動します。移動前に両ﾊﾞｲﾄを書くことができるようにﾃﾞｰﾀ移動を引き起こさないﾚｼﾞｽﾀが先に書かれなければなりません。

制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)ﾋﾞｯﾄ領域が9ﾋﾞｯﾄ(下位ﾊﾞｲﾄ先行)に構成設定されると、送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ ﾚｼﾞｽﾀの書き込みが送信緩衝部を移動します。さもなければ、信ﾃﾞｰﾀ下位ﾊﾞｲﾄ ﾚｼﾞｽﾀが緩衝部を移動します。

このﾚｼﾞｽﾀは状態(USARTn.STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)されている時にだけ書くことができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DATA7~0 : 送信ﾃﾞｰﾀ** (Transmit Data Register Low Byte)

25.5.4. TXDATAH – 送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ (Transmit Data Register High Byte)

名称 : TXDATAH
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

このﾚｼﾞｽﾀに書かれたﾃﾞｰﾀは自動的にTX緩衝部を通して専用の移動ﾚｼﾞｽﾀに設定されます。移動ﾚｼﾞｽﾀはﾋﾞｯﾄの各々を直列にTxDﾋﾟﾝに出力します。

9ﾋﾞｯﾄの大きさのﾌﾚｰﾑ使用時、第9(最上位)ﾋﾞｯﾄは送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(USARTn.TXDATAH)ﾚｼﾞｽﾀに書かれなければなりません。その場合、緩衝部は構成設定に応じて送信ﾃﾞｰﾀ下位ﾊﾞｲﾄ(USARTn.TXDATAL)ﾚｼﾞｽﾀまたは送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ(USARTn.TXDATAH)ﾚｼﾞｽﾀのどちらかが書かれた時にﾃﾞｰﾀを移動します。移動前に両ﾊﾞｲﾄを書くことができるようにﾃﾞｰﾀ移動を引き起こさないﾚｼﾞｽﾀが先に書かれなければなりません。

制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)ﾋﾞｯﾄ領域が9ﾋﾞｯﾄ(下位ﾊﾞｲﾄ先行)に構成設定されると、送信ﾃﾞｰﾀ上位ﾊﾞｲﾄ ﾚｼﾞｽﾀの書き込みが送信緩衝部を移動します。さもなければ、信ﾃﾞｰﾀ下位ﾊﾞｲﾄ ﾚｼﾞｽﾀが緩衝部を移動します。

このﾚｼﾞｽﾀは状態(USARTn.STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)されている時にだけ書くことができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DATA8
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – DATA8 : 送信ﾃﾞｰﾀ ﾋﾞｯﾄ8** (Transmit Data Register High Byte)

このﾋﾞｯﾄは制御C(USARTn.CTRLC)ﾚｼﾞｽﾀの文字ﾋﾞｯﾄ数(CHSIZE)=9BITLまたは9BITHの時に使われます。

© 2023 Microchip Technology Inc.とその子会社

25.5.5. STATUS – 状態 (USART Status Register)

名称 : STATUS
変位 : +$04
ﾘｾｯﾄ : $20
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCIF	TXCIF	DREIF	RXSIF	ISFIF		BDF	WFB
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R	R/W	W
ﾘｾｯﾄ値	0	0	1	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXCIF : 受信完了割り込み要求ﾌﾗｸﾞ** (Receive Complete Interrupt Flag)

このﾌﾗｸﾞは受信緩衝部内に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の時に解除(0)されます。

● **ﾋﾞｯﾄ6 – TXCIF : 送信完了割り込み要求ﾌﾗｸﾞ** (USART Transmit Complete Interrupt Flag)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀのﾌﾚｰﾑ全体が移動出力されてしまい、送信緩衝部と送信ﾃﾞｰﾀ(TXDATALとTXDATAH)ﾚｼﾞｽﾀ内に新しいﾃﾞｰﾀがない時に設定(1)されます。これに'1'を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ5 – DREIF : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ** (USART Data Register Empty Flag)

このﾌﾗｸﾞは送信ﾃﾞｰﾀ(USARTn.TXDATALとUSARTn.TXDATAH)ﾚｼﾞｽﾀが空の時に設定(1)され、それらが送信移動ﾚｼﾞｽﾀ内へ未だ移されないﾃﾞｰﾀを含む時に解除(0)されます。

● **ﾋﾞｯﾄ4 – RXSIF : 受信開始割り込み要求ﾌﾗｸﾞ** (USART Receive Start Interrupt Flag)

このﾌﾗｸﾞはﾌﾚｰﾑ開始検出が許可され、ﾃﾞﾊﾞｲｽがｽﾀﾝﾊﾞｲ休止動作で、有効な開始ﾋﾞｯﾄが検出された時に設定(1)されます。これに'1'を書くことによって解除(0)されます。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

● **ﾋﾞｯﾄ3 – ISFIF : 矛盾同期領域割り込み要求ﾌﾗｸﾞ** (Inconsistent Sync Field Interrupt Flag)

このﾌﾗｸﾞは自動ﾎﾞｰﾚｰﾄが許可されて、同期領域が与えられた有効なﾎﾞｰﾚｰﾄ設定に対して速すぎる、または遅すぎる場合に設定(1)されます。USARTがLINAUTO動作に設定され、同期(SYNC)文字が$55のﾃﾞｰﾀ値と違う時にも設定(1)されます。このﾌﾗｸﾞはこれに'1'を書くことによって解除(0)されます。より多くの情報については「自動ﾎﾞｰﾚｰﾄ」項をご覧ください。

● **ﾋﾞｯﾄ1 – BDF : 中断検出ﾌﾗｸﾞ** (Break Detected Flag)

このﾌﾗｸﾞは自動ﾎﾞｰﾚｰﾄ動作が許可され、有効な中断(BREAK)と同期(SYNC)の文字が検出された場合に設定(1)され、次のﾃﾞｰﾀが受信された時に解除(0)されます。これに'1'を書くことによっても解除(0)することができます。より多くの情報については「自動ﾎﾞｰﾚｰﾄ」項をご覧ください。

● **ﾋﾞｯﾄ0 – WFB : 中断待機** (Wait For Break)

このﾋﾞｯﾄの設定(1)は後続する到着ﾌﾚｰﾑに対する中断(BREAK)機能用待機を許可します。このﾌﾚｰﾑ後、この機能は自動的に禁止されます。

25.5.6. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	DREIE	RXSIE	LBME	ABEIE		RS485
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RXCIE : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

このﾋﾞｯﾄは受信完了割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)ﾚｼﾞｽﾀの受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)ﾋﾞｯﾄが設定(1)される時に起動されます。

値	0	1
説明	受信完了割り込みが禁止されます。	受信完了割り込みが許可されます。

© 2023 Microchip Technology Inc.とその子会社

● **ビット6 – TXCIE : 送信完了割り込み許可** (Transmit Complete Interrupt Enable)

このビットは送信完了割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	送信完了割り込みが禁止されます。	送信完了割り込みが許可されます。

● **ビット5 – DREIE : データ レジスタ空割り込み許可** (Data Register Empty Interrupt Enable)

このビットはデータ レジスタ空割り込み許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタのデータ レジスタ空割り込み要求フラグ(DREIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	データ レジスタ空割り込みが禁止されます。	データ レジスタ空割り込みが許可されます。

● **ビット4 – RXSIE : 受信開始割り込み許可** (Receiver Start Frame Interrupt Enable)

このビットは受信開始割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの受信開始割り込み要求フラグ(RXSIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	受信開始割り込みが禁止されます。	受信開始割り込みが許可されます。

● **ビット3 – LBME : 折り返し動作許可** (Loop-back Mode Enable)

このビットは折り返し動作が許可されるか否かを制御します。許可されると、TxDピンとUSART受信部間の内部接続が作成され、RxDピンからUSART受信部への入力が切断されます。

値	0	1
説明	折り返し動作が禁止されます。	折り返し動作が許可されます。

● **ビット2 – ABEIE : 自動ボーレート異常割り込み許可** (Auto-baud Error Interrupt Enable)

このビットは自動ボーレート異常割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの矛盾同期領域割り込み要求フラグ(ISFIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	自動ボーレート異常割り込みが禁止されます。	自動ボーレート異常割り込みが許可されます。

● **ビット0 – RS485 : RS-485動作** (RS-485 Mode)

このビットはRS-485動作が許可されるか否かを制御します。より多くの情報については「RS-485動作」項を参照してください。

値	0	1
説明	RS-485動作が禁止されます。	RS-485動作が許可されます。

25.5.7. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$06
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RXEN	TXEN		SFDEN	ODME	RXMODE1,0		MPCM
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RXEN : 受信許可** (Receiver Enable)

このビットはUSART受信部が許可されるか否かを制御します。より多くの情報については「25.3.2.4.2. 受信部禁止」項を参照してください。

値	0	1
説明	RUSART受信部が禁止されます。	USART受信部が許可されます。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ6 – TXEN : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄはUSART送信部が許可されるか否かを制御します。より多くの情報については「25.3.2.3.1. 送信部禁止」項を参照してください。

値	0	1
説明	RUSART送信部が禁止されます。	USART送信部が許可されます。

● **ﾋﾞｯﾄ4 – SFDEN : ﾌﾚｰﾑ開始検出許可** (Start of Frame Detection Enable)

このﾋﾞｯﾄはUSARTﾌﾚｰﾑ開始検出動作が許可されるか否かを制御します。より多くの情報については「25.3.4.2. ﾌﾚｰﾑ開始検出」項を参照してください。

値	0	1
説明	RUSART送信部が禁止されます。	USART送信部が許可されます。

● **ﾋﾞｯﾄ3 – ODME : ｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作許可** (Open Drain Mode Enable)

このﾋﾞｯﾄはｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作が許可されるか否かを制御します。より多くの情報については「単線動作」項を参照してください。

値	0	1
説明	ｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作が禁止されます。	ｵｰﾌﾟﾝﾄﾞﾚｲﾝ動作が許可されます。

● **ﾋﾞｯﾄ2,1 – RXMODE1,0 : 受信動作** (Receiver Mode)

このﾋﾞｯﾄ領域書き込みはUSARTの受信部動作を選びます。

- これらのﾋﾞｯﾄへの‘00’書き込みは標準速(NORMAL)動作を許可します。制御C(USARTn.CTRLC)ﾚｼﾞｽﾀのUSART通信動作(CMODE)ﾋﾞｯﾄ領域が非同期USART(ASYNCHRONOUS)または赤外通信(IRCOM)に構成設定される時は常にRXMODEﾋﾞｯﾄ領域へ‘00’を書いてください。
- これらのﾋﾞｯﾄへの‘01’書き込みは倍速(CLK2X)動作を許可します。より多くの情報については「25.3.3.2.4. 倍速動作」項を参照してください。
- これらのﾋﾞｯﾄへの‘10’書き込みは標準自動ﾎﾞｰﾚｰﾄ(GENAUT)動作を許可します。より多くの情報については「自動ﾎﾞｰﾚｰﾄ」項を参照してください。
- これらのﾋﾞｯﾄへの‘11’書き込みはLIN制限自動ﾎﾞｰﾚｰﾄ(LINAUTO)動作を許可します。より多くの情報については「自動ﾎﾞｰﾚｰﾄ」項を参照してください。

値	0 0	0 1	1 0	1 1
名称	NORMAL	CLK2X	GENAUTO	LINAUTO
説明	標準速動作	倍速動作	標準自動ﾎﾞｰﾚｰﾄ動作	LIN制限自動ﾎﾞｰﾚｰﾄ動作

● **ﾋﾞｯﾄ0 – MPCM : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作が許可されるか否かを制御します。より多くの情報については「25.3.4.3. 複数ﾌﾟﾛｾｯｻ通信」をご覧ください。

値	0	1
説明	複数ﾌﾟﾛｾｯｻ通信動作が禁止されます。	複数ﾌﾟﾛｾｯｻ通信動作が許可されます。

25.5.8. CTRLC – 制御C – 標準動作 (Control C – Normal Mode)

名称 : CTRLC
変位 : +$07
ﾘｾｯﾄ : $03
特質 : –

このﾚｼﾞｽﾀ記述は主装置SPI動作を除く全動作に対して有効です。このﾚｼﾞｽﾀのUSART通信動作(CMODE)ﾋﾞｯﾄ領域が’MSPI’を書かれた時の正確な記述については「制御C(CTRLC) – 主装置SPI動作」ﾚｼﾞｽﾀをご覧ください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	CMODE1,0		PMODE1,0		SBMODE		CHSIZE2~0	
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	1	1

© 2023 Microchip Technology Inc.とその子会社

● **ビット7,6 – CMODE1,0 : 通信動作** (USART Communication Mode)

このビット領域はUSARTの通信動作を選びます。

これらのビットへの'11'書き込みはこのレジスタでの利用可能なビット領域が変わります。「制御C(CTRLC) – 主装置SPI動作」レジスタをご覧ください。

値	0 0	0 1	1 0	1 1
名称	ASYNCHRONOUS	SYNCHRONOUS	IRCOM	MSPI
説明	非同期USART	同期USART	赤外線通信	主装置SPI

● **ビット5,4 – PMODE1,0 : パリティ動作** (Parity Mode)

このビット領域はパリティ生成の形式を選びます。より多くの情報については「25.3.4.1. パリティ」をご覧ください。

値	0 0	0 1	1 0	1 1
名称	DISABLED	–	EVEN	ODD
説明	禁止	(予約)	許可、偶数パリティ	許可、奇数パリティ

● **ビット3 – SBMODE : 停止ビット動作** (Stop Bit Mode)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します。

値	0	1
説明	1停止ビット	2停止ビット

● **ビット2~0 – CHSIZE2~0 : 文字ビット数** (Character Size)

このビット領域はフレーム内のデータ ビット数を選びます。受信部と送信部は同じ設定を使います。9ビット文字に対しては、受信データ(RXDATA)または送信データ(TXDATA)の下位または上位で先に読み書きするバイト順を構成設定することができます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	5BIT	6BIT	7BIT	8BIT	–	–	9BITL	9BITH
説明	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	9ビット(下位バイト先行)	9ビット(上位バイト先行)

25.5.9. CTRLC – 制御C – 主装置SPI動作 (Control C – Master SPI Mode)

名称 : CTRLC
変位 : +$07
リセット : $02
特質 : –

このレジスタ記述はUSARTが(通信動作(CMODE)がMSPIを書かれる)主装置SPI動作の時にだけ有効です。他のCMODE値ついての正確な記述に関しては「制御C(CTRLC) – 標準動作」レジスタをご覧ください。

主装置SPI動作の完全な記述については「25.3.3.1.3. 主装置SPI動作でのUSART」をご覧ください。

ビット	7	6	5	4	3	2	1	0
	CMODE1,0					UDORD	UCPHA	
アクセス種別	R/W	R/W	R	R	R	R/W	R/W	R
リセット値	0	0	0	0	0	0	1	0

● **ビット7,6 – CMODE1,0 : 通信動作** (USART Communication Mode)

このビット領域はUSARTの通信動作を選びます。

これらのビットへの'11'以外の書き込みはこのレジスタでの利用可能なビット領域が変わります。「制御C(CTRLC) – 標準動作」レジスタをご覧ください。

値	0 0	0 1	1 0	1 1
名称	ASYNCHRONOUS	SYNCHRONOUS	IRCOM	MSPI
説明	非同期USART	同期USART	赤外線通信	主装置SPI

● **ビット2 – UDORD : USARTデータ順** (USART Data Order)

このビットはフレーム形式を選びます。

受信部と送信部は同じ設定を使います。UDORDビットの設定変更は送受信部両方に対して進行中の全ての通信を不正にします。

© 2023 Microchip Technology Inc.とその子会社

値	0	1
説明	データ語のMSBが先に送信されます。	データ語のLSBが先に送信されます。

● **ビット1 – UCPHA : USARTクロック位相** (USART Clock Phase)

このビットはインターフェース クロックの位相を制御します。より多くの情報については「クロック生成」項を参照してください。

値	0	1
説明	データが先行(先頭)端で採取されます。	データが後行(最終)端で採取されます。

25.5.10. BAUD – ボーレート (Baud Register)

名称 : BAUD (BAUDH,BAUDL)
変位 : +$08
リセット : $0000
特質 : –

USARTn.BAUDHとUSARTn.BAUDLのレジスタ対は16ビット値のUSARTn.BAUDを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

送信部と受信部の進行中の転送はボーレートが変更される場合に不正にされます。このレジスタへの書き込みはボーレート前置分周器の即時更新を起動します。ボーレートの設定方法のより多くの情報については表25-1.をご覧ください。

ビット	15	14	13	12	11	10	9	8
	BAUD15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	BAUD7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15～8 – BAUD15~8 : ボーレート上位バイト** (USART Baud Rate high byte)

このビット領域は16ビット ボーレート レジスタの上位バイトを保持します。

● **ビット7～0 – BAUD7~0 : ボーレート下位バイト** (USART Baud Rate low byte)

このビット領域は16ビット ボーレート レジスタの下位バイトを保持します。

25.5.11. CTRLD – 制御D (Control D)

名称 : CTRLD
変位 : +$0A
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	ABW1,0							
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット7,6 – ABW1,0 : 自動ボーレート窓幅** (Auto-baud Window Size)

これらのビットはLIN制限自動ボーレート動作使用時に2つの同期する装置間のボーレートの違いに対する許容値を制御します。許容値は毎回の2ビット間のボーレート採取数に基づきます。ボーレートが同じ時は各ビットが16回採取されるため、各ビット対間は32ボーレート採取でなければなりません。

値	0 0	0 1	1 0	1 1
名称	WDW0	WDW1	WDW2	WDW3
説明	32±6 (18%許容)	32±5 (15%許容)	32±7 (21%許容)	32±8 (25%許容)

© 2023 Microchip Technology Inc.とその子会社

25.5.12. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control)

名称 : DBGCTRL
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行** (Debug Run)

値	0	1
説明	中断ﾃﾞﾊﾞｯｸﾞ動作で停止され事象を無視	中断ﾃﾞﾊﾞｯｸﾞ動作でCPU停止時に走行継続

25.5.13. EVCTRL – 事象制御 (IrDA Control Register)

名称 : EVCTRL
変位 : +$0C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								IREI
アクセス種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ0 – IREI : IrDA事象入力許可** (IrDA Event Input Enable)

このﾋﾞｯﾄはIrDA事象入力が許可されるか否かを制御します。より多くの情報については「25.3.3.2.7. IRCOM動作形態」項をご覧ください。

値	0	1
説明	IrDA事象入力が禁止されます。	IrDA事象入力が許可されます。

25.5.14. TXPLCTRL – IRCOM送信ﾊﾟﾙｽ長制御 (IRCOM Transmitter Pulse Length Control Register)

名称 : TXPLCTRL
変位 : +$0D
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TXPL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TXPL7~0 : 送信ﾊﾟﾙｽ長** (Transmitter Pulse Length)

この8ﾋﾞｯﾄ値は送信部に対するﾊﾟﾙｽ変調方式を設定します。このﾚｼﾞｽﾀの設定はUSARTによってIRCOM動作が選択される場合にだけ有効で、USART送信部が許可(TXEN)される前に構成設定されなければなりません。

値	説明
$00	3/16ﾎﾞｰﾚｰﾄ周期ﾊﾟﾙｽ変調が使われます。
$01～$FE	固定ﾊﾟﾙｽ長符号化が使われます。この8ﾋﾞｯﾄ値はﾊﾟﾙｽに対する周辺機能ｸﾛｯｸ周期数を設定します。ﾊﾟﾙｽの始めはﾎﾞｰﾚｰﾄ ｸﾛｯｸの上昇端で同期されます。
$FF	ﾊﾟﾙｽ符号化禁止。送受信の信号はIRCOM単位部を無変化で通過します。これは半二重USART、折り返し検査、事象ﾁｬﾈﾙからのUSART受信入力のような、IRCOM単位部を通す他の機能を許します。

© 2023 Microchip Technology Inc.とその子会社

25.5.15. RXPLCTRL – IRCOM受信ﾊﾟﾙｽ長制御 (IRCOM Receiver Pulse Length Control Register)

名称 : RXPLCTRL
変位 : +$0E
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		RXPL6~0						
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6~0 – RXPL7~0 : 受信ﾊﾟﾙｽ長** (Receiver Pulse Length)

この7ﾋﾞｯﾄ値はIRCOM送受信部に対する濾波係数を設定します。このﾚｼﾞｽﾀの設定はUSARTによってIRCOM動作が選択される場合にだけ有効で、USART受信部が許可(RXEN)される前に構成設定されなければなりせん。

値	説明
$00	濾波が禁止されます。
$01～$7F	濾波が許可されます。RXPL+1の値は受け入れるべき受信したﾊﾟﾙｽに必要とされる採取数を表します。

© 2023 Microchip Technology Inc.とその子会社

26. SPI – 直列周辺インターフェース

26.1. 特徴

- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 転送の最後での割り込み要求フラグ
- 書き込み衝突フラグ保護
- アイドル休止動作からの起き上がり
- 倍速(CK/2)主装置SPI動作

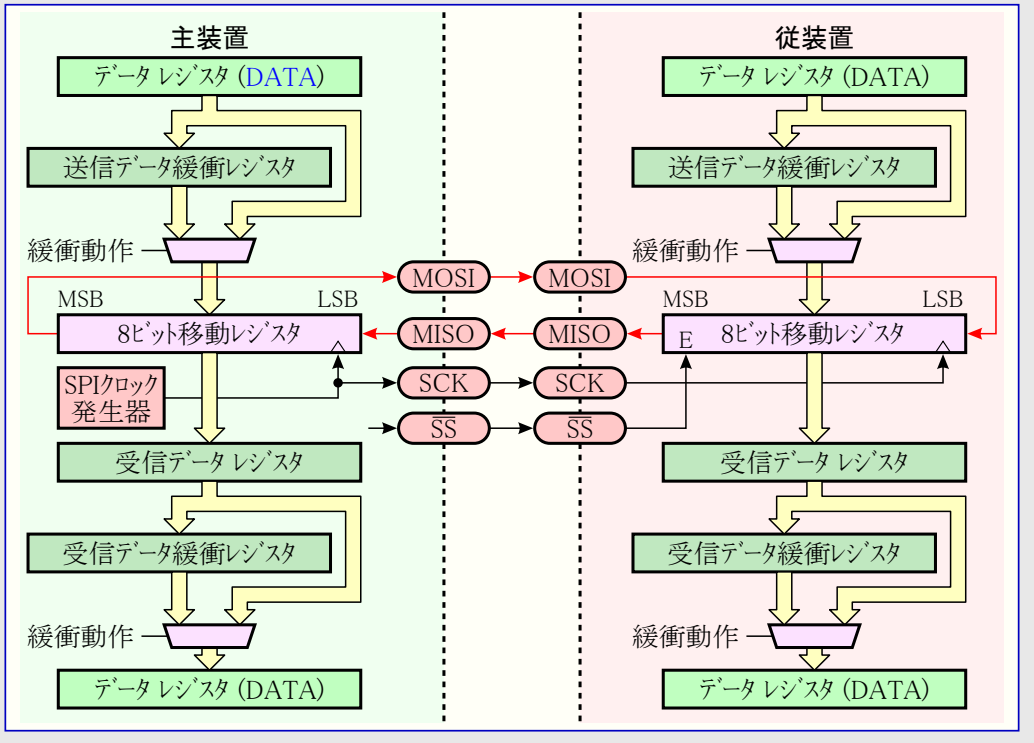
26.2. 概要

直列周辺インターフェース(SPI)は3または4つのピンを用いる高速同期データ転送インターフェースです。それはAVR®デバイスと周辺装置間、または様々なマイクロ コントローラ間での全二重通信を許します。SPI周辺機能は主装置または従装置のどちらかとして構成設定することができます。主装置が全てのデータ転送処理を始めて制御します。

SPIを持つ主装置と従装置のデバイス間の相互接続が下の構成図で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)信号をLowに引くことによって通信周回を始めます。主装置と従装置は送るべきデータをそれらの各々の移動レジスタに用意して、主装置はデータを交換するためにSCK線上に必要とするクロック パルスを生成します。データは常に主装置出力従装置入力(MOSI)線で主装置から従装置へ、主装置入力従装置出力(MISO)線で従装置から主装置へ移動されます。

26.2.1. 構成図

図26-1. SPI構成図



SPIは同時にデータの移動出力と入力を行う8ビット移動レジスタ周辺を構築します。データ(DATA)レジスタは物理的なレジスタではありませんが、読み書きされる時に他のレジスタに割り当てられます。送信時のデータ(SPIn.DATA)レジスタは標準動作で移動レジスタに、緩衝動作で送信緩衝レジスタに書きます。受信時のデータ(SPIn.DATA)レジスタ読み込みは標準動作で受信データ レジスタを、緩衝動作で受信データ緩衝レジスタを読みます。

主装置動作ではSPIがSCKクロックを生成するクロック生成器を持ちます。従装置では受け取ったSCKクロックが同期化されて移動レジスタでデータの移動を起動するように採取されます。

© 2023 Microchip Technology Inc.とその子会社

26.2.2. 信号説明

表26-1. 主装置動作と従装置動作での信号

信号	形式		説明
	主装置動作	従装置動作	
MOSI	使用者定義 (注1)	入力	主装置出力従装置入力
MISO	入力	使用者定義 (注1,2)	主装置入力従装置出力
SCK	使用者定義 (注1)	入力	従装置クロック
$\overline{SS}$	使用者定義 (注1)	入力	従装置選択

注1: ピンのデータ方向が出力として構成設定される場合、ピンのレベルはSPIによって制御されます。

注2: SPIが従装置動作でMISOピンのデータ方向が出力として構成設定される場合、以下のように$\overline{SS}$ピンがMISOピンを制御します。
- $\overline{SS}$ピンがLowに駆動されるなら、MISOピンはSPIによって制御されます。
- $\overline{SS}$ピンがHighに駆動されるなら、MISOピンはHi-Zにされます。

SPI単位部が許可されると、MOSI、MISO、SCK、$\overline{SS}$ピンのデータ方向は**表26-1.**に従って上書きされます。

26.3. 機能的な説明

26.3.1. 初期化

以下のこれらの手順によってSPIを基本機能状態に初期化してください。

1. ポート周辺機能で$\overline{SS}$ピンを構成設定してください。
2. 制御A(SPIn.CTRLA)レジスタの主/従装置選択(MASTER)ビットを書くことによってSPI主装置/従装置動作を選んでください。
3. 主装置動作では、SPIn.CTRLAレジスタで前置分周器(PRESC)ビットとクロック倍速(CLK2X)ビットを書くことによってクロック速度を選んでください。
4. 任意選択: 制御B(SPIn.CTRLB)レジスタの動作形態(MODE)ビットに書くことによって転送動作形態を選んでください。
5. 任意選択: SPIn.CTRLAレジスタのデータ順(DORD)ビットを書いてください。
6. 任意選択: 制御B(SPIn.CTRLB)レジスタで緩衝動作許可(BUFEN)と緩衝動作受信待機(BUFWR)のビットを書くことによって緩衝動作を構成設定してください。
7. 任意選択: 主装置動作での複数主装置支援を禁止するにはSPIn.CTRLBレジスタの従装置選択禁止(SSD)ビットに'1'を書いてください。
8. SPIn.CTRLAレジスタの許可(ENABLE)ビットに'1'を書くことによってSPIを許可してください。

26.3.2. 動作

26.3.2.1. 主装置動作

SPIが主装置動作に構成設定されると、データ(SPIn.DATA)レジスタへの書き込みが新しい転送を開始します。SPI主装置は下で説明されるように2つの動作形態、標準と緩衝で動作することができます。

26.3.2.1.1. 標準動作

標準動作で、システムは送信方向で単一緩衝され、受信方向で2重緩衝されます。これは次のようにデータ処理に影響します。

1. 送られるべき次のバイトは転送全体が完了される前にデータ(SPIn.DATA)レジスタに書くことができません。早すぎる書き込みは送出されるデータの不正を引き起こし、割り込み要求フラグ(SPIn.INTFLAGS)レジスタの書き込み衝突(WRCOL)フラグが設定(1)されます。
2. 受信したバイトは伝送が完了した後、直ちに受信データ レジスタに書かれます。
3. 受信データ レジスタは次の伝送が緩衝される、またはデータが失われる前に読まれなければなりません。このレジスタはSPIn.DATAを読むことによって読まれます。
4. 送信緩衝レジスタと受信データ緩衝レジスタは標準動作で使われません。

転送完了後、割り込み要求フラグ(SPIn.INTFLAGS)レジスタで割り込み要求フラグ(IF)が設定(1)されます。これはこの割り込みと全体割り込みが許可されている場合に実行されるべき対応する割り込みを引き起こします。割り込み制御(SPIn.INTCTRL)レジスタの割り込み許可(IE)ビットが割り込みを許可します。

© 2023 Microchip Technology Inc.とその子会社

26.3.2.1.2. 緩衝動作

緩衝動作は制御B(SPIn.CTRLB)レジスタの緩衝動作許可(BUFEN)ビットに'1'を書くことによって許可されます。SPIn.CTRLBの緩衝動作受信待機(BUFWR)ビットは主装置動作に影響を及ぼしません。緩衝動作のシステムは送信方向で2重緩衝、受信方向で3重緩衝されます。これは次のようにデータ処理に影響します。

1. 新しいバイトは割り込み要求フラグ(SPIn.INTFLAGS)レジスタのデータ レジスタ空割り込み要求フラグ(DREIF)が設定(1)されている限り、データ(SPIn.DATA)レジスタに書くことができます。最初の書き込みは直ちに送信され、後続する書き込みは送信データ緩衝レジスタへ行きます。
2. 受信したバイトは伝送が完了した後、直ちに受信データ レジスタと受信データ緩衝レジスタで構成される2つの記録の受信先入れ先出し(RX FIFO)待ち行列に置かれます。
3. RX FIFOから読むのにデータ(SPIn.DATA)レジスタが使われます。どのデータ損失も避けるため、RX FIFOは最低毎回の第2転送毎に読まれなければなりません。

移動レジスタと送信データ緩衝レジスタの両方が空になる場合、割り込み要求フラグ(SPIn.INTFLAGS)レジスタの転送完了割り込み要求フラグ(TXCIF)が設定(1)されます。これはこの割り込みと全体割り込みが許可されている場合に実行されるべき対応する割り込みを引き起こします。割り込み制御(SPIn.INTCTRL)レジスタの割り込み許可(IE)ビットが転送完了割り込みを許可します。

26.3.2.1.3. 主装置動作での$\overline{SS}$ピンの機能 – 複数主装置支援

主装置動作ではSPIが$\overline{SS}$ピンをどう使うのかを制御B(SPIn.CTRLB)レジスタの従装置選択禁止(SSD)ビットが制御します。

- SPIn.CTRLBnのSSDが'0'なら、SPIは主装置動作から従装置動作への遷移に$\overline{SS}$ピンを使うことができます。これは同じSPIバスで複数SPI主装置を許します。
- SPIn.CTRLBnのSSDが'0'で$\overline{SS}$ピンが出力ピンとして構成設定される場合、そのピンは通常の入出力として、または他の周辺機能単位部によって使うことができ、SPIシステムに影響を及ぼしません。
- SPIn.CTRLBnのSSDが'1'なら、SPIは$\overline{SS}$ピンを使いません。通常の入出力として、または他の周辺機能単位部によって使うことができます。

SPIn.CTRLBnのSSDビットが'0'で$\overline{SS}$が入力ピンとして構成設定される場合、$\overline{SS}$ピンは主装置SPI動作を保証するためにHighを保たれなければなりません。Lowレベルは別の主装置がバスの制御を取ることを試みていると解釈されます。これはSPIを従装置に切り替えてSPIのハードウェアが以下の活動を実行します。

1. 制御A(SPIn.CTRLA)レジスタの主/従装置選択(MASTER)ビットが解除(0)され、SPIシステムは従装置になります。SPIピンの方向は**表26-2.**の条件を満たす時に切り替えられます。
2. 割り込み要求フラグ(SPIn.INTFLAGS)レジスタの割り込み要求フラグ(IF)ビットが設定(1)されます。割り込みが許可されて全体割り込みが許可されているなら、その割り込みルーチンが実行されます。

表26-2. SPIn.CTRLBのSSDが'0'の時の$\overline{SS}$ピン機能の概要

$\overline{SS}$構成設定	$\overline{SS}$ピン レベル	説明
入力	High	主装置有効(選択)
	Low	主装置無効、従装置動作へ切り替え
出力	High	主装置有効(選択)
	Low	

注: デバイスが主装置動作で、2つの送信の間に$\overline{SS}$ピンがHighに留まることを保証できない場合、新しいバイトが書かれる前にSPIn.CTRLAレジスタの主/従装置選択(MASTER)ビットが調べられなければなりません。$\overline{SS}$線のLowレベルによってMASTERビットが解除(0)されてしまった後、SPI主装置動作を再許可するには応用によって設定(1)されなければなりません。

26.3.2.2. 従装置動作

従装置動作で、SPI周辺機能は主装置からSPIクロックと従装置選択を受け取ります。従装置動作は3つの動作形態、1つの標準動作と緩衝動作用の2つの構成設定を支援します。従装置動作で、制御論理回路はSCKピンでやって来る信号を採取します。このクロック信号の正しい採取を保証するため、最小のLowとHighの期間は各々2周辺機能クロック周期よりも長くなければなりません。

26.3.2.2.1. 標準動作

標準動作で、SPI周辺機能は$\overline{SS}$ピンがHighに駆動される限りアイドルに留まります。この状態ではソフトウェアがデータ(SPIn.DATA)レジスタの内容を更新するかもしれませんが、$\overline{SS}$ピンがLowに駆動されるまで、データはSCKピンでやって来るクロック パルスによって移動されません。$\overline{SS}$ピンがLowに駆動された場合、従装置は最初のSCKクロック パルスでデータの移動を開始します。1バイトが完全に移動されると、割り込み要求フラグ(SPIn.INTFLAGS)レジスタのSPI割り込み要求フラグ(IF)が設定(1)されます。

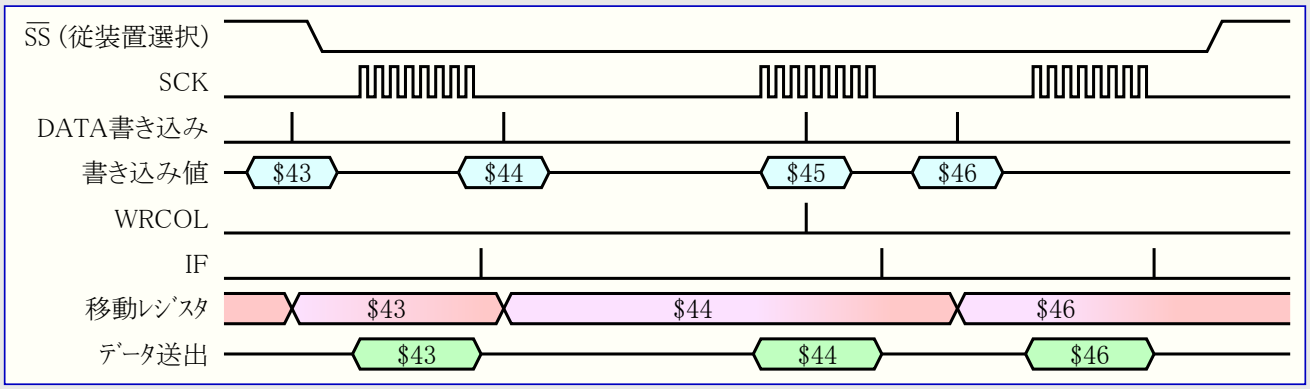
使用者応用は到着データを読む前にDATAレジスタに送る新しいデータの配置を続けるかもしれません。送るべき新しいバイトは(直前の)転送全体が完了されるのに先立ってDATAに書くことができません。早すぎる書き込みは無視され、ハードウェアがSPIn.INTFLAGSレジスタの書き込み衝突(WRCOL)フラグを設定(1)します。

$\overline{SS}$ピンがHighに駆動されると、SPI論理回路は停止され、SPI従装置は新しいどのデータも受け取りません。移動レジスタ内のどの部分的に受信したパケットも失われます。

© 2023 Microchip Technology Inc.とその子会社

図26-2.は標準動作での送信手順を示します。値$45がDATAレジスタに書かれますが、何故決して送信されないかに注目してください。

図26-2. 標準動作(緩衝動作不許可)でのSPIタイミング構成図



上図は3つの転送と、SPIが転送で多忙の間でのDATAレジスタへの1つの書き込みを示します。この書き込みは無視され、SPIn.INTFLAGSレジスタの書き込み衝突(WRCOL)フラグが設定(1)されます。

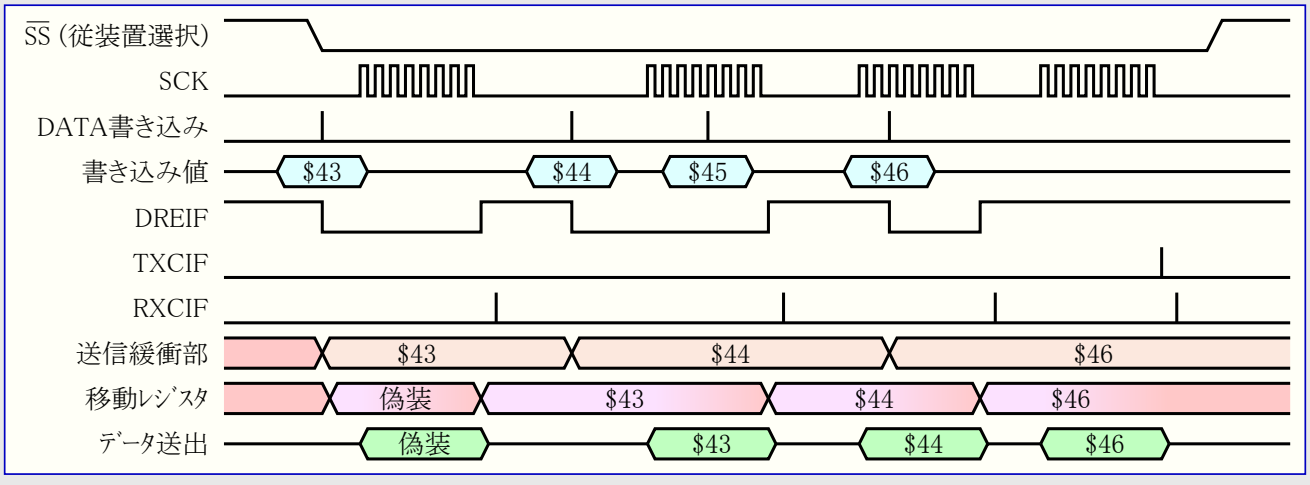
26.3.2.2.2. 緩衝動作

データ衝突を避けるため、SPI周辺機能は制御B(SPIn.CTRLB)レジスタの緩衝動作許可(BUFEN)ビットに'1'を書くことによって緩衝動作に構成設定することができます。この動作で、SPIは追加の割り込み要求フラグと追加の緩衝部を持ちます。追加の緩衝部は図26-1.で示されます。緩衝動作にはSPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットで選択される2つの異なる動作形態があります。2つの異なる動作は下のタイミング構成図で記述されます。

緩衝動作受信待機(BUFWR)=0での従装置緩衝動作

従装置動作で、SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'0'を書かれると、使用者データの送信を開始する前に偽装バイトが送られます。図26-3.はこの構成設定での送信手順を示します。値$45がデータ(SPIn.DATA)レジスタに書かれますが、何故決して送信されないかに注目してください。

図26-3. '0'を書かれたSPIn.CTRLBのBUFWRを持つ緩衝動作でのSPIタイミング構成図



SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'0'を書かれると、データ(SPIn.DATA)レジスタへの全ての書き込みが送信データ緩衝レジスタへ行きます。上の図は$43が直ちに移動レジスタへ送られずにデータ(SPIn.DATA)レジスタに書かれ、故に最初に送られるバイトが偽装バイトであることを示します。偽装バイトの値はその時の移動レジスタにあった値に等しい値です。最初の偽装転送が完了された後、移動レジスタに値$43が転送されます。その後に$44がデータ(SPIn.DATA)レジスタへ書かれて送信データ緩衝レジスタへ行きます。新しい転送が開始され、$43が送られます。値$45がデータ(SPIn.DATA)レジスタに書かれますが、送信データ緩衝レジスタが$44を含み既に満杯で、SPIn.INTFLAGSレジスタのデータ レジスタ空割り込み要求フラグ(DREIF)が'0'のため、送信データ緩衝レジスタは更新されません。値$45は失われます。転送(完了)後、値$44が移動レジスタに移動されます。次の転送の間、$46転送がデータ(SPIn.DATA)レジスタに書かれ、$44が送られます。転送完了後、$46が移動レジスタに複写されて次の転送で送り出されます。

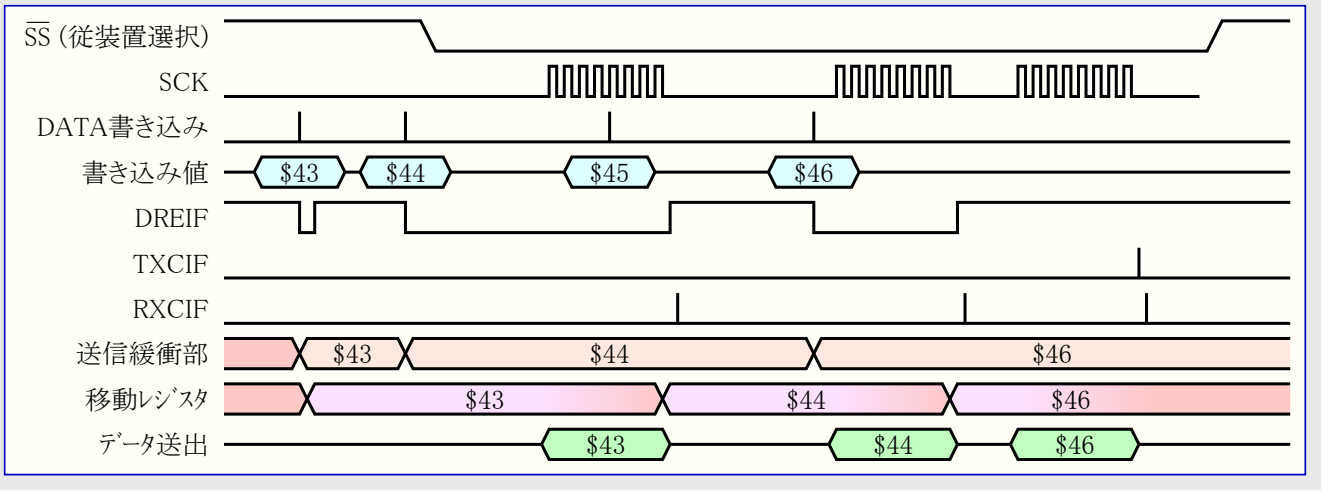
SPIn.INTFLAGSレジスタのデータ レジスタ空割り込み要求フラグ(DREIF)は送信データ緩衝レジスタが書かれる毎に'0'になり、送信データ緩衝レジスタ内の直前の値が移動レジスタに複写される時の転送後に'1'になります。SPIn.INTFLAGSレジスタの受信完了割り込み要求フラグ(RXCIF)はDREIFフラグが'1'になった1周期後に設定(1)されます。転送完了割り込み要求フラグ(TXCIF)は移動レジスタと送信データ緩衝レジスタで両方の値が送られてしまった時に受信完了割り込み要求フラグ(RXCIF)が設定(1)された1周期後に設定(1)されます。

© 2023 Microchip Technology Inc.とその子会社

緩衝動作受信待機(BUFWR)=1での従装置緩衝動作

従装置動作で、SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'1'を書かれると、使用者データの送信は$\overline{SS}$ピンがLowに駆動されると直ぐに開始します。**図26-4.**はこの構成設定での送信手順を示します。値$45がデータ(SPIn.DATA)レジスタに書かれますが、何故決して送信されないかに注目してください。

図26-4. '1'を書かれたSPIn.CTRLBのBUFWRを持つ緩衝動作でのSPIタイミング構成図



データ(SPIn.DATA)レジスタへの全ての書き込みは送信データ緩衝レジスタへ行きます。上の図は値$43がデータ(SPIn.DATA)レジスタに書かれ、$\overline{SS}$ピンがHighのためにそれが次の周回で移動レジスタに複写されることを示します。次の書き込み($44)は送信データ緩衝部に行きます。最初の転送の間に値$43が移動出力されます。上図で値$45がデータ(SPIn.DATA)レジスタに書かれますが、SPIn.INTFLAGSレジスタのデータ レジスタ空割り込み要求フラグ(DREIF)が'0'のため、送信データ緩衝レジスタは更新されません。転送完了後、送信データ緩衝レジスタから値$44が移動レジスタに複写されます。値$46が送信データ緩衝レジスタに書かれます。次の2つの転送の間に$44と$46が移動出力されます。フラグの動きは'0'に設定されたSPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットでと同じです。

26.3.2.2.3. 従装置動作での$\overline{SS}$ピンの機能

従装置選択($\overline{SS}$)ピンはSPIの操作で中心的な役割を演じます。SPI動作形態とこのピンの構成設定に応じて、これは装置を有効または無効にするのに使うことができます。$\overline{SS}$ピンはチップ選択ピンとして使われます。

従装置動作で、$\overline{SS}$,MOSI,SCKは常に入力です。MISOピンの動きはポート周辺機能でのピンのデータ方向構成設定と$\overline{SS}$の値に依存します。$\overline{SS}$ピンがLowに駆動されると、SPIは有効にされ、使用者がMISOピンのデータ方向を出力として構成設定した場合にMISOでデータ出力をクロック駆動するためのSCKパルスを受け取る責任があります。$\overline{SS}$ピンがHighに駆動されると、SPIは無効にされ、やって来るデータを受け取らないことを意味します。MISOピンのデータ方向が出力として構成設定される場合、MISOピンはHi-Zにされます。**表26-3.**は$\overline{SS}$ピン機能の上書きを示します。

表26-3. $\overline{SS}$ピン機能の概要

$\overline{SS}$構成設定	$\overline{SS}$ピン レベル	説明	MISOピン動作	
			ポート方向=出力	ポート方向=入力
常に入力	High	従装置無効 (非選択)	Hi-Z	入力
	Low	従装置有効 (選択)	出力	入力

注: 従装置動作で、SPI状態機構は$\overline{SS}$ピンがHighに駆動される時にリセットされます。伝送中に$\overline{SS}$ピンがHighに駆動される場合、SPIは直ちにデータの送受信を停止し、受信と送信の両データが失われたと見做されなければなりません。$\overline{SS}$ピンが転送の開始と終わりを合図するのに使われるため、パケット/バイト同期を達成するのと主装置クロック発生器で同期された従装置ビット計数器を維持するのに有用です。

© 2023 Microchip Technology Inc.とその子会社

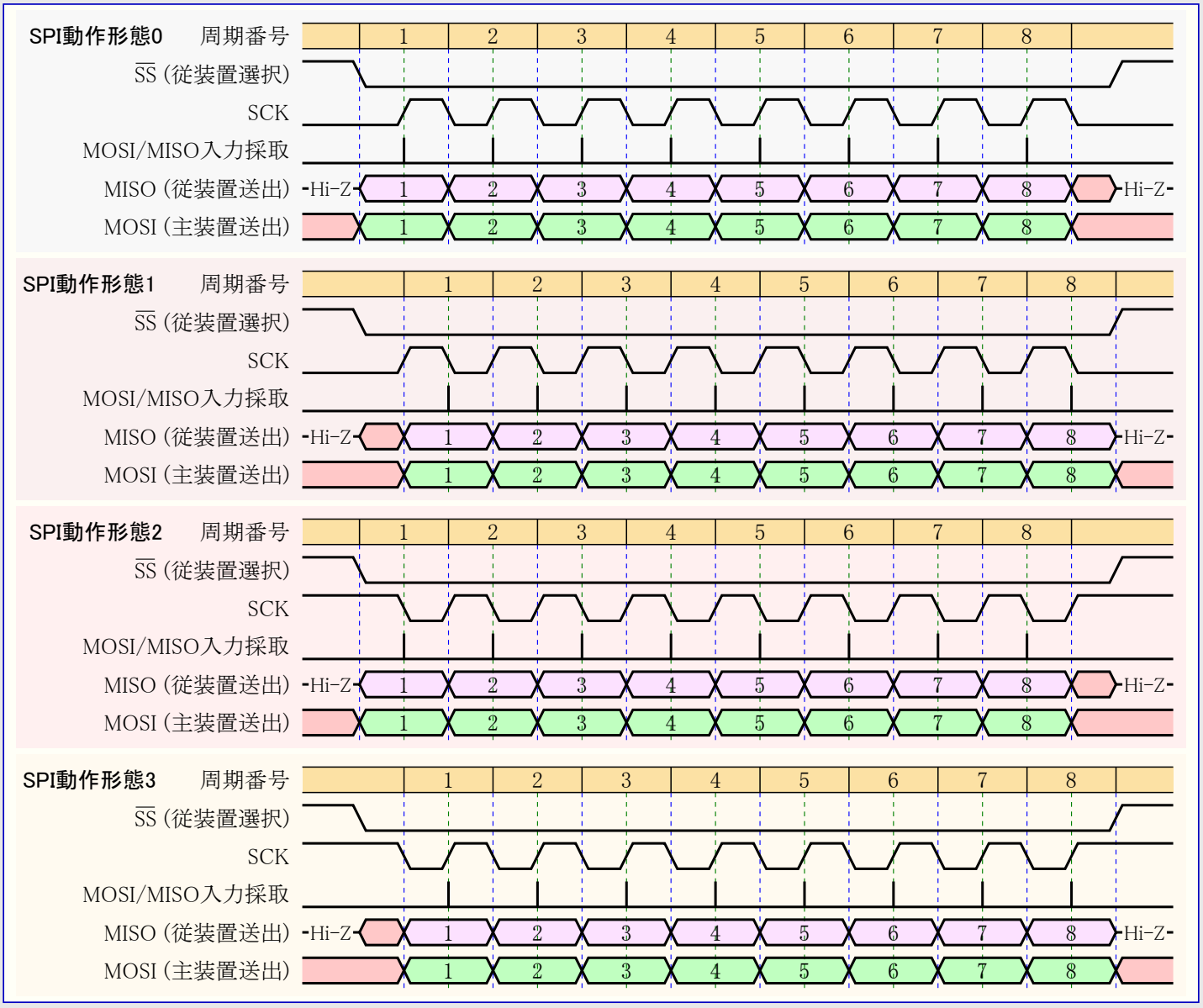
26.3.2.3. データ転送形態

直列データに関してSCKの位相と極性の4つの組み合わせがあります。望む組み合わせは制御B(SPIn.CTRLB)レジスタの動作形態(MODE)ビットに書くことによって選ばれます。

SPIデータ転送形式は以下で示されます。データ ビットはSCK信号の逆端で移動出力されてラッチされ、データ信号を安定にするための充分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図26-5. SPIデータ転送形態



26.3.2.4. 事象

SPIは以下の事象を生成することができます。

表26-4. SPIでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
SPIn	SCK	SPI主装置クロック	レベル	CLK_PER	最小2 CLK_PER周期

SPIは事象使用部を持ちません。

事象型と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

© 2023 Microchip Technology Inc.とその子会社

26.3.2.5. 割り込み

表26-5. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件	
		標準動作	緩衝動作
SPI	SPI割り込み	• IF : 割り込み要求割り込み • WRCOL : 書き込み衝突割り込み	• SSI : 従装置選択起動割り込み • DRE : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み • TXC : 転送完了割り込み • RXC : 受信完了割り込み

割り込み条件が起こると、周辺機能の割り込み要求ﾌﾗｸﾞ(SPIn.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は周辺機能の割り込み制御(SPIn.INTCTRL)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細についてはSPIn.INTFLAGSﾚｼﾞｽﾀをご覧ください。

© 2023 Microchip Technology Inc.とその子会社

26.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		DORD	MASTER	CLK2X		PRESC1,0		ENABLE
+$01	CTRLB	7～0	BUFEN	BUFWR				SSD	MODE1,0	
+$02	INTCTRL	7～0	RXCIE	TXCIE	DREIE	SSIE				IE
+$03	INTFLAGS	7～0	IF	WRCOL						
			RXCIF	TXCIF	DREIF	SSIF				BUFOVF
+$04	DATA	7～0	DATA7~0							

© 2023 Microchip Technology Inc.とその子会社

26.5. レジスタ説明

26.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		DORD	MASTER	CLK2X		PRESC1,0		ENABLE
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – DORD : データ順** (Data Order)

値	0	1
説明	語のMSBが先に送信されます。	語のLSBが先に送信されます。

● **ビット5 – MASTER : 主/従装置選択** (Master/Slave Select)

このビットは望む動作形態を選びます。

$\overline{SS}$が入力として構成設定され、このビットが'1'の間にLowへ駆動される場合、このビットが解除(0)され、割り込み要求フラグ(SPIn.INTFLAGS)レジスタの割り込み要求フラグ(IF)が設定(1)されます。使用者はSPI主装置動作を再び許可するためにMASTER='1'を再び書かなければなりません。

この動きは制御B(SPIn.CTRLB)レジスタの従装置選択禁止(SSD)ビットによって制御されます。

値	0	1
説明	SPI従装置動作選択	SPI主装置動作選択

● **ビット4 – CLK2X : クロック倍速** (Clock Double)

このビットが'1'を書かれると、SPI速度(内部前置分周された後のSCK周波数)が主装置動作で2倍にされます。

値	0	1
説明	SPI速度(SCK周波数)は2倍にされません。	SPI速度(SCK周波数)は主装置動作で倍にされます。

● **ビット2,1 – PRESC1,0 : 前置分周器** (Prescaler)

このビット領域は主装置動作で構成設定されるSCK速度を制御します。これらのビットは従装置動作で無効です。SCKと周辺機能クロック周波数(f_{CLK_PER})間の関連は下で示されます。

SPI前置分周器の出力はクロック倍速(CLK2X)ビットに'1'を書くことによって2倍にすることができます。

値	0 0	0 1	1 0	1 1
名称	DIV4	DIV16	DIV64	DIV128
説明	CLK_PER/4	CLK_PER/16	CLK_PER/64	CLK_PER/128

● **ビット0 – ENABLE : SPI許可** (SPI Enable)

値	0	1
説明	SPI禁止	SPI許可

© 2023 Microchip Technology Inc.とその子会社

26.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	BUFEN	BUFWR				SSD	MODE1,0	
アクセス種別	R/W	R/W	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – BUFEN : 緩衝動作許可** (Buffer Mode Enable)

このビットに'1'を書くことが緩衝動作を許可します。これは2つの受信緩衝部と1つの送信緩衝部を許可します。両方とも送信完了と受信完了の独立した割り込み要求フラグを持ちます。

● **ビット6 – BUFWR : 緩衝動作受信待機** (Buffer Mode Wait for Receive)

このビットに'0'を書くと、最初に転送されるデータは偽装採取です。

値	0	1
説明	データが移動レジスタに複写される前に1つのSPI転送が完了されなければなりません。	SPIが許可され、$\overline{SS}$がHighの時にデータ レジスタへ書かれると、最初の書き込みは移動レジスタへ直接行きます。

● **ビット2 – SSD : 従装置選択禁止** (Slave Select Disable)

SPI主装置(制御A(SPIn.CTRLA)レジスタの主/従装置選択(MASTER)=1)として動く時にこのビットが設定(1)される場合、$\overline{SS}$(のLow)は主装置動作を禁止しません。

値	0	1
説明	SPI主装置としての動作時、従装置選択線を許可	SPI主装置としての動作時、従装置選択線を禁止

● **ビット1,0 – MODE1,0 : 動作形態** (Mode)

これらのビットは転送動作形態を選びます。直列データに関してSCKの位相と極性の4つの組み合わせが下で示されます。これらのビットはクロック周期の先頭端(先行端)が上昇または下降のどちらか、データの設定と採取が先行端または後行端のどちらで起こるかを決めます。先行端が上昇の時のSCK信号はアイドル時にLowで、先行端が下降の時のSCK信号はアイドル時にHighです。

値	0 0	0 1	1 0	1 1
名称	0	1	2	3
説明	先行端：上昇、入力採取 後行端：下降、出力設定	先行端：上昇、出力設定 後行端：下降、入力採取	先行端：下降、入力採取 後行端：上昇、出力設定	先行端：下降、出力設定 後行端：上昇、入力採取

26.5.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	DREIE	SSIE				IE
アクセス種別	R/W	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RXCIE : 受信完了割り込み許可** (Receive Complete Interrupt Enable)

緩衝動作ではこのビット(=1)が受信完了割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIn.INTFLAGS)レジスタの受信完了割り込み要求フラグ(RXCIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

● **ビット6 – TXCIE : 転送完了割り込み許可** (Transter Complete Interrupt Enable)

緩衝動作ではこのビット(=1)が転送完了割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIn.INTFLAGS)レジスタの転送完了割り込み要求フラグ(TXCIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

● **ビット5 – DREIE : データ レジスタ空割り込み許可** (Data Register Empty Interrupt Enable)

緩衝動作ではこのビット(=1)がデータ レジスタ空割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIn.INTFLAGS)レジスタのデータ レジスタ空割り込み要求フラグ(DREIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

© 2023 Microchip Technology Inc.とその子会社

● **ビット4 – SSIE : 従装置選択割り込み許可** (Slave Select trigger Interrupt Enable)

緩衝動作ではこのビット(=1)が従装置選択割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIn.INTFLAGS)レジスタの従装置選択割り込み要求フラグ(SSIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

● **ビット0 – IE : 割り込み許可** (Interrupt Enable)

このビット(=1)はSPIが緩衝動作でない時のSPI割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIn.INTFLAGS)レジスタでRXCIF/IFが設定(1)される時に起動されます。

26.5.4. INTFLAGS – 割り込み要求フラグ – 標準動作 (Interrupt Flags – Normal Mode)

名称 : INTFLAGS
変位 : +$03
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	IF	WRCOL						
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – IF : 割り込み要求フラグ** (Interrupt Flag)

このフラグは直列転送が完了して1バイトがデータ(SPIn.DATA)レジスタで完全に移動入出力された時に設定(1)されます。SPIが主装置動作の時に$\overline{SS}$が入力として構成設定されてLowに駆動される場合、これもこのフラグを設定(1)します。IFはそれに'1'を書くことによって解除(0)されます。代わりに、IFはIFが設定(1)の時に最初にSPIn.INTFLAGSレジスタを読み、その後にSPIn. DATAレジスタをアクセスすることによって解除(0)することができます。

● **ビット6 – WRCOL : 書き込み衝突フラグ** (Write Collision Flag)

WRCOLフラグはバイトが完全に送り出される前にデータ(SPIn.DATA)レジスタが書かれた場合に設定(1)されます。このフラグはWRCOLが設定(1)の時に最初にSPIn.INTFLAGSレジスタを読み、SPIn.DATAレジスタをアクセスすることによって解除(0)されます。

26.5.5. INTFLAGS – 割り込み要求フラグ – 緩衝動作 (Interrupt Flags – Buffer Mode)

名称 : INTFLAGS
変位 : +$03
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RXCIF	TXCIF	DREIF	SSIF				BUFOVF
アクセス種別	R/W	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RXCIF : 受信完了割り込み要求フラグ** (Receive Complete Interrupt Flag)

このフラグは受信データ緩衝レジスタに未読データがある時に設定(1)され、受信データ緩衝レジスタが空(即ち、どの未読データも含まない)時に解除(0)されます。

割り込み駆動データ受信が使われると、受信完了割り込みルーチンはRXCIFを解除(0)するためにデータ(SPIn.DATA)レジスタから受信したデータを読まなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。このフラグはこのビット位置へ'1'を書くことによっても解除(0)することができます。

● **ビット6 – TXCIF : 転送完了割り込み要求フラグ** (Transfer Complete Interrupt Flag)

このフラグは送信移動レジスタ内の全データが移動出力されてしまい、送信緩衝(SPIn.DATA)レジスタに新しいデータがない時に設定(1)されます。このフラグはこのビット位置へ'1'を書くことによって解除(0)されます。

● **ビット5 – DREIF : データ レジスタ空割り込み要求フラグ** (Data Register Empty Interrupt Flag)

このフラグは送信データ緩衝レジスタが新しいデータを受け取る準備が整っているかどうかを示します。このフラグは送信緩衝部が空の時に'1'で、送信緩衝部が未だ移動レジスタに移動されてしまっていない送信されるべきデータを含む時に'0'です。DREIFは送信部が準備可なことを示すためにリセット後に解除(0)されます。

DREIFはDATAレジスタ書き込みによって解除(0)されます。割り込み駆動データ送信が使われると、データ レジスタ空割り込みルーチンはDREIFを解除(0)するためにDATAレジスタに新しいデータを書くか、またはデータ レジスタ空割り込みを禁止するかのどちらかを行わなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。

● **ビット4 – SSIF : 従装置選択割り込み要求フラグ** (Slave Select Trigger Interrupt Flag)

このフラグはSPIが主装置動作で$\overline{SS}$ピンが外部的にLowへ引かれ、故にSPIが今や従装置動作で動くことを示します。このフラグは従装置選択禁止(SSD)が'1'でない場合にだけ設定(1)されます。このフラグはこのビット位置へ'1'を書くことによって解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

● ﾋﾞｯﾄ0 – BUFOVF : 緩衝部溢れﾌﾗｸﾞ (Buffer Overflow)

このﾌﾗｸﾞは受信ﾃﾞｰﾀ緩衝部満杯状態のためのﾃﾞｰﾀ消失を示します。このﾌﾗｸﾞは緩衝部溢れ状態が検出された場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2ﾊﾞｲﾄ)で移動ﾚｼﾞｽﾀで3つ目のﾊﾞｲﾄが受信される時に起きます。送信ﾃﾞｰﾀがなければ、緩衝部溢れは新しい直列転送の開始前に設定(1)されません。このﾌﾗｸﾞはDATAﾚｼﾞｽﾀが読まれる時か、またはこのﾋﾞｯﾄ位置に'1'を書くことによって解除(0)されます。

26.5.6. DATA – ﾃﾞｰﾀ (Data)

名称 : DATA
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7~0 – DATA7~0 : ﾃﾞｰﾀ (SPI Data)

DATAﾚｼﾞｽﾀはﾃﾞｰﾀの送受信に使われます。このﾚｼﾞｽﾀへの書き込みは主装置動作の時にﾃﾞｰﾀ送信を開始し、従装置動作では送るﾃﾞｰﾀを準備します。このﾚｼﾞｽﾀに書かれたﾊﾞｲﾄは処理が開始された時にSPI出力線へ移動出力されます。

SPIn.DATAﾚｼﾞｽﾀは物理的なﾚｼﾞｽﾀではありません。構成設定された動作形態に応じて、下で記述されるように他のﾚｼﾞｽﾀに割り当てられます。

- 標準動作:
  - DATAﾚｼﾞｽﾀ書き込みは移動ﾚｼﾞｽﾀを書きます。
  - DATAﾚｼﾞｽﾀからの読み込みは受信ﾃﾞｰﾀ ﾚｼﾞｽﾀから読みます。
- 緩衝動作:
  - DATAﾚｼﾞｽﾀ書き込みは送信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀを書きます。
  - DATAﾚｼﾞｽﾀからの読み込みは受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀから読みます。その後に受信ﾃﾞｰﾀ ﾚｼﾞｽﾀの内容が受信ﾃﾞｰﾀ緩衝ﾚｼﾞｽﾀに移動されます。

© 2023 Microchip Technology Inc.とその子会社

27. TWI – 2線インターフェース

27.1. 特徴

- 2線通信インターフェース
- Phillips社I2C適合
  - 標準動作
  - 高速動作
  - 高速動作+
- システム管理バス(SMBus)2.0適合
  - 開始条件/再送開始条件とデータ ビット間での調停を支援
  - ソフトウェアでのアドレス解決規約(ARP)に対する支援を許す従装置調停
  - 構成設定可能なハードウェアでのSMBus階層1制限時間
  - 二元動作に対して独立した制限時間
- 独立した主装置と従装置の動作
  - 結合(同一ピン)と二元動作(分離ピン)
  - 完全な調停支援での単一または複数の主装置バス動作
- 従装置アドレス一致に対するハードウェア支援
  - 全ての休止動作での動作
  - 7ビット アドレス認識
  - 一斉呼び出しアドレス認識
  - アドレス範囲遮蔽または第2アドレス一致に対する支援
- バス雑音消去用入力濾波器
- 簡便動作支援

27.2. 概要

2線インターフェース(TWI)は直列データ(SDA)線と直列クロック(SCL)線を持つ双方向2線通信インターフェース(バス)です。

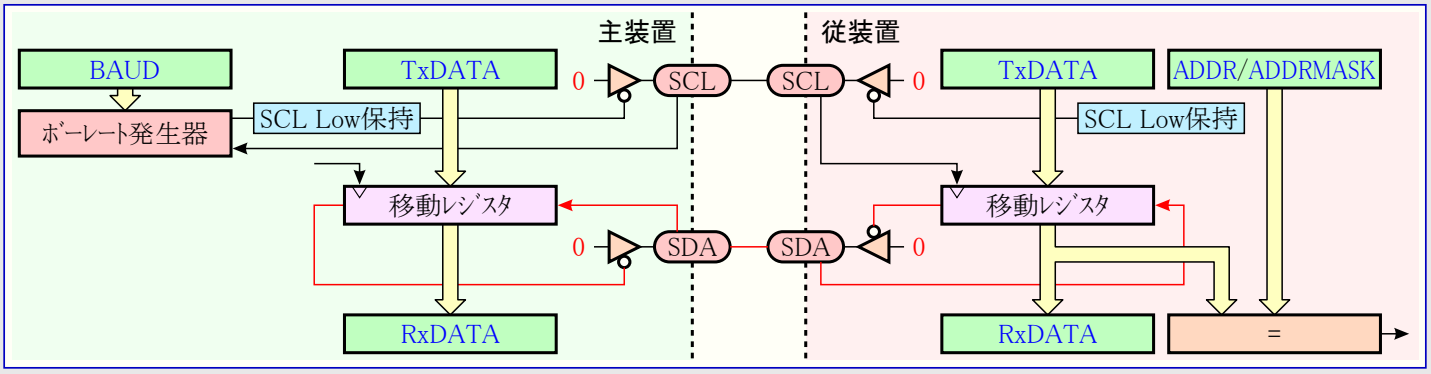
TWIバスは1つまたは複数の従装置を1つまたは複数の主装置に接続します。バスに接続されたどの装置も主装置、従装置、または両方として働くことができます。主装置はボーレート発生器(BRG)を使うことによってSCLを生成し、1つの従装置をアドレス指定してデータを送るまたは受け取るのどちらを望むかを告げることによってデータ処理を始めます。BRGは100kHzから1MHzまでの標準動作(Sm)と高速動作(Fm、Fm+)バス周波数を生成することができます。

TWIは開始条件、停止条件、バス衝突、バス異常を検出します。協調損失、異常、衝突、クロック保持も検出され、主装置動作と従装置動作で利用可能な独立した状態フラグで示されます。

TWIは複数主装置のバス動作と調停を支援します。調停の仕組みは複数の主装置が同時にデータを送信しようとする場合を処理します。TWIは自動起動操作ができ、故にソフトウェアの複雑さを減らすことができる簡便動作も支援します。TWIは独立した許可と構成設定を持つ独立単位部として実装された主装置と従装置の同時動作を持つ2元動作を支援します。TWIはデータ交換なしに主装置が従装置をアドレス指定することができる迅速指令動作を支援します。

27.2.1. 構成図

図27-1. TWI構成図



27.2.2. 信号説明

信号	形式	説明
SCL	デジタル入出力	直列クロック線
SDA	デジタル入出力	直列データ線

© 2023 Microchip Technology Inc.とその子会社

27.3. 機能的な説明

27.3.1. 一般的なTWIﾊﾞｽの概念

TWIは以下から成る簡素な双方向2線通信ﾊﾞｽを提供します。

- ﾊﾟｹｯﾄ転送用の直列ﾃﾞｰﾀ(SDA)線
- ﾊﾞｽ ｸﾛｯｸ用の直列ｸﾛｯｸ(SCL)線

2つの線は開放ｺﾚｸﾀ(ﾄﾞﾚｲﾝ)線(ﾜｲﾔｰﾄﾞAND)です。

TWIﾊﾞｽ形態は直列ﾊﾞｽで複数装置を接続する簡単で効率的な方法です。ﾊﾞｽに接続された装置は主装置または従装置にできます。主装置だけがﾊﾞｽとﾊﾞｽ通信を制御できます。

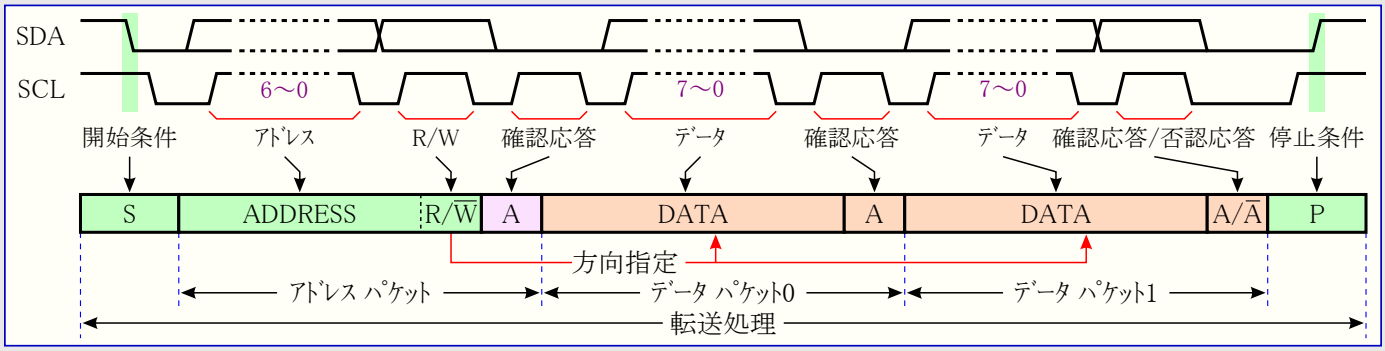
ﾊﾞｽに接続した各従装置に固有のｱﾄﾞﾚｽが割り当てられ、主装置は従装置を制御して処理を始めるのにこれを使います。複数の主装置を同じﾊﾞｽに接続することができ、複数主装置環境と呼ばれます。何時でも1つの主装置だけがﾊﾞｽを自身のものにできるので、主装置間でﾊﾞｽ所有権を解決するために調停機構が提供されます。

主装置はﾊﾞｽ上に開始条件(S)を発行することによって転送処理の開始を指示します。主装置は転送処理用のｸﾛｯｸ信号を提供します。7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽ(ADDRESS)と、主装置がﾃﾞｰﾀを読みまたは書きどちらをしたいのかを表す方向(R/$\overline{W}$)ﾋﾞｯﾄを持つｱﾄﾞﾚｽ ﾊﾟｹｯﾄがその後に送られます。

ｱﾄﾞﾚｽ指定されたI²C従装置はその後にｱﾄﾞﾚｽを確認応答(ACK)し、ﾃﾞｰﾀ ﾊﾟｹｯﾄ転送処理を始めることができます。毎回の9ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾟｹｯﾄは8つのﾃﾞｰﾀ ﾋﾞｯﾄとそれに続き、受信側によってﾃﾞｰﾀが受け取られたか否かのどちらかを示す1ﾋﾞｯﾄ応答から成ります。

全てのﾃﾞｰﾀ ﾊﾟｹｯﾄ(DATA)転送後、主装置は転送処理を終わるためにﾊﾞｽ上で停止条件(P)を発行します。

図27-2. 7ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾊﾞｽに対する基本的なTWI転送処理構成形態



ﾊﾞｽ駆動部
- 主装置がﾊﾞｽを駆動
- 従装置がﾊﾞｽを駆動
- 主装置か従装置のどちらかがﾊﾞｽを駆動

特殊ﾊﾞｽ条件
- S 開始条件
- Sr 再送開始条件
- P 停止条件

ﾃﾞｰﾀ ﾊﾟｹｯﾄ方向
- R ‘1’: 主装置読み込み
- $\overline{W}$ ‘0’: 主装置書き込み

応答
- A ‘0’: 確認応答(ACK)
- $\overline{A}$ ‘1’: 否認応答(NACK)

27.3.2. TWI基本動作

27.3.2.1. 初期化

使われるなら、TWI周辺機能を許可する前に以下のﾋﾞｯﾄを構成設定してください。

- 制御A(TWIn.CTRLA)ﾚｼﾞｽﾀのSDA保持時間(SDAHOLD)ﾋﾞｯﾄ領域
- 制御A(TWIn.CTRLA)ﾚｼﾞｽﾀの高速動作+(FMPEN)ﾋﾞｯﾄ

27.3.2.1.1. 主装置初期化

有効なTWIﾊﾞｽ ｸﾛｯｸ周波数になる値を主装置ﾎﾞｰﾚｰﾄ(TWIn.MBAUD)ﾚｼﾞｽﾀに書いてください。主装置制御A(TWIn.MCTRLA)ﾚｼﾞｽﾀのTWI主装置許可(ENABLE)ﾋﾞｯﾄに’1’を書くことがTWI主装置を開始します。ﾊﾞｽ状態をｱｲﾄﾞﾙ(IDLE)に強制するために主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀのﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄ領域が’01’に設定されなければなりません。

27.3.2.1.2. 従装置初期化

従装置を初期化するには以下のこれらに従ってください。

1. TWI従装置を許可する前に制御A(TWIn.CTRLA)ﾚｼﾞｽﾀのSDA準備時間(SDASETUP)ﾋﾞｯﾄを構成設定してください。
2. 従装置ｱﾄﾞﾚｽを従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀに書いてください。
3. TWI従装置を許可するため、従装置制御A(TWIn.SCTRLA)ﾚｼﾞｽﾀの従装置許可(ENABLE)ﾋﾞｯﾄに’1’を書いてください。

TWI従装置は主装置が開始条件を発行して従装置ｱﾄﾞﾚｽと一致するのを待ちます。

© 2023 Microchip Technology Inc.とその子会社

27.3.2.2. TWI主装置動作

TWI主装置は各バイト後の任意選択の割り込みを持つバイト志向です。主装置の書き込みと読み込みの操作に対して独立した割り込み要求フラグがあります。割り込み要求フラグはポーリング操作にも使うことができます。専用の状態フラグが受信した(ACK)確認応答/(NACK)否認応答(RXACK)、バス異常(BUSERR)、調停敗退(ARBLOST)、クロック保持(CLKHOLD)、バス状態(BUSSTATE)を示します。

割り込み要求フラグが'1'に設定されると、SCLはLowを強制され、応答または何れかのデータを扱う時間を主装置に与え、殆どの場合でソフトウェアの介在を必要とするでしょう。割り込み要求フラグの解除(0)がSCLを開放します。生成された割り込み数は殆どの条件を自動的に処理することによって最小に留められます。

27.3.2.2.1. クロック生成

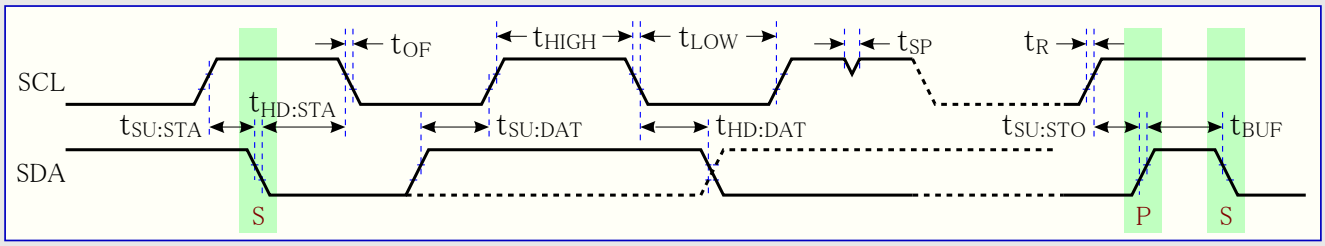
TWIは次のような異なる周波数制限を持ついくつかの送信動作形態を支援します。

- 100kHzまでの標準動作(Sm)
- 400kHzまでの高速動作(Fm)
- 1MHzまでの高速動作+(Fm+)

主装置ボーレート(TWIn.MBAUD)レジスタは送信動作形態に応じてそれらの周波数制限以下のTWIバス クロック周波数になる値を書かれなければなりません。

Low(t_{LOW})とHigh(t_{HIGH})の時間は主装置ボーレート(TWIn.MBAUD)レジスタによって決められる一方で、上昇(t_R)と下降(t_{OF})の時間はバス形態によって決められます。

図27-3. SCLタイミング



- t_{LOW}はSCLクロックのLow期間です。
- t_{HIGH}はSCLクロックのHigh期間です。
- t_Rは内部プルアップに対するバス インピーダンスによって決められます。詳細については「電気的特性」を参照してください。
- t_{OF}はオープン ドレイン電流制限とバス インピーダンスによって決められます。詳細については「電気的特性」を参照してください。

SCLクロックの特性

SCL周波数は右式によって与えられます。

SCLクロックは50/50のデューティ サイクルを持つように設計され、デューティ サイクルのLow部分はt_{OF}とt_{LOW}から成ります。t_{HIGH}はSCLのHigh状態が検出されるまで始まりません。TWIn.MBAUDレジスタのボーレート(BAUD)ビット領域とSCL周波数は右式(**式1**)によって関連付けられます。

式1はBAUDを表すように変形(**式2**)することができます。

$$f_{SCL} = \frac{1}{t_{LOW} + t_{HIGH} + t_{OF} + t_R} \ [Hz]$$

$$f_{SCL} = \frac{f_{CLK_PER}}{10 + 2 \times BAUD + f_{CLK_PER} \times t_R} \quad (1)$$

$$BAUD = \frac{f_{CLK_PER}}{2 \times f_{SCL}} - \left(5 + \frac{f_{CLK_PER} \times t_R}{2}\right) \quad (2)$$

BAUD値の計算

望む速度動作(Sm、Fm、Fm+)の仕様内での動作を保証するため、これらの手順に従ってください。

1. **式2**を使ってBAUDビット領域用の値を計算してください。
2. 手順1.からのBAUD値を使ってt_{LOW}を計算してください。

$$t_{LOW_Fm} = t_{LOW_Fm+} = \frac{BAUD + 6 + \min(SCLDUTY, BAUD)}{f_{CLK_PER}} - t_{OF} \quad (3.1)$$

$$t_{LOW_Sm} = \frac{BAUD + 6}{f_{CLK_PER}} - t_{OF} \quad (3.2)$$

3. **式3**.からのt_{LOW}が望む動作形態で指定された最小(t_{LOW_Sm}=4700ns、t_{LOW_Fm}=1300ns、t_{LOW_Fm+}=500ns)を超えるか調べてください。
   - 計算されたt_{LOW}が限度を超える場合、**式2**からのBAUDを使ってください。
   - 限度に合わない場合、右の**式4**を使って新しいBAUD値を計算してください。ここでのt_{LOW_mode}は動作仕様からのt_{LOW_Sm}、t_{LOW_Fm}、t_{LOW_Fm+}のどれかです。

$$BAUD = f_{CLK_PER} \times (T_{LOW_mode} + t_{OF}) - 3 \quad (4)$$

© 2023 Microchip Technology Inc.とその子会社

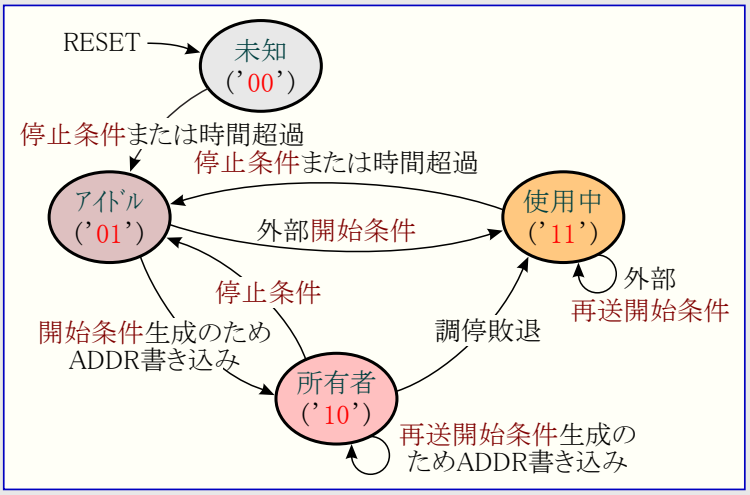
27.3.2.2.2. TWIﾊﾞｽ状態論理

ﾊﾞｽ状態論理回路は主装置動作が許可された時にTWIﾊﾞｽ上の動きを継続的に監視します。それはﾊﾟﾜｰﾀﾞｳﾝを含む全ての休止動作形態で動作を続けます。

ﾊﾞｽ状態論理回路は開始条件と停止条件の検出器、衝突検出、不活性ﾊﾞｽ時間超過検出、ﾋﾞｯﾄ計数器を含みます。これらはﾊﾞｽ状態を決めるのに使われます。ｿﾌﾄｳｪｱは主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀのﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄ領域を読むことによって現在のﾊﾞｽ状態を得ることができます。

ﾊﾞｽ状態は未知、ｱｲﾄﾞﾙ、使用中、所有者になることができ、右で示される状態遷移図に従って決められます。

図27-4. ﾊﾞｽ状態遷移図



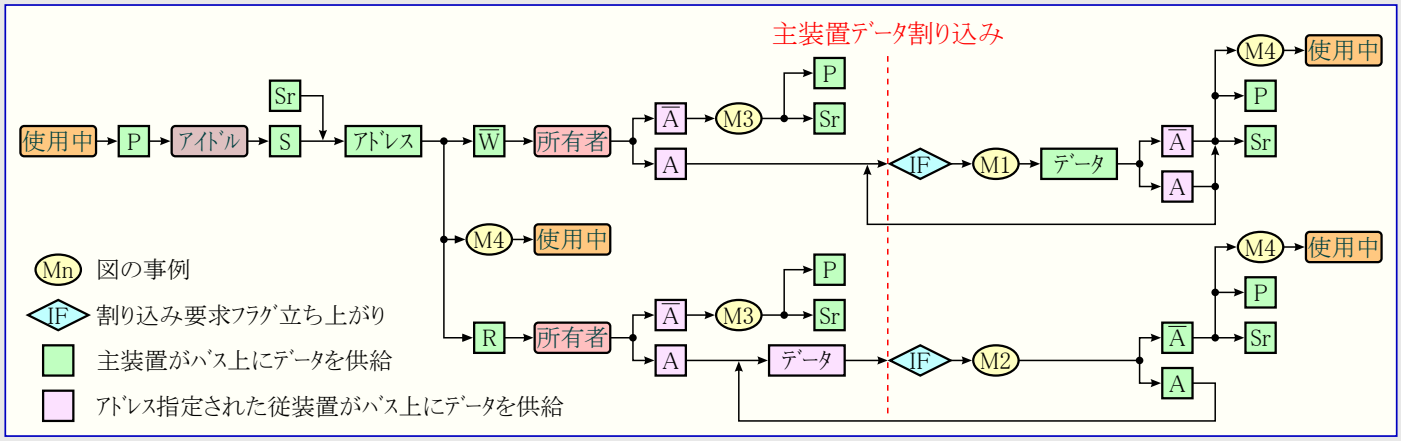
1. **未知**: ﾊﾞｽ状態機構はTWI主装置が許可される時に有効です。TWI主装置許可、ｼｽﾃﾑ ﾘｾｯﾄ実行、またはTWI主装置禁止後、ﾊﾞｽ状態は未知です。
2. **ｱｲﾄﾞﾙ**: ﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄ領域に'01'を書くことによってﾊﾞｽ状態機構をｱｲﾄﾞﾙ状態に入ることを強制することができます。ﾊﾞｽ状態論理回路を他のどの状態にも強制することはできません。最初の停止条件が検出される時に応用ｿﾌﾄｳｪｱによって状態が設定されなければ、ﾊﾞｽ状態はｱｲﾄﾞﾙになります。主装置制御A(TWIn.MCTRLA)ﾚｼﾞｽﾀの主装置不活性ﾊﾞｽ時間制限(TIMEOUT)ﾋﾞｯﾄ領域が0以外の値に構成設定される場合、ﾊﾞｽ状態は時間超過の発生でｱｲﾄﾞﾙに変わります。
3. **使用中**: ﾊﾞｽがｱｲﾄﾞﾙの時に外部的に生成された開始条件が検出された場合、ﾊﾞｽ状態が使用中になります。ﾊﾞｽ状態は停止条件が検出されるか、または構成設定されている場合に制限時間超過が設定される時にｱｲﾄﾞﾙへ変わります。
4. **所有者**: ﾊﾞｽがｱｲﾄﾞﾙの時に内部的に開始条件が生成される場合、ﾊﾞｽ状態が所有者になります。妨害なしで完全な転送処理が実行された場合、主装置は停止条件を発行し、ﾊﾞｽ状態がｱｲﾄﾞﾙに戻ります。衝突が検出されて調停に敗れた場合、ﾊﾞｽ状態は停止条件が検出されるまで使用中になります。

27.3.2.2.3. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信

主装置は7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽとR/$\overline{W}$方向ﾋﾞｯﾄと共に主装置ｱﾄﾞﾚｽ(TWIn.MADDR)ﾚｼﾞｽﾀが書かれる時にﾊﾞｽ転送処理の実行を開始します。MADDRﾚｼﾞｽﾀの値がその後に主装置ﾃﾞｰﾀ(TWIn.MDATA)ﾚｼﾞｽﾀへ複写されます。ﾊﾞｽ状態が使用中の場合、TWI主装置は開始条件を発行する前にﾊﾞｽ状態がｱｲﾄﾞﾙになるまで待ちます。TWIは開始条件を発行し、移動ﾚｼﾞｽﾀがﾊﾞｽ上でﾊﾞｲﾄ送信動作を実行します。

調停とR/$\overline{W}$方向ﾋﾞｯﾄに依存して、ｱﾄﾞﾚｽ ﾊﾟｹｯﾄの送信後に4つの事例(M1～M4)の1つが起きます。

図27-5. TWI主装置動作



27.3.2.2.3.1. 事例M1 : ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 方向ﾋﾞｯﾄ=0

従装置がｱﾄﾞﾚｽ ﾊﾟｹｯﾄに対して確認応答(ACK)で応答する場合、TWIn.MSTATUSﾚｼﾞｽﾀで書き込み割り込み要求ﾌﾗｸﾞ(WIF)が'1'に設定され、受信応答(RXACK)ﾌﾗｸﾞが'0'に設定され、ｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞが'1'に設定されます。WIF、RXACK、CLKHOLDのﾌﾗｸﾞは主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀに配置されます。

この時点でｸﾛｯｸ保持が有効で、SCLにLowを強制し、ｸﾛｯｸ周波数全体を低下するようにｸﾛｯｸのLow期間を引き延ばし、ﾃﾞｰﾀを処理するのに必要とされる遅延を強制してﾊﾞｽでの更なる活動を防ぎます。

© 2023 Microchip Technology Inc.とその子会社

ソフトウェアは以下の準備をすることができます。

- 従装置へデータ パケット送信

27.3.2.2.3.2. 事例M2：アドレス パケット送信完了 – 方向ビット=1

従装置がアドレス パケットに対して確認応答(ACK)で応答する場合、受信応答(RXACK)フラグが'0'に設定され、この時点で従装置がバスを所有するため、従装置はどんな遅延もなしに主装置へのデータ送出を開始することができます。この時点でクロック保持が有効で、SCLにLowを強制します。

ソフトウェアは以下の準備をすることができます。

- 従装置から受け取ったデータ パケットの読み込み

27.3.2.2.3.3. 事例M3：アドレス パケット送信完了 – 従装置によるアドレス否認応答

従装置がアドレス パケットに応答しない場合、書き込み割り込み要求フラグ(WIF)と受信応答(RXACK)フラグが'1'に設定されます。この時点でクロック保持が有効で、SCLにLowを強制します。

確認応答(ACK)欠落はI²C従装置が他の作業で多忙か、または休止動作で応答できないことを示し得ます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- アドレス パケットの再送信
- 主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域で停止条件を発行することによって転送処理を完了、これが推奨される活動です。

27.3.2.2.3.4. 事例M4：調停敗退またはバス異常

調停で敗れた場合、主装置状態(TWIn.MSTATUS)レジスタで書き込み割り込み要求フラグ(WIF)と調停敗退(ARBLOST)のフラグが'1'に設定されます。SDAは禁止されてSCLが開放されます。バス状態が使用中に変わり、主装置はバス状態がアイドルに戻るまで、もはやバスでどの操作も実行することを許されません。

バス異常は調停敗退状態と同じように振舞います。この場合、WIFとARBLOSTのフラグに加えて、TWIn.MSTATUSレジスタでバス異常(BUSERR)フラグが'1'に設定されます。

ソフトウェアは以下の準備をすることができます。

- TWIn.MSTATUSレジスタのバス状態(BUSSTATE)ビット領域を読むことによってバス状態がアイドルに変わるまで操作を中止して待機

27.3.2.2.4. データ パケット送信

上の**事例M1**と仮定し、TWI主装置は主装置データ(TWIn.MDATA)レジスタへ書くことによってデータ送信を開始することができ、それは書き込み割り込み要求フラグ(WIF)も解除(0)します。データ転送の間、主装置は衝突と異常に関してバスを継続的に監視します。データ パケット転送完了後、WIFフラグが'1'に設定されます。

送信が成功して主装置が従装置からACKビットを受け取る場合、受信応答(RXACK)フラグが'1'に設定され、従装置が新しいデータ パケットを受け取る準備が整っていることを意味します。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- 新しいデータ パケットの送信
- 新しいアドレス パケットの送信
- 主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域で停止条件を発行することによって転送処理を完了

送信が成功して主装置が従装置から否認応答(NACK)ビットを受け取る場合、RXACKフラグが'1'に設定され、従装置がもっとデータを受け取ることができないか、または必要でないことを意味します。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- 新しいアドレス パケットの送信
- 主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域で停止条件を発行することによって転送処理を完了

受信応答(RXACK)フラグの状態はWIFフラグが'1'に設定され場合にだけ有効で、調停敗退(ARBLOST)とバス異常(BUSERR)のフラグは'0'に設定されます。

送信は衝突が検出される場合、不成功になり得ます。その後、主装置は調停に敗れ、調停敗退(ARBLOST)フラグが'1'に設定されバス状態が使用中に変わります。データ パケット転送中の調停敗退は上の**事例M4**と同じように扱われます。

WIF、ARBLOST、BUSERR、RXACKのフラグは全て主装置状態(TWIn.MSTATUS)レジスタに配置されます。

27.3.2.2.5. データ パケット受信

上の**事例M2**と仮定し、クロックが1バイト間開放され。従装置がバス上に1バイトのデータを出すのを許します。主装置は従装置から1バイトのデータを受け取り、クロック保持(CLKHOLD)フラグと共に読み込み割り込み要求フラグ(RIF)が'1'に設定されます。指令が主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域に書かれる時に、TWIn.MCTRLBレジスタの応答動作(ACKACT)ビットによって選ばれた活動が自動的にバス上で送られます。

© 2023 Microchip Technology Inc.とその子会社

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- 主装置制御B(TWIn.MCTRLB)レジスタの応答動作(ACKACT)ビットに'0'を書くことによって確認応答(ACK)で応答し、新しいデータ パケットを受け取る準備
- ACKACTビットに'1'を書くことによって否認応答(NACK)で応答し、その後に新しいアドレス パケットを送信
- ACKACTビットに'1'を書くことによってNACKで応答し、その後にTWIn.MCTRLBレジスタの指令(MCMD)ビット領域で停止条件を発行することによって転送処理を完了

NACK応答はその送信中に調停が失われ得るため、成功裏に実行されないかもしれません。衝突が検出される場合、主装置は調停を失い、調停敗退(ARBLOST)フラグが'1'に設定され、バス状態が使用中に変わります。NACK送出時に調停が失われた場合、またはこの手順中にバス異常が起きた場合に主装置書き込み割り込み要求フラグ(WIF)が設定(1)されます。データ パケット転送中の調停敗退は前の**事例M4**と同じように扱われます。

RIF、CLKHOLD、ARBLOST、WIFのフラグは全て主装置状態(TWIn.MSTATUS)レジスタに配置されます。

注: RIFとWIFのフラグは相互排他で、同時に設定(1)され得ません。

27.3.2.3. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。従装置データ用とアドレス/停止認識用に独立した割り込みフラグがあります。割り込みフラグはポーリング操作に使うこともできます。専用の状態フラグが受信した確認応答(ACK)/否認応答(NACK)、クロック保持、衝突、バス異常、R/$\overline{W}$方向を示します。

割り込み要求フラグが'1'に設定されると、SCLはLowを強制され、応答または何かのデータを扱う時間を従装置に与え、殆どの場合でソフトウェアの介在を必要とするでしょう。生成された割り込み数は殆どの条件の自動処理によって最小に留められます。

従装置制御A(TWIn.SCTRLA)レジスタのアドレス認識動作(PMEN)ビットは受信した全てのアドレスに応答することを従装置に許すように構成設定することができます。

27.3.2.3.1. アドレス パケット受信

TWIが従装置として構成設定されると、検出されるべき開始条件を待ちます。これが起こると、継続してアドレス パケットが受信されてアドレス一致論理回路によって調べられます。従装置は正しいアドレスに確認応答(ACK)し、従装置データ(TWIn.SDATA)レジスタにアドレスを格納します。受信したアドレスが一致しなければ、従装置は応答やアドレスの保存をせず、新しい開始条件を待ちます。

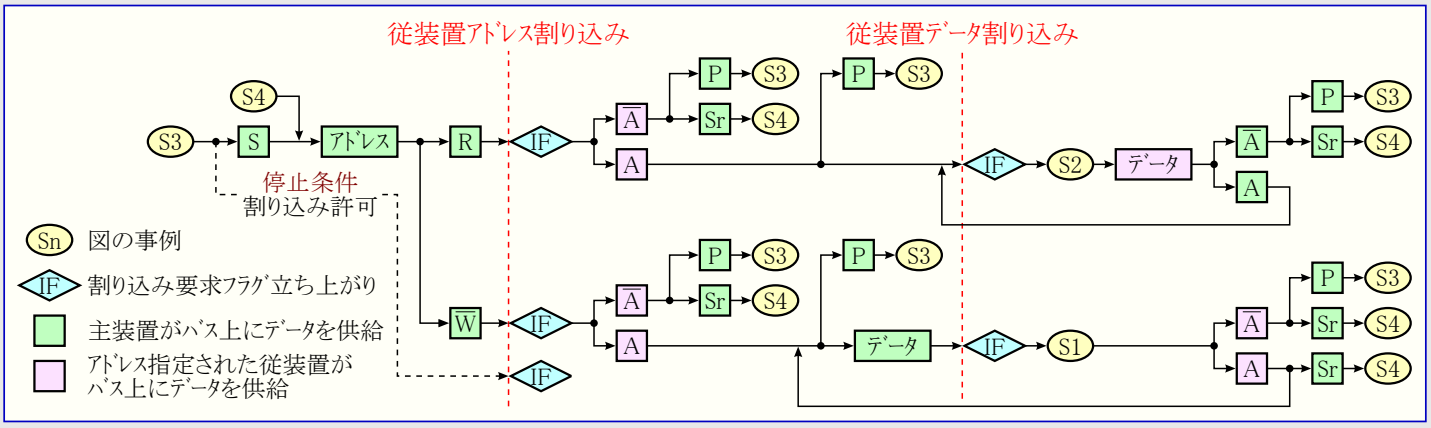
開始条件が以下によって後続されると、従装置状態(TWIn.SSTATUS)レジスタの従装置アドレス/停止割り込み要求フラグ(APIF)が'1'に設定されます。

- 有効なアドレスが従装置アドレス(TWIn.SADDR)レジスタのアドレス(ADDR7～1)ビット領域に格納されたアドレスと一致
- 一斉呼び出しアドレス($00)で従装置アドレス(TWIn.SADDR)レジスタのアドレス(ADDR0)ビットが'1'に設定
- 従装置アドレス遮蔽(TWIn.SADDRMASK)レジスタでアドレス許可(ADDREN)ビットが'1'に設定され、有効なアドレスがアドレス遮蔽(ADDRMASK)ビット領域に格納されたアドレスと一致
- 従装置制御A(TWIn.SCTRLA)レジスタのアドレス認識動作(PMEN)ビットが'1'に設定された場合の全てのアドレス

開始条件直後の停止条件は不正操作で、従装置状態(TWIn.SSTATUS)レジスタのバス異常(BUSERR)フラグが設定(1)されます。

従装置状態(TWIn.SSTATUS)レジスタの読み/書き方向(DIR)ビットとバス状況に応じて、アドレス パケットの受信後に続いて4つの事例(S1～S4)の1つが起きます。

図27-6. TWI従装置動作



27.3.2.3.1.1. 事例S1：アドレス パケット受け入れ – 方向ビット=0

アドレス パケット受信後に従装置によって確認応答(ACK)が送られ、従装置状態(TWIn.SSTATUS)レジスタの読み/書き方向(DIR)ビットが'0'に設定される場合、主装置が書き込み操作を指示します。

この時点でクロック保持が有効で、SCLにLowを強制し、クロック周波数全体を低下するようにクロックのLow期間を引き延ばし、データを処理するのに必要とされる遅延を強制してバスでの更なる活動を防ぎます。

© 2023 Microchip Technology Inc.とその子会社

ソフトウェアは以下の準備をすることができます。

- 主装置から受け取ったデータ パケットの読み込み

29.3.2.3.1.2. 事例S2：アドレス パケット受け入れ – 方向ビット=1

アドレス パケット受信後に従装置によって確認応答(ACK)が送られ、従装置状態(TWIn.SSTATUS)レジスタで読み/書き方向(DIR)ビットが'1'に設定される場合、主装置が読み込み操作を指示し、データ割り込み要求フラグ(DIF)が'1'に設定されます。

この時点でクロック保持が有効で、SCLにLowを強制します。

ソフトウェアは以下の準備をすることができます。

- 主装置へデータ パケット送信

27.3.2.3.1.3. 事例S3：停止条件受信

停止条件が受信されると、アドレス/停止条件フラグ(AP)が'0'に設定され、アドレス一致ではなく停止条件を示し、アドレス/停止割り込み要求フラグ(APIF)が有効(1)にされます。

APとAPIFのフラグは従装置状態(TWIn.SSTATUS)レジスタに配置されます。

ソフトウェアは以下の準備をすることができます。

- 新しいアドレス パケットがアドレス指定するまで待機

27.3.2.3.1.4. 事例S4：衝突

従装置がHighレベルのデータ ビットまたは否認応答(NACK)を送ることができない場合、従装置状態(TWIn.SSTATUS)レジスタの衝突(COLL)フラグが'1'に設定されます。従装置はSDAでLow値が移動出力されないことを除き、通常動作を始めます。従装置論理回路からのデータと応答の出力が禁止されます。クロック保持は開放されます。開始条件と再送開始条件は受け入れられます。

COLLビットはアドレス解決規約(ARP)が使われるシステムに対して意図されています。非ARP状況で検出した衝突は規約違反があってバス異常として扱われなければならないことを示します。

27.3.2.3.2. データ パケット受信

前の**事例S1**と仮定し、従装置はデータを受信する準備を整えなければなりません。データ パケットが受信されると、従装置状態(TWIn.SSTATUS)レジスタのデータ割り込み要求フラグ(DIF)が'1'に設定されます。指令が従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域に書かれる時に、TWIn.SCTRLBレジスタの応答動作(ACKACT)ビットによって選ばれた活動が自動的にバス上で送られます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- TWIn.SCTRLBレジスタのACKACTビットに'0'を書くことによって確認応答(ACK)で応答、従装置がもっとデータを受け取る準備が整っていることを示します。
- ACKACTビットに'1'を書くことによって否認応答(NACK)で応答、従装置がこれ以上データを受け取ることができず、主装置が停止条件または再送開始条件を発行しなければならないことを示します。

27.3.2.3.3. データ パケット送信

上の**事例S2**と仮定し、従装置は従装置データ(TWIn.SDATA)レジスタへ書くことによってデータ送信を開始することができます。データ パケット送信が完了されると、従装置状態(TWIn.SSTATUS)レジスタのデータ割り込み要求フラグ(DIF)が'1'に設定されます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- TWIn.SSTATUSレジスタの受信応答(RXACK)ビットを読むことによって主装置が確認応答(ACK)で応答したかを調べ、新しいデータ パケット送信を開始
- RXACKを読むことによって主装置が否認応答(NACK)で応答したかを調べ、データ パケット送信を停止。主装置はNACK後に停止条件または再送開始条件を送らなければなりません。

27.3.3. 付加機能

27.3.3.1. SMBus

TWIがSMBus環境で使われる場合、主装置制御A(TWIn.MCTRLA)レジスタの不活性バス制限時間(TIMEOUT)ビット領域が構成設定されなければなりません。これはSMBus規格に適合するように時間基準(CLKCTRL.TIMEBASE)レジスタの時間基準(TIMEBASE)ビット領域を構成設定する必要があります。より多くの情報については「CLKCTRL – クロック制御器」章を参照してください。

SMBus環境に対して100kHzの周波数を使うことができます。標準動作(Sm)と高速動作(Fm)に対して動作周波数はスリューレート制限された出力を持つ一方で、高速動作+(Fm+)に対しては10倍の出力駆動能力を持ちます。

TWIは制御A(TWIn.CTRLA)レジスタのSDA保持時間(SDAHOLD)ビット領域で構成設定されるSMBus互換SDA保持時間も許します。

27.3.3.1.1. SMBus仕様への適合性

ハードウェア仕様制限

SMBus 2.0仕様の第2章は電力断の装置は接地への漏れ経路を提供してはならないと述べられています。このデバイスに於いてSCLとSDAに使われるパッドとVDD間に置かれたESDダイオードがあります。電力断の時にVDDが接地と等価と仮定すると、それらのESDダイオードが接地への経路を提供します。

© 2023 Microchip Technology Inc.とその子会社

ソフトウェアでの実装

SMBus 2.0仕様の以下の要素はハードウェアで実装されません。

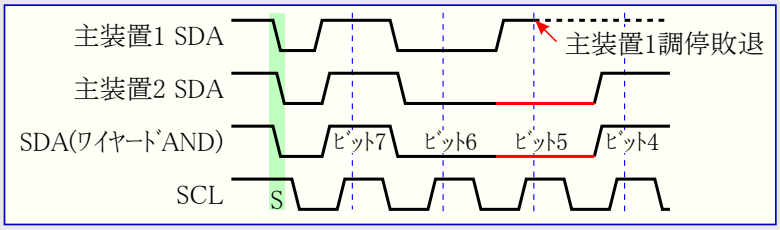
- SMBus 2.0仕様の表1は25～35msの最大クロックLow制限時間(Ttimeout)を与えます。これは事象システムを使ってSCLピンをTCB周辺機能に繋げることによって実装することができます。望む制限時間値と共に制限時間検査動作でTCBを構成設定してください。
- 第3層(網(Network)層)はパケット誤り検査(PEC:Packet Error Check)、アドレス解決規約(ARP:Address Resolution Protocol)などが特徴です。これらは必要とされる場合にソフトウェアで実装することができます。

27.3.3.2. 複数主装置

主装置はバスがアイドルなことを検出した場合にだけバス転送処理を開始することができます。複数の主装置がバス上で、他の装置が同時に転送処理を始めようとするかもしれず、複数の主装置が同時にバスを所有することになります。TWIはSDAでHighレベルのデータビットを送信することができず、主装置状態(TWIn.MSTATUS)レジスタのバス状態(BUSSTATE)ビット領域が使用中に変わる場合に主装置がバスの制御を失うような調停の仕組みを使うことによってこの問題を解決します。調停で敗れた主装置はバス所有権の再取得を試みる前にバスがアイドルになるまで待たなければなりません。

(図で)両装置は開始条件を発行することができますが、主装置1は主装置2がLowレベルを送信している間にHighレベル(ビット5)の送信を試みる時、調停に敗れます。

図27-7. TWI調停



27.3.3.3. 簡便動作

TWIインターフェースは応用コードを簡単化してI^2C規約を守るのに必要とされる使用者関係処理を最小にする簡便動作を持ちます。

TWI主装置に対し、簡便動作は主装置データ(TWIn.MDATA)レジスタが読まれると直ぐに確認応答(ACK)活動を自動的に送ります。この機能は主装置制御B(TWIn.MCTRLB)レジスタの応答動作(ACKACT)ビットが確認応答(ACK)に設定(=0)される時にだけ有効です。TWI主装置はACKACTが否認応答(NACK)に設定(=1)される場合にデータ レジスタ読み込み後に否認応答(NACK)ビットを生成しません。この機能は主装置制御A(TWIn.MCTRLA)レジスタの簡便動作許可(SMEN)ビットが'1'に設定される時に許可されます。

TWI従装置に対し、簡便動作は従装置データ(TWIn.SDATA)レジスタが読まれると直ぐに確認応答(ACK)活動を自動的に送ります。簡便動作はTWInSDATAレジタが読み書きされた場合に従装置状態(TWIn.SSTATUS)レジスタのデータ割り込み要求フラグ(DIF)を自動的に'0'に設定します。この機能は従装置制御A(TWIn.SCTRLA)レジスタの簡便動作許可(SMEN)ビットが'1'に設定される時に許可されます。

27.3.3.4. 二元動作

TWIは主装置と従装置が同時に独立して動作する二元動作操作を支援します。この場合、制御A(TWIn.CTRLA)レジスタがTWI主装置を構成設定し、二元動作制御構成設定(TWIn.DUALCTRL)レジスタがTWI従装置を構成設定します。主装置構成設定についてのより多くの詳細に関しては「27.3.2.1. 初期化」項をご覧ください。

使われる場合、TWI二元動作を許可する前に以下のビットが構成設定されなければなりません。

- DUALCTRLレジスタのSDA保持時間(SDAHOLD)ビット領域
- DUALCTRLレジスタの高速動作+許可(FMPEN)ビット

二元動作はDUALCTRLレジスタの二元制御許可(ENABLE)ビットに'1'を書くことによって許可することができます。

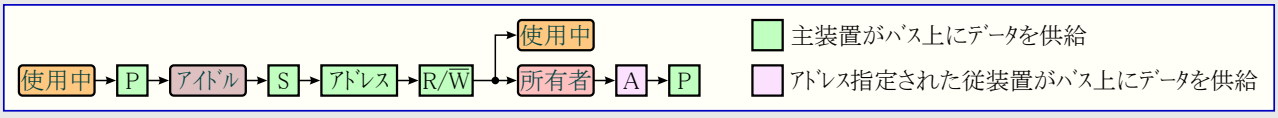
27.3.3.5. 迅速指令動作

迅速動作でのアドレス パケットのR/$\overline{W}$ビットが指令を示します。この動作は主装置制御A(TWIn.MCTRLA)レジスタの迅速指令許可(QCEN)ビットに'1'を書くことによって許可されます。データの送受信はありません。

迅速指令はSMBus仕様で、R/$\overline{W}$ビットを装置機能のON/OFF切り替え、または低電力待機動作の許可/禁止に使います。この動作は自動起動操作を許してソフトウェアの複雑さ減らすことができます。

主装置が従装置から確認応答(ACK)を受け取った後、R/$\overline{W}$ビットの値に応じて主装置読み割り込み要求フラグ(RIF)または主装置書き割り込み要求フラグ(WIF)のどちらかが設定(1)されます。迅速指令発行後にRIFまたはWIFのフラグが設定(1)されると、TWIは主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域を書くことによって停止(停止条件)指令を受け入れます。最後の受信応答(RXACK)フラグと共にRIFとWIFのフラグは全て主装置状態(TWIn.MSTATUS)レジスタに配置されます。

図27-8. 迅速指令の流れ



© 2023 Microchip Technology Inc.とその子会社

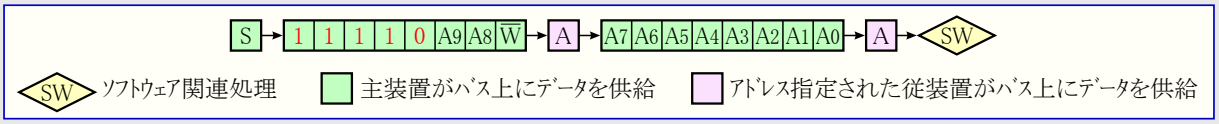
27.3.3.6. 10ﾋﾞｯﾄ ｱﾄﾞﾚｽ

転送処理が読みか書きかに関わらず、主装置はR/$\overline{W}$方向ﾋﾞｯﾄを'0'に設定して10ﾋﾞｯﾄ ｱﾄﾞﾚｽを送ることによって開始されなければなりません。

従装置ｱﾄﾞﾚｽ一致論理回路は7ﾋﾞｯﾄ ｱﾄﾞﾚｽと一斉呼び出しｱﾄﾞﾚｽの認識を支援するだけです。主装置がTWI従装置をｱﾄﾞﾚｽ指定したかを決めるため、従装置ｱﾄﾞﾚｽ一致論理回路によって従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀが使われます。

TWI従装置ｱﾄﾞﾚｽ一致論理回路は10ﾋﾞｯﾄ ｱﾄﾞﾚｽの最初のﾊﾞｲﾄの認識を支援するだけで、第2ﾊﾞｲﾄはｿﾌﾄｳｪｱで処理されなければなりません。10ﾋﾞｯﾄ ｱﾄﾞﾚｽの最初のﾊﾞｲﾄは従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀの上位5ﾋﾞｯﾄが'11110'の場合に認識されます。従って、最初のﾊﾞｲﾄは5つの指示ﾋﾞｯﾄ、10ﾋﾞｯﾄ ｱﾄﾞﾚｽの上位2ﾋﾞｯﾄ(MSb)、R/$\overline{W}$方向ﾋﾞｯﾄから成ります。それに続く主装置からの下位側ﾊﾞｲﾄ(LSB)はﾃﾞｰﾀ ﾊﾟｹｯﾄの形式で来ます。

図27-9. 10ﾋﾞｯﾄ ｱﾄﾞﾚｽ転送処理



27.3.4. 割り込み

表27-1. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
Slave	TWI従装置割り込み	• DIF　: TWIn.SSTATUSのﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞを'1'に設定 • APIF　: TWIn.SSTATUSのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞを'1'に設定
Master	TWI主装置割り込み	• RIF　: TWIn.MSTATUSの読み込み割り込み要求ﾌﾗｸﾞを'1'に設定 • WIF　: TWIn.MSTATUSの書き込み割り込み要求ﾌﾗｸﾞを'1'に設定

割り込み条件が起こると、主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀまたは従装置状態(TWIn.SSTATUS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

いくつかの割り込み要求条件が割り込みﾍﾞｸﾀによって支援される時に、割り込み要求は割り込み制御器に対して1つの結合された割り込み要求へ共に論理和(OR)されます。使用者はどの割り込み条件が存在するかを決めるのにTWIn.MSTATUSまたはTWIn.SSTATUSのﾚｼﾞｽﾀから割り込み要求ﾌﾗｸﾞを読まなければなりません。

27.3.5. 休止形態動作

ﾊﾞｽ状態論理回路とｱﾄﾞﾚｽ認識ﾊｰﾄﾞｳｪｱは全ての休止動作形態で動作を続けます。TWI従装置が休止動作で開始条件に続いて従装置ｱﾄﾞﾚｽが検出された場合、主ｸﾛｯｸが利用可能になるまでの起き上がり期間の間、ｸﾛｯｸ伸長が有効です。TWI主装置は全ての休止動作で動作を停止します。二元動作が有効な時は、開始条件がTWI従装置によって受信された時にだけTWI周辺機能が起き上がります。

27.3.6. ﾃﾞﾊﾞｯｸﾞ操作

走行時ﾃﾞﾊﾞｯｸﾞの間、TWIはそれの通常動作を続けます。ﾃﾞﾊﾞｯｸﾞ動作でのCPU停止はTWIの通常動作を停止します。TWIはﾃﾞﾊﾞｯｸﾞ制御(TWIn.DBGCTRL)ﾚｼﾞｽﾀのﾃﾞﾊﾞｯｸﾞ時走行(DBGRUN)ﾋﾞｯﾄに'1'を書くことによって停止されたCPUでの動作を強制することができます。ﾃﾞﾊﾞｯｸﾞ動作でCPUが停止され、DBGRUNﾋﾞｯﾄが'1'の時に、主装置ﾃﾞｰﾀ(TWIn.MDATA)ﾚｼﾞｽﾀと従装置ﾃﾞｰﾀ(TWIn.SDATA)ﾚｼﾞｽﾀの読み書きは決してﾊﾞｽ操作を起動したり、送信を引き起こしてﾌﾗｸﾞを解除(0)しません。TWIが割り込みや同様のものを通してCPUによって定期的な処理を必要とするように構成設定される場合、停止されたﾃﾞﾊﾞｯｸﾞの間に不正な動作やﾃﾞｰﾀ損失になるかもしれません。

© 2023 Microchip Technology Inc.とその子会社

27.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		INPUTLVL		SDASETUP	SDAHOLD1,0		FMPEN	FMEN
+$01	DUALCTRL	7～0		INPUTLVL			SDAHOLD1,0		FMPEN	ENABLE
+$02	DBGCTRL	7～0								DBGRUN
+$03	MCTRLA	7～0	RIEN	WIEN		QCEN	TIMEOUT1,0		SMEN	ENABLE
+$04	MCTRLB	7～0					FLUSH	ACKACT	MCMD1,0	
+$05	MSTATUS	7～0	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0	
+$06	MBAUD	7～0	BAUD7～0							
+$07	MADDR	7～0	ADDR7～0							
+$08	MDATA	7～0	DATA7～0							
+$09	SCTRLA	7～0	DIEN	APIEN	PIEN			PMEN	SMEN	ENABLE
+$0A	SCTRLB	7～0						ACKACT	SCMD1,0	
+$0B	SSTATUS	7～0	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP
+$0C	SADDR	7～0	ADDR7～0							
+$0D	SDATA	7～0	DATA7～0							
+$0E	SADDRMASK	7～0	ADDRMASK6～0							ADDREN

© 2023 Microchip Technology Inc.とその子会社

27.5. レジスタ説明

27.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		INPUTLVL		SDASETUP	SDAHOLD1,0		FMPEN	FMEN
アクセス種別	R	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – INPUTLVL : 入力電圧遷移基準** (Input Voltage Transition Level)

このビットはI²CまたはSMBusを選びます。

値	0	1
名称	I2C	SMBUS
説明	I²C入力電圧遷移基準	SMBus 3.0入力電圧遷移基準

● **ビット4 – SDASETUP : SDA準備時間** (SDA Setup Time)

このビットはSDA出力信号での充分な準備時間を保証するためにSCLが伸長されるクロック数を制御します。このビットは従装置動作で動作する時に使われます。

値	0	1
名称	4CYC	8CYC
説明	SDA準備時間は4クロック周期です。	SDA準備時間は8クロック周期です。

● **ビット3,2 – SDAHOLD1,0 : SDA保持時間** (SDA Hold Time)

このビット領域はTWIに対するSDA保持時間を選びます。詳細については「電気的特性」章をご覧ください。

値	0 0	0 1	1 0	1 1
名称	OFF	50NS	300NS	500NS
説明	保持時間OFF	短保持時間	代表的条件下のSMBus 2.0仕様に合致	全方面に渡ってSMBus仕様に合致

● **ビット1 – FMPEN : 高速動作+許可** (Fast Mode Plus Enable)

このビットへの'1'書き込みはTWI既定構成設定または二元動作構成設定でのTWI主装置に対して1MHzバス速度を選びます。

値	0	1
名称	OFF	ON
説明	標準動作または高速動作で動作	高速動作+で動作

● **ビット0 – FMEN : 高速動作許可** (Fast Mode Enable)

主装置動作時のこのビットへの'1'書き込みは高速動作でのI2C仕様適合のためにSCLデューティ サイクルを調整します。このビットは従装置動作または高速動作+が許可される場合、無効です。

値	0	1
名称	OFF	ON
説明	標準動作(SM)仕様に従って動くSCLデューティ サイクル	高速動作(FM)仕様に従って動くSCLデューティ サイクル

© 2023 Microchip Technology Inc.とその子会社

27.5.2. DUALCTRL – 二元動作制御構成設定 (Dual Mode Control Configuration)

名称 : DUALCTRL
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		INPUTLVL			SDAHOLD1,0		FMPEN	ENABLE
アクセス種別	R	R/W	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – INPUTLVL : 入力電圧遷移基準** (Input Voltage Transition Level)

このビットはI²CまたはSMBusを選びます。このビットは2元動作が許可されない場合に無視されます。

値	0	1
名称	I2C	SMBUS
説明	I²C入力電圧遷移基準	SMBus 3.0入力電圧遷移基準

● **ビット3,2 – SDAHOLD1,0 : SDA保持時間** (SDA Hold Time)

このビット領域はTWI従装置に対するSDA保持時間を選びます。「電気的特性」章もご覧ください。このビットは2元動作が許可されない場合に無視されます。

値	0 0	0 1	1 0	1 1
名称	OFF	50NS	300NS	500NS
説明	保持時間OFF	短保持時間	代表的条件下のSMBus 2.0仕様に合致	全方面に渡ってSMBus仕様に合致

● **ビット1 – FMPEN : 高速動作+許可** (FM Plus Enable)

このビットへの'1'書き込みはTWI従装置に対して1MHzバス速度を選びます。このビットは2元動作が許可されない場合に無視されます。

値	0	1
名称	OFF	ON
説明	標準動作または高速動作で動作	高速動作+で動作

● **ビット0 – ENABLE : 二元制御許可** (Dual Control Enable)

このビットへの'1'書き込みがTWI二元動作構成を許可します。

27.5.3. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット0 – DBGRUN : デバッグ時走行** (Debug Run)

詳細については「デバッグ操作」項を参照してください。

値	0	1
説明	TWIはデバッグ動作中断で停止し、事象を無視	TWIはCPU停止中のデバッグ動作中断で走行継続

© 2023 Microchip Technology Inc.とその子会社

27.5.4. MCTRLA – 主装置制御A (Host Control A)

名称 : MCTRLA
変位 : +$03
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RIEN	WIEN		QCEN	TIMEOUT1,0		SMEN	ENABLE
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RIEN : 読み込み割り込み許可** (Read Interrupt Enable)

TWI主装置読み込み割り込みはこのﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄが'1'に設定される場合にだけ生成されます。

このﾋﾞｯﾄへの'1'書き込みは主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀの主装置読み込み割り込み要求ﾌﾗｸﾞ(RIF)での割り込みを許可します。RIFﾌﾗｸﾞは主装置読み込み割り込みが起きた時に'1'に設定されます。

● **ﾋﾞｯﾄ6 – WIEN : 書き込み割り込み許可** (Write Interrupt Enable)

TWI主装置書き込み割り込みはこのﾋﾞｯﾄとｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄが'1'に設定される場合にだけ生成されます。

このﾋﾞｯﾄへの'1'書き込みは主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀの主装置書き込み割り込み要求ﾌﾗｸﾞ(WIF)での割り込みを許可します。WIFﾌﾗｸﾞは主装置書き込み割り込みが起きた時に'1'に設定されます。

● **ﾋﾞｯﾄ4 – QCEN : 迅速指令許可** (Quick Command Enable)

このﾋﾞｯﾄへの'1'書き込みが迅速指令動作を許可します。迅速指令が許可されて従装置がｱﾄﾞﾚｽに応答する場合、R/Wﾋﾞｯﾄの値に応じて対応する読み込み割り込み要求ﾌﾗｸﾞ(RIF)または書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)されます

ｿﾌﾄｳｪｱは主装置制御B(TWIn.MCTRLB)ﾚｼﾞｽﾀの指令(MCMD)ﾋﾞｯﾄ領域に(STOPを)書くことによって停止条件を発行しなければなりません。

● **ﾋﾞｯﾄ3,2 – TIMEOUT1,0 : 不活性ﾊﾞｽ制限時間** (Inactive Bus Timeout)

このﾋﾞｯﾄ領域に0以外の値を設定することが不活性ﾊﾞｽ制限時間監視を許可します。ﾊﾞｽがTIMEOUT設定よりも長い間不活性の場合、ﾊﾞｽ状態論理回路はｱｲﾄﾞﾙ状態に移行します。

値	0 0	0 1	1 0	1 1
名称	DISABLED	50US	100US	200US
説明	ﾊﾞｽ制限時間禁止：I^2C	50µs：SMBus	100µs	200µs

● **ﾋﾞｯﾄ1 – SMEN : 簡便動作許可** (Smart Mode Enable)

このﾋﾞｯﾄへの'1'書き込みが主装置簡便動作を許可します。簡便動作が許可されると、主装置ﾃﾞｰﾀ(TWIn.MDATA)ﾚｼﾞｽﾀ読み込み直後に主装置制御B(TWIn.MCTRLB)ﾚｼﾞｽﾀの応答動作(ACKACT)ﾋﾞｯﾄに存在する値が送られます。

● **ﾋﾞｯﾄ0 – ENABLE : 主装置許可** (Enable TWI Host)

このﾋﾞｯﾄへの'1'書き込みがTWIを主装置として許可します。

27.5.5. MCTRLB – 主装置制御B (Host Control B)

名称 : MCTRLB
変位 : +$04
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
					FLUSH	ACKACT	MCMD1,0	
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3 – FLUSH : 解消** (Flush)

このﾋﾞｯﾄは主装置の内部状態を解消してﾊﾞｽ状態をｱｲﾄﾞﾙに変えます。TWIは主装置ｱﾄﾞﾚｽ(TWIn.MADDR)ﾚｼﾞｽﾀに先立って主装置ﾃﾞｰﾀ(TWIn.MDATA)ﾚｼﾞｽﾀが書かれる場合に無効なﾃﾞｰﾀを送信します。解消後の主装置ｱﾄﾞﾚｽ(TWIn.MADDR)と主装置ﾃﾞｰﾀ(TWIn.MDATA)への書き込みはﾊｰﾄﾞｳｪｱがSCLﾊﾞｽ空きを検出すると直ぐに処理を開始させます。

このﾋﾞｯﾄへの'1'書き込みは主装置を禁止する1ｸﾛｯｸ周期間の瞬発(ｽﾄﾛｰﾌﾞ)信号を生成し、その後に主装置を再許可します。このﾋﾞｯﾄへの'0'書き込みは無効です。

© 2023 Microchip Technology Inc.とその子会社

● ビット2 – ACKACT : 応答動作 (Acknowledge Action)

ACKACT(注)ビットはバス状態とソフトウェア相互作用によって定義された或る条件下の主装置での動きを表します。主装置制御A(TWIn.MCTRLA)レジスタの簡便動作許可(SMEN)ビットが(1)に設定される場合、応答動作は主装置データ(TWIn.MDATA)レジスタが読まれる時に実行されます。さもなければ指令が主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域に書かれなければなりません。

主装置データ(TWIn.MDATA)レジスタが書かれる時は主装置がデータを送っているため、応答動作は実行されません。

値	0	1
名称	ACK	NACK
説明	確認応答(ACK)送出	否認応答(NACK)送出

● ビット1,0 – MCMD1,0 : 指令 (Command)

MCMD(注)ビット領域は瞬発(ストローブ)信号です。このビット領域は常に'0'として読みます。

このビット領域への書き込みは下表によって定義されるような主装置動作を起動します。

注: ACKACTビットとMCMDビット領域は同時に書くことができます。

表27-2. 指令設定

MCMD1,0	群構成設定	データ方向	説明
0 0	NOACT	×	(予約)
0 1	REPSTART	×	再送開始条件が後続する応答動作を実行
1 0	RECVTRANS	$\overline{W}$	バイト書き込み操作が後続する応答動作(活動なし)を実行 (注)
		R	バイト読み込み操作が後続する応答動作を実行
1 1	STOP	×	停止条件発行が後続する応答動作を実行

注: 主装置書き込み操作に対して、TWIは主装置データ(TWIn.MDATA)レジスタに書かれる新しいデータを待ちます。

注: ACKACTビットとMCMDビット領域は同時に書くことができます。

27.5.6. MSTATUS – 主装置状態 (Host Status)

名称 : MSTATUS
変位 : +$05
リセット : $00
特質 : –

正常なTWI操作はこのレジスタが純粋に読み込み専用レジスタと見做されることが必要とされます。状態フラグの何れかの解除(0)は主装置送信アドレス(TWIn.MADDR)レジスタ、主装置データ(TWIn.MDATA)レジスタ、主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビットをアクセスすることによって間接的に行われます。

ビット	7	6	5	4	3	2	1	0
	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RIF : 読み込み割り込み要求フラグ (Read Interrupt Flag)

このフラグは主装置バイト読み込み動作が完了された時に'1'に設定されます。

RIFフラグは主装置読み込み割り込みを生成することができます。主装置制御A(TWIn.MCTRLA)レジスタの読み込み割り込み許可(RIEN)ビットの記述でより多くの情報を見つけてください。

このフラグは他のいくつかのTWIレジスタがアクセスされる時に自動的に解除(0)します。RIFフラグを解除(0)するのに以下の方法のどれをも使うことができます。

- これへの'1'書き込み
- 主装置アドレス(TWIn.MADDR)レジスタへの書き込み
- 主装置データ(TWIn.MDATA)レジスタの読み書き
- 主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビットへの書き込み

● ビット6 – WIF : 書き込み割り込み要求フラグ (Write Interrupt Flag)

このフラグはバス異常の発生や調停敗退状況と無関係に主装置のアドレス送信またはバイトの書き込みが完了された時に'1'に設定されます。

WIFフラグは主装置書き込み割り込みを生成することができます。主装置制御A(TWIn.MCTRLA)レジスタの書き込み割り込み許可(WIEN)ビットの記述でより多くの情報を見つけてください。

このフラグはRIFフラグに対して上で記述された方法のどれかを使って解除(0)することができます。

© 2023 Microchip Technology Inc.とその子会社

● ビット5 – CLKHOLD : クロック保持 (Clock Hold)

このビットが'1'として読まれると、それは主装置がTWIクロック(SCL)を現在Lowに保持してTWIクロック周期を引き延ばしていることを示します。

このフラグはRIFフラグに対して上で記述された方法のどれかを使って解除(0)することができます。

● ビット4 – RXACK : 受信応答 (Received Acknowledge)

このビットが'0'として読まれると、それは従装置からの最新応答ビットが確認応答(ACK)で従装置がより多くのデータの準備が整っていることを示します。

このビットが'1'として読まれると、それは従装置からの最新応答ビットが否認応答(NACK)で従装置がより多くのデータの受信ができないかまたは必要でないことを示します。

● ビット3 – ARBLOST : 調停敗退 (Arbitration Lost)

このビットが'1'として読まれると、それは主装置が調停で敗れたことを示します。これは以下の場合の1つで起き得ます。

- Highデータ ビットを送信している間
- 否認応答(NACK)を送信している間
- 開始条件(S)を発行している間
- 再送開始条件(Sr)を発行している間

このフラグはRIFフラグに対して記述される方法の1つを選ぶことによって解除(0)することができます。

● ビット2 – BUSERR : バス異常 (Bus Error)

BUSERRフラグは不正なバス状態が起きたことを示します。不正なバス操作はTWIバス線で規約違反の開始条件(S)、再送開始条件(Sr)、停止条件(P)が検出された場合に検知されます。開始条件直後に続く停止条件が規約違反の一例です。

BUSERRフラグは以下の方法の1つを選ぶことによって解除(0)することができます。

- これへの'1'書き込み
- 主装置アドレス(TWIn.MADDR)レジスタへの書き込み

TWIバス異常検出部はTWI主装置回路の一部です。バス異常が検出されるには、TWI主装置が許可(主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットが'1'に)されて、主クロック周波数がSCL周波数の最低4倍でなければなりません。

● ビット1,0 – BUSSTATE1,0 : バス状態フラグ (Bus State)

このビット領域は現在のTWIバス状態を示します。このビット領域への'01'書き込みはバス状態をアイドルに強制します。他の全ての値は無視されます。

値	0 0	0 1	1 0	1 1
名称	UNKNOWN	IDLE	OWNER	BUSY
説明	未知のバス状態 (未知)	アイドルのバス状態 (アイドル)	このTWIがバスを制御 (所有者)	多忙なバス状態 (使用中)

27.5.7. MBAUD – 主装置ボーレート (Host Baud Rate)

名称 : MBAUD
変位 : +$06
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	BAUD7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – BAUD7~0 : ボーレート (Baud Rate)

このビット領域はSCLのHighとLowの時間を得るのに使われます。主装置が禁止されている間に書かれなければなりません。主装置は主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットに'0'を書くことによって禁止されます。

SCLの周波数を計算する方法のより多くの情報については「クロック生成」項を参照してください。

© 2023 Microchip Technology Inc.とその子会社

27.5.8. MADDR – 主装置ｱﾄﾞﾚｽ (Host Address)

名称 : MADDR
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADDR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – ADDR7~0 : ｱﾄﾞﾚｽ** (Address)

このﾚｼﾞｽﾀは外部従装置のｱﾄﾞﾚｽを含みます。このﾋﾞｯﾄ領域が書かれると、TWIは開始条件を発行し、移動ﾚｼﾞｽﾀがﾊﾞｽ状態に応じてﾊﾞｽ上でﾊﾞｲﾄ送信動作を実行します。

このﾚｼﾞｽﾀは、読み込みｱｸｾｽがﾊﾞｽ規約に関連するどれかの操作を実行するために主装置論理回路を起動しないため、進行中のﾊﾞｽ活動での妨害を除いて何時でも読むことができます。

主装置制御論理回路は読み書き(R/W)方向ﾋﾞｯﾄとしてこのﾚｼﾞｽﾀのﾋﾞｯﾄ0を使います。

27.5.9. MDATA – 主装置ﾃﾞｰﾀ (Host Data)

名称 : MDATA
変位 : +$08
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DATA7~0 : ﾃﾞｰﾀ** (Data)

このﾋﾞｯﾄ領域はﾊﾞｽでのﾃﾞｰﾀ移動出力(送信)とﾊﾞｽから受け取るﾃﾞｰﾀの移動入力(受信)に使われる主装置の物理的な移動ﾚｼﾞｽﾀへの直接ｱｸｾｽを提供します。直接ｱｸｾｽはﾊﾞｲﾄ送信中にMDATAﾚｼﾞｽﾀをｱｸｾｽすることができないことを意味します。

有効なﾃﾞｰﾀの読み込みまたは送信されるべきﾃﾞｰﾀの書き込みはｸﾛｯｸ保持(CLKHOLD)ﾋﾞｯﾄが'1'として読まれる時、または割り込み発生時にだけ成功することができます。

MDATAﾚｼﾞｽﾀへの書き込みは主装置にﾊﾞｽでのﾊﾞｲﾄ送信動作の実行を命じ、直後に従装置からの応答ﾋﾞｯﾄを受け取ります。これは主装置制御B(TWIn.MCTRLB)ﾚｼﾞｽﾀの応答動作(ACKACT)ﾋﾞｯﾄと無関係です。書き込み操作は主装置書き込み割り込み要求ﾌﾗｸﾞ(WIF)が'1'に設定されるのに先立って調停に勝つか負けるかに関わらず実行されます。

主装置制御A(TWIn.MCTRLA)ﾚｼﾞｽﾀの簡便動作許可(SMEN)ﾋﾞｯﾄが'1'に設定され場合、MDATAﾚｼﾞｽﾀへの読み込みｱｸｾｽは主装置に応答動作の実行を命じます。これは主装置制御B(TWIn.MCTRLB)ﾚｼﾞｽﾀの応答動作(ACKACT)ﾋﾞｯﾄの設定に依存します。

注: ・ WIFとRIFのﾌﾗｸﾞはACKACTが'1'に設定されている間にMDATAﾚｼﾞｽﾀが読まれる場合、自動的に解除(0)されます。
・ 調停敗退(ARBLOST)とﾊﾞｽ異常(BUSERR)のﾌﾗｸﾞは無変化のままです。
・ WIF、RIF、ARBLOST、BUSERRのﾌﾗｸﾞはCLKHOLDﾋﾞｯﾄと共に全て主装置状態(TWIn.MSTATUS)ﾚｼﾞｽﾀに配置されます。

27.5.10. SCTRLA – 従装置制御A (Client Control A)

名称 : SCTRLA
変位 : +$09
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIEN	APIEN	PIEN			PMEN	SMEN	ENABLE
ｱｸｾｽ種別	R/W	R/W	R/W	R	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – DIEN : ﾃﾞｰﾀ割り込み許可** (Data Interrupt Enable)

このﾋﾞｯﾄに'1'を書くことは従装置状態(TWIn.SSTATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)での割り込みを許可します。

TWI従装置ﾃﾞｰﾀ割り込みは、このﾋﾞｯﾄ、DIFﾌﾗｸﾞ、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(CPU.SREG)の全体割り込み許可(I)ﾋﾞｯﾄが全て'1'の場合にだけ生成されます。

© 2023 Microchip Technology Inc.とその子会社

● **ビット6 – APIEN : アドレス/停止条件割り込み許可** (Address or Stop Interrupt Enable)

このビットに'1'を書くことは従装置状態(TWIn.SSTATUS)レジスタのアドレス/停止条件割り込み要求フラグ(APIF)での割り込みを許可します。

TWI従装置アドレス/停止条件割り込みは、このビット、APIFフラグ、ステータス レジスタ(CPU.SREG)の全体割り込み許可(I)ビットが全て'1'の場合にだけ生成されます。

注: ・ 従装置停止条件割り込みは割り込みフラグとベクタを従装置アドレス割り込みと共有します。
- 従装置制御A(TWIn.SCTRLA)レジスタの停止条件割り込み許可(PIEN)ビットは停止条件でAPIFが設定されるために'1'を書かれなければなりません。
- 割り込み発生時、TWI従装置状態(TWIn.SSTATUS)レジスタのアドレス/停止条件(AP)ビットはアドレス一致か停止条件かのどちらが割り込みを起こしたかを決めます。

● **ビット5 – PIEN : 停止条件割り込み許可** (Stop Interrupt Enable)

このビットに'1'を書くことは停止条件発生時にTWI従装置状態(TWIn.SSTATUS)レジスタのアドレス/停止条件割り込み要求フラグ(APIF)が設定(1)されることを許します。主クロック周波数はこの機能を使うためにSCL周波数の最低4倍でなければなりません。

● **ビット2 – PMEN : アドレス認識動作** (Address Recognition Mode)

このビットが'1'を書かれるなら、従装置アドレス一致論理回路は全ての受信アドレスに応答します。

このビットが'0'を書かれるなら、アドレス一致論理回路はどのアドレスを従装置のアドレスとして認識するかを決めるのに従装置アドレス(TWIn.SADDR)レジスタを使います。

● **ビット1 – SMEN : 簡便動作許可** (Smart Mode Enable)

このビットに'1'を書くことが従装置簡便動作を許可します。簡便動作が許可されると、従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域への書き込みによる指令発行または従装置データ(TWIn.SDATA)レジスタのアクセスは割り込みをリセットして動作を続けます。簡便動作が禁止される場合、従装置は続けるのに先立って常に新しい従装置指令を待ちます。

● **ビット0 – ENABLE : 従装置許可** (Enable TWI Client)

このビットに'1'を書くことがTWI従装置を許可します。

27.5.11. SCTRLB – 従装置制御B (Client Control B)

名称 : SCTRLB
変位 : +$0A
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
						ACKACT	SCMD1,0	
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット2 – ACKACT : 応答動作** (Acknowledge Action)

ACKACT(注)ビットはバス規約状態とソフトウェア相互作用によって定義される或る条件下でのTWI従装置の動きを示します。従装置制御A(TWIn.SCTRLA)レジスタの簡便動作許可(SMEN)ビットが'1'に設定される場合、応答動作は従装置データ(TWIn.SDATA)レジスタが読まれる時に実行されます、さもなければ従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域に指令が書かれなければなりません。

従装置データ(TWIn.SDATA)レジスタが書かれる時は従装置がデータを送っているため、応答動作は実行されません。

値	0	1
名称	ACK	NACK
説明	確認応答(ACK)送出	否認応答(NACK)送出

● **ビット1,0 – SCMD1,0 : 指令** (Command)

SCMD(注)ビット領域は瞬発(ストローブ)信号です。このビット領域は常に'0'として読みます。

このビット領域への書き込みは次表によって定義されるような従装置動作を起動します。

© 2023 Microchip Technology Inc.とその子会社

表27-3. 指令設定

SCMD1,0	群構成設定	DIR(方向)	説明	
0 0	NOACT	×	活動なし	
0 1	–	×	(予約)	
1 0	COMPTRANS	$\overline{W}$	何れかの開始条件/再送開始条件(S/Sr)待機に先行する応答動作を実行	転送処理完了に使用
		R	何れかの開始条件/再送開始条件(S/Sr)待機	
1 1	RESPONSE	$\overline{W}$	次ﾊﾞｲﾄの受信に先行する応答動作を実行	
		R	ｱﾄﾞﾚｽ割り込み要求ﾌﾗｸﾞ(APIF)に対する応答で使用: 従装置ﾃﾞｰﾀ割り込み(DIF)に先行する応答動作を実行	
			ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)に対する応答で使用: 応答動作が後続するﾊﾞｲﾄ読み取り操作を実行	

注: ACKACTﾋﾞｯﾄとSCMDﾋﾞｯﾄ領域は同時に書くことができます。ACKACTは指令が起動されるのに先立って更新されます。

27.5.12. SSTATUS – 従装置状態 (Client Status)

名称 : SSTATUS
変位 : +$0B
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP
ｱｸｾｽ種別	R/W	R/W	R	R	R/W	R/W	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – DIF : ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ** (Data Interrupt Flag)

このﾌﾗｸﾞはﾊﾞｽ異常なしで従装置のﾊﾞｲﾄ送信またはﾊﾞｲﾄ受信の操作が完了された時に'1'に設定されます。このﾌﾗｸﾞは衝突検出の場合での不成功転送処理で'1'に設定され得ます。衝突(COLL)ﾋﾞｯﾄの記述でより多くの情報を見つけてください。

DIFﾌﾗｸﾞは従装置ﾃﾞｰﾀ割り込みを生成することができます。従装置制御A(TWIn.SCTRLA)ﾚｼﾞｽﾀのﾃﾞｰﾀ割り込み許可(DIEN)ﾋﾞｯﾄの記述でより多くの情報を見つけてください。

このﾌﾗｸﾞは他のいくつかのTWIﾚｼﾞｽﾀがｱｸｾｽされる時に自動的に解除(0)します。以下の方法のどれもDIFﾌﾗｸﾞを解除(0)するのに使うことができます。

- 従装置ﾃﾞｰﾀ(TWIn.SDATA)ﾚｼﾞｽﾀへの読み書き
- 従装置制御B(TWIn.SCTRLB)ﾚｼﾞｽﾀの指令(SCMD)ﾋﾞｯﾄ領域への書き込み

● **ﾋﾞｯﾄ6 – APIF : ｱﾄﾞﾚｽ/停止条件割り込み要求ﾌﾗｸﾞ** (Address or Stop Interrupt Flag)

このﾌﾗｸﾞは従装置ｱﾄﾞﾚｽが受信された時、または停止条件によって'1'に設定されます。

APIFﾌﾗｸﾞは従装置ｱﾄﾞﾚｽ/停止条件割り込みを生成することができます。従装置制御A(TWIn.SCTRLA)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止条件割り込み許可(APIEN)ﾋﾞｯﾄの記述でより多くの情報を見つけてください。

このﾌﾗｸﾞはDIFﾌﾗｸﾞに対して記述される方法のどれを使っても解除(0)することができます。

● **ﾋﾞｯﾄ5 – CLKHOLD : ｸﾛｯｸ保持** (Clock Hold)

このﾋﾞｯﾄが'1'として読まれると、それは従装置がTWIｸﾛｯｸ(SCL)を現在Lowに保持してTWIｸﾛｯｸ周期を引き延ばしていることを示します。

このﾋﾞｯﾄはｱﾄﾞﾚｽ(APIF)またはﾃﾞｰﾀ(DIF)の割り込みが起こる時に'1'に設定されます。対応する割り込みのﾘｾｯﾄが間接的にこのﾋﾞｯﾄを'0'に設定します。

● **ﾋﾞｯﾄ4 – RXACK : 受信応答** (Received Acknowledge)

このﾋﾞｯﾄが'0'として読まれると、それは主装置からの最新応答ﾋﾞｯﾄが確認応答(ACK)だったことを示します。

このﾋﾞｯﾄが'1'として読まれると、それは主装置からの最新応答ﾋﾞｯﾄが否認応答(NACK)だったことを示します。

● **ﾋﾞｯﾄ3 – COLL : 衝突** (Collision)

このﾋﾞｯﾄが'1'として読まれると、それは従装置が以下の1つを行うことができなかったことを示します。

- SDAでのHighﾋﾞｯﾄ送信。不成功転送処理の内部完了のため、その最後でﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が'1'に設定されます。
- 否認応答(NACK)ﾋﾞｯﾄ送信。従装置ｱﾄﾞﾚｽ一致が既に起こされたために衝突が起き、結果としてｱﾄﾞﾚｽ/停止条件割り込み要求ﾌﾗｸﾞ(APIF)が'1'に設定されます。

このﾋﾞｯﾄへの'1'書き込みはCOLLﾌﾗｸﾞを解除(0)します。このﾌﾗｸﾞは何れかの開始条件(S)または再送開始条件(Sr)が検出される場合に自動的に解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

注: APIFとDIFのﾌﾗｸﾞは衝突を調べるのに使われ得る処理部の割り込みしか生成することができません。

● **ﾋﾞｯﾄ2 – BUSERR : ﾊﾞｽ異常** (Bus Error)

BUSERRﾌﾗｸﾞは不正なﾊﾞｽ操作が起きたことを示します。不正なﾊﾞｽ操作はTWIﾊﾞｽ線で規約違反の開始条件(S)、再送開始条件(Sr)、停止条件(P)が検出された場合に検知されます。開始条件直後に続く停止条件が規約違反の1つの例です。

このﾋﾞｯﾄへの'1'書き込みはBUSERRﾌﾗｸﾞを解除(0)します。

TWIﾊﾞｽ異常検出部はTWI主装置回路の一部です。従装置によってﾊﾞｽ異常が検出されるには、TWI二元動作またはTWI主装置が許可され、主ｸﾛｯｸ周波数がSCL周波数の最低4倍でなければなりません。TWI二元動作は二元動作制御構成設定(TWIn.DUALCTRL)ﾚｼﾞｽﾀの二元制御許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによって許可することができます。TWI主装置は主装置制御A(TWIn.MCTRLA)ﾚｼﾞｽﾀのTWI主装置許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによって許可することができます。

● **ﾋﾞｯﾄ1 – DIR : 読み/書き方向** (Rwad/Write Direction)

このﾋﾞｯﾄは現在のTWIﾊﾞｽ方向を示します。DIRﾋﾞｯﾄはTWI主装置から受信した最後のｱﾄﾞﾚｽ ﾊﾟｹｯﾄからの方向ﾋﾞｯﾄ値を反映します。

このﾋﾞｯﾄが'1'として読まれると、それは主装置読み込み操作が進行中です。

このﾋﾞｯﾄが'0'として読まれると、それは主装置書き込み操作が進行中です。

● **ﾋﾞｯﾄ0 – AP : ｱﾄﾞﾚｽ/停止条件** (Address or Stop)

TWI従装置状態(TWIn.SSTATUS)ﾚｼﾞｽﾀのTWI従装置ｱﾄﾞﾚｽ/停止条件割り込み要求ﾌﾗｸﾞ(APIF)が'1'に設定されると、このﾋﾞｯﾄは割り込みがｱﾄﾞﾚｽ検出のためかそれとも停止条件のためかを決めます。

値	0	1
名称	STOP	ADR
説明	停止条件がAPIFﾌﾗｸﾞでの割り込みを生成	ｱﾄﾞﾚｽ検出がAPIFﾌﾗｸﾞでの割り込みを生成

27.5.13. SADDR – 従装置ｱﾄﾞﾚｽ (Client Address)

名称 : SADDR
変位 : +$0C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADDR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – ADDR7~0 : ｱﾄﾞﾚｽ** (Address)

従装置ｱﾄﾞﾚｽ(TWIn.ADDR)ﾚｼﾞｽﾀはTWI主装置がTWI従装置をｱﾄﾞﾚｽ指定したかを判断する従装置ｱﾄﾞﾚｽ一致論理回路によって使われます。ｱﾄﾞﾚｽ ﾊﾟｹｯﾄが受信された場合、従装置状態(TWIn.SSTATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止条件割り込み要求ﾌﾗｸﾞ(APIF)とｱﾄﾞﾚｽ/停止条件(AP)ﾋﾞｯﾄが'1'に設定されます。

TWIn.SADDRﾚｼﾞｽﾀの上位7ﾋﾞｯﾄ(ADDR7～1)は基本従装置ｱﾄﾞﾚｽを表します。

TWIn.SADDRﾚｼﾞｽﾀの最下位ﾋﾞｯﾄ(ADDR0)はI²C規約の一斉呼び出しｱﾄﾞﾚｽ($00)の認識に使われます。この機能はこのﾋﾞｯﾄが'1'に設定される時に許可されます。

27.5.14. SDATA – 従装置ﾃﾞｰﾀ (Client Data)

名称 : SDATA
変位 : +$0D
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DATA7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – DATA7~0 : ﾃﾞｰﾀ** (Data)

このﾋﾞｯﾄ領域は従装置ﾃﾞｰﾀ ﾚｼﾞｽﾀへのｱｸｾｽを提供します。

有効なﾃﾞｰﾀの読み込みまたは送信されるべきﾃﾞｰﾀの書き込みは従装置によってSCLがLowに保持される時(即ち、CLKHOLDﾋﾞｯﾄが'1'に設定される時)にだけ達成することができます。割り込みの使用または割り込み要求ﾌﾗｸﾞの監視によってｿﾌﾄｳｪｱが現在の規約状態の経緯を保つ場合、SDATAﾚｼﾞｽﾀをｱｸｾｽするのに先だって、ｿﾌﾄｳｪｱで従装置状態(TWIn.SSTATUS)ﾚｼﾞｽﾀのｸﾛｯｸ保持(CLKHOLD)ﾋﾞｯﾄを調べることは不要です。

© 2023 Microchip Technology Inc.とその子会社

従装置制御A(TWIn.SCTRLA)ﾚｼﾞｽﾀの簡便動作許可(SMEN)ﾋﾞｯﾄが'1'に設定される場合、ｸﾛｯｸ保持が有効の時のSDATAﾚｼﾞｽﾀ読み込みは従装置にﾊﾞｽ操作を自動起動して応答動作を実行することを命じます。これは従装置制御B(TWIn.SCTRLB)ﾚｼﾞｽﾀの応答動作(ACKACT)ﾋﾞｯﾄの設定に依存します。

27.5.15. SADDRMASK – 従装置ｱﾄﾞﾚｽ遮蔽 (Client Address Mask)

名称 : SADDRMASK
変位 : +$0E
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	ADDRMASK6~0							ADDREN
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~1 – ADDRMASK6~0 : ｱﾄﾞﾚｽ遮蔽** (Address Mask)

ADDRMASKﾋﾞｯﾄ領域はｱﾄﾞﾚｽ許可(ADDREN)ﾋﾞｯﾄに依存して第2ｱﾄﾞﾚｽ一致またはｱﾄﾞﾚｽ遮蔽のﾚｼﾞｽﾀとして働きます。

ADDRENﾋﾞｯﾄが'0'を書かれる場合、ADDRMASKﾋﾞｯﾄ領域は7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽ遮蔽値を設定することができます。従装置ｱﾄﾞﾚｽ遮蔽(TWIn.SADDRMASK)ﾚｼﾞｽﾀ内の各ﾋﾞｯﾄはTWI従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀ内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)することができます。この遮蔽のﾋﾞｯﾄが'1'を書かれるなら、ｱﾄﾞﾚｽ一致論理回路は着信ｱﾄﾞﾚｽ ﾋﾞｯﾄと従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀ内の対応するﾋﾞｯﾄ間の比較を無視します。換言すると、遮蔽されたﾋﾞｯﾄは常に一致し、ｱﾄﾞﾚｽの範囲の認識を可能にします。

ADDRENが'1'を書かれる場合、従装置ｱﾄﾞﾚｽ遮蔽(TWIn.SADDRMASK)ﾚｼﾞｽﾀは従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀに加えて第2従装置ｱﾄﾞﾚｽを設定することができます。この動作では従装置が2つの独自のｱﾄﾞﾚｽ、従装置ｱﾄﾞﾚｽ(TWIn.SADDR)ﾚｼﾞｽﾀでの1つと従装置ｱﾄﾞﾚｽ遮蔽(TWIn.SADDRMASK)ﾚｼﾞｽﾀでの別の1つを持ちます。

● **ﾋﾞｯﾄ0 – ADDREN : ｱﾄﾞﾚｽ許可** (Address Mask Enable)

このﾋﾞｯﾄが'0'を書かれる場合、TWIn.SADDRMASKﾚｼﾞｽﾀはTWIn.SADDRﾚｼﾞｽﾀに対する遮蔽として働きます。

このﾋﾞｯﾄが'1'を書かれる場合、従装置ｱﾄﾞﾚｽ一致論理回路は従装置のTWIn.SADDRとTWIn.SADDRMASKのﾚｼﾞｽﾀでの2つの独自のｱﾄﾞﾚｽに応答します。

© 2023 Microchip Technology Inc.とその子会社

28. CRCSCAN – 巡回冗長検査ﾒﾓﾘ走査

28.1. 特徴

- CRC-16-CCITTまたはCRC-32(IEEE 802.3)
- 全ﾌﾗｯｼｭ ﾒﾓﾘ領域、応用ｺｰﾄﾞ領域と/またはﾌﾞｰﾄ領域の検査
- 選択可能な不成功でのNMI起動
- 使用者構成設定可能な内部ﾘｾｯﾄ初期化中の検査

28.2. 概要

巡回冗長検査(CRC)は重要な安全機能です。不揮発性ﾒﾓﾘ(NVM)を走査してｺｰﾄﾞが正しいことを保証します。

ﾃﾞﾊﾞｲｽはﾌﾗｯｼｭ ﾒﾓﾘ誤りが起きた場合、ｺｰﾄﾞを実行しません。ｺｰﾄﾞ化けが起きていないことを保証することにより、危険な状況を起こし得る応用での潜在的な意図しない動きを避けることができます。CRC走査はﾌﾗｯｼｭ ﾒﾓﾘ全体、ﾌﾞｰﾄ領域だけ、ﾌﾞｰﾄと応用ｺｰﾄﾞの両領域を走査するように設定することができます。

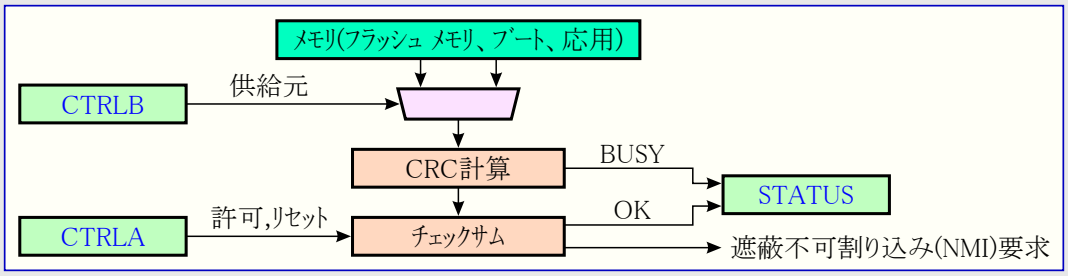
CRCは予め計算されたﾁｪｯｸｻﾑと比較されるﾁｪｯｸｻﾑを生成します。2つのﾁｪｯｸｻﾑが一致する場合、ﾌﾗｯｼｭ ﾒﾓﾘはOKで、応用ｺｰﾄﾞは走行を開始することができます。

状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄはCRC走査が進行中か否かを示す一方で、状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀのCRC OK(OK)ﾋﾞｯﾄはﾁｪｯｸｻﾑ比較が一致か否かを示します。

CRCSCANはﾁｪｯｸｻﾑが一致しない場合に遮蔽不可割り込み(NMI)を生成させるように設定することができます。

28.2.1. 構成図

図28-1. 巡回冗長検査構成図



28.3. 機能的な説明

28.3.1. 初期化

ｿﾌﾄｳｪｱ(またはﾃﾞﾊﾞｯｶﾞ経由)でCRCを許可するには、

1. 望む供給元設定を選ぶために制御B(CRCSCAN.CTRLB)ﾚｼﾞｽﾀの供給元(SRC)ﾋﾞｯﾄ領域を書いてください。
2. 制御A(CRCSCAN.CTRLA)ﾚｼﾞｽﾀの許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによってCRCSCANを許可してください。
3. CRCは3周期後に開始します。CPUはこれらの3周期の間も実行を続けます。

CRC32とCRC16の選択はﾋｭｰｽﾞ設定を通して行われます。CRCSCANはﾃﾞﾊﾞｲｽがﾘｾｯﾄを出る前にｺｰﾄﾞ ﾒﾓﾘ走査を実行するように構成設定することができます。この検査が失敗の場合、CPUは通常のｺｰﾄﾞ実行の開始を許されません。この機能はｼｽﾃﾑ構成設定0(FUSE.SYSCFG0)ﾋｭｰｽﾞのCRC供給元(CRCSRC)領域によって許可されて制御されます(より多くの情報については「ﾋｭｰｽﾞ」項をご覧ください)。

CRCSCANが許可された場合、成功したCRC検査は以下の結果を持ちます。

- 通常ｺｰﾄﾞ実行開始
- CRCSCAN.CTRLAﾚｼﾞｽﾀのENABLEﾋﾞｯﾄが'1'です。
- CRCSCAN.CTRLBﾚｼﾞｽﾀのCRC供給元(SRC)ﾋﾞｯﾄ領域は検査した領域を反映します。
- 状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀのCRC OK(OK)ﾌﾗｸﾞが'1'です。

CRCSCANが許可された場合、不成功のCRC検査は以下の結果を持ちます。

- 通常ｺｰﾄﾞ実行は開始せず、CPUはｺｰﾄﾞ実行を停止します。
- CRCSCAN.CTRLAﾚｼﾞｽﾀのENABLEﾋﾞｯﾄが'1'です。
- CRCSCAN.CTRLBﾚｼﾞｽﾀのSRCﾋﾞｯﾄ領域は検査した領域を反映します。
- CRCSCAN.STATUSﾚｼﾞｽﾀのOKﾌﾗｸﾞが'0'です。
- この状況はﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽを用いて観察することができます。

© 2023 Microchip Technology Inc.とその子会社

28.3.2. 動作

動作時、CRCSCANはﾌﾗｯｼｭ ﾒﾓﾘへのｱｸｾｽ優先権を持ち、完了されるまでCPUを停止します。

CRCは各16ﾋﾞｯﾄ取得に対して3ｸﾛｯｸ周期使います。CRCSCANは始動から走査を行うように構成設定することができます。

任意長のﾃﾞｰﾀ塊に適用されるnﾋﾞｯﾄCRCは長さでnﾋﾞｯﾄまでのどんな単一改変(連続誤り)も検出します。より長い連続誤りについては$1-2^{-n}$分の1が検出されます。

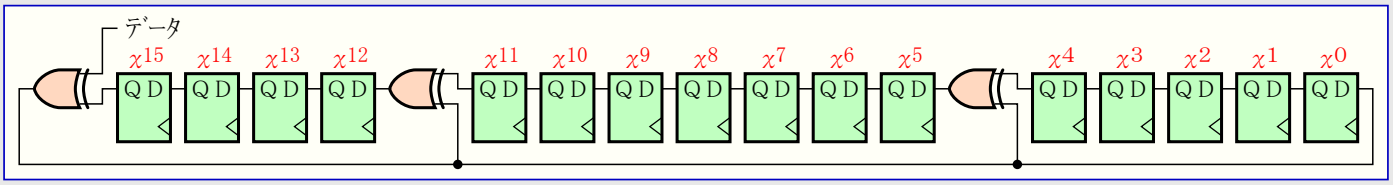
CRC生成部はCRC-16-CCITT)とCRC-32(IEEE 802.3)を支援します。

多項式任意選択は次のとおりです。

- CRC-16-CCITT : $X^{16}+X^{12}+X^{5}+1$
- CRC-32 : $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$

CRCは検査に対して設定された領域の内容をﾊﾞｲﾄ0で始めてﾊﾞｲﾄ単位で読み、ﾊﾞｲﾄ毎に新しいﾁｪｯｸｻﾑを生成します。ﾊﾞｲﾄは最上位ﾋﾞｯﾄから始めて下で描かれるような移動ﾚｼﾞｽﾀを通して送られます。領域の最後のﾊﾞｲﾄが正しいﾁｪｯｸｻﾑを含む場合、CRCは(検査に)合格します。ﾁｪｯｸｻﾑがどう配置されるかについては「28.3.2.1. ﾁｪｯｸｻﾑ」をご覧ください。ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀの初期値は$FFFFです。

図28-2. CRC-16実装説明



28.3.2.1. ﾁｪｯｸｻﾑ

検査される領域の最後の位置に予め計算されたﾁｪｯｸｻﾑが存在しなければなりません。ﾌﾞｰﾄ(BOOT)領域が検査されるべきなら、ﾁｪｯｸｻﾑはﾌﾞｰﾄ領域の最後の(2または4)ﾊﾞｲﾄに保存されなければなりません。応用(APPLICATION)とﾌﾗｯｼｭ全体に対しても同様です。**表28-1.**と**表28-2.**は各種領域に対してﾁｪｯｸｻﾑがどう格納されなければならないかを明確に示します。どの領域を検査するかを構成設定する方法については制御B(CRCSCAN.CTRLB)ﾚｼﾞｽﾀ記述を参照してください。

表28-1. ﾌﾗｯｼｭ ﾒﾓﾘでの予め計算されたCRC16用ﾁｪｯｸｻﾑの配置

検査する領域	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ15～8)	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ7～0)
ﾌﾞｰﾄ領域 (BOOT)	BOOTEND-1	BOOTEND
ﾌﾞｰﾄ領域(BOOT)と応用領域(APLICATION)	APPEND-1	APPEND
全ﾌﾗｯｼｭ ﾒﾓﾘ	FLASHEND-1	FLASHEND

表28-2. ﾌﾗｯｼｭ ﾒﾓﾘでの予め計算されたCRC32用ﾁｪｯｸｻﾑの配置

検査する領域	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ31～24)	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ23～16)	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ15～8)	ﾁｪｯｸｻﾑ(ﾋﾞｯﾄ7～0)
ﾌﾞｰﾄ領域 (BOOT)	BOOTEND	BOOTEND-1	BOOTEND-2	BOOTEND-3
ﾌﾞｰﾄ領域(BOOT)と応用領域(APLICATION)	APPEND	APPEND-1	APPEND-2	APPEND-3
全ﾌﾗｯｼｭ ﾒﾓﾘ	FLASHEND	FLASHEND-1	FLASHEND-2	FLASHEND-3

28.3.3. 割り込み

表28-3. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
NMI	遮蔽不可割り込み	CRC誤り

割り込み条件が起こると、状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀのCRC OK(OK)ﾌﾗｸﾞが'0'に解除されます。

遮蔽不可割り込み(NMI)は制御A(CRCSCAN.CTRLA)ﾚｼﾞｽﾀの対応する許可(NMIEN)ﾋﾞｯﾄに'1'を書くことによって許可されますが、ｼｽﾃﾑ ﾘｾｯﾄでだけ禁止することができます。NMIはCRCSCAN.STATUSﾚｼﾞｽﾀのOKﾌﾗｸﾞが解除(0)され、NMIENﾋﾞｯﾄが'1'の時に生成されます。NMI要求はｼｽﾃﾑ ﾘｾｯﾄまで活性に留まり、禁止することができません。

NMIは例え割り込みが全体的に許可されなくても起動することができます。

© 2023 Microchip Technology Inc.とその子会社

28.3.4. 休止形態動作

全てのCPU休止動作でCRCSCANは停止され、CPUが起き上がる時に動作を再開します。

CRCSCANは制御A(CRCSCAN.CTRLA)ﾚｼﾞｽﾀのCRCSCAN許可(ENABLE)ﾋﾞｯﾄ書き込み後3周期で動作を開始します。これらの3周期の間に休止動作へ移行することが可能です。この場合、

1. CRCSCANはCPUが起き上がるまで開始しません。
2. CRCSCANが終了された後に何れかの割り込み処理部を実行します。

28.3.5. ﾃﾞﾊﾞｯｸﾞ操作

ﾃﾞﾊﾞｯｶﾞが周辺機能やﾒﾓﾘ位置を読み書きする時は必ずCRCSCANが禁止されます。

ﾃﾞﾊﾞｯｶﾞがﾃﾞﾊﾞｲｽをｱｸｾｽする時にCRCSCANが多忙の場合、CRCSCANはﾃﾞﾊﾞｯｶﾞが内部ﾚｼﾞｽﾀをｱｸｾｽする時、またはﾃﾞﾊﾞｯｶﾞ切断時に進行中の動作を再始動します。

状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄはﾃﾞﾊﾞｯｶﾞがこれを禁止にさせた時にCRCSCANが多忙だった場合に'1'を読みますが、ﾃﾞﾊﾞｯｶﾞがこれの禁止を保つ限り、どの領域も積極的に検査しません。CRCSCANを禁止することなくﾃﾞﾊﾞｯｶﾞによって読むことができる同期したCRC状態ﾋﾞｯﾄがﾃﾞﾊﾞｯｶﾞの内部ﾚｼﾞｽﾀ空間にあります。ﾃﾞﾊﾞｯｶﾞの内部CRC状態ﾋﾞｯﾄ読み込みはCRCSCANが許可されることを確実にします。

ﾃﾞﾊﾞｯｶﾞから直接CRCSCAN.STATUSﾚｼﾞｽﾀ書き込みが可能なら、

- CRCSCAN.STATUSﾚｼﾞｽﾀ内のBUSYﾋﾞｯﾄ
  - BUSYﾋﾞｯﾄに'0'を書くことは(ﾃﾞﾊﾞｯｶﾞがそれを許す時にその動作を再始動しないように)進行中のCRC動作を止めます。
  - BUSYﾋﾞｯﾄに'1'を書くことは制御B(CRCSCAN.CTRLB)ﾚｼﾞｽﾀの設定で単一検査をCRCに始めさせますが、ﾃﾞﾊﾞｯｶﾞがそれを許すまで動きません。

CRCSCAN.STATUSﾚｼﾞｽﾀのBUSYﾋﾞｯﾄが'1'である限り、制御A(CRCSCAN.CTRLA)ﾚｼﾞｽﾀの遮蔽不可割り込み許可(NMIEN)ﾋﾞｯﾄとCRCSCAN.CTRLBﾚｼﾞｽﾀは変えることができません。

- CRCSCAN.STATUSﾚｼﾞｽﾀ内のOKﾋﾞｯﾄ
  - OKﾋﾞｯﾄに'0'を書くことはCRCSCAN.CTRLAﾚｼﾞｽﾀのNMIENﾋﾞｯﾄが'1'の場合に遮蔽不可割り込み(NMI)を起動することができます。NMIが起動された場合、CRCSCANへの書き込みが許されません。
  - OKﾋﾞｯﾄに'1'を書くことはCRCSCAN.STATUSﾚｼﾞｽﾀのBUSYﾋﾞｯﾄが'0'の時にOKﾋﾞｯﾄを'1'として読ませます。

ﾃﾞﾊﾞｯｶﾞからCRCSCAN.CTRLAとCRCSCAN.CTRLBのﾚｼﾞｽﾀ書き込みはCPUからの書き込みと同様に扱われます。

© 2023 Microchip Technology Inc.とその子会社

28.4. ﾚｼﾞｽﾀ要約

変位	略称	ﾋﾞｯﾄ位置	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0
+$00	CTRLA	7～0	RESET						NMIEN	ENABLE
+$01	CTRLB	7～0							SRC1,0	
+$02	STATUS	7～0							OK	BUSY

© 2023 Microchip Technology Inc.とその子会社

28.5. ﾚｼﾞｽﾀ説明

28.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

NMIが起動されてしまった場合、このﾚｼﾞｽﾀは書き込み不可です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RESET						NMIEN	ENABLE
ｱｸｾｽ種別	R/W	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RESET : CRCSCANﾘｾｯﾄ** (Reset CRCSCAN)

このﾋﾞｯﾄに'1'を書くことはCRCSCANをﾘｾｯﾄします。CRCSCANの制御と状態(CRCSCAN.CTRLA、CRCSCAN.CTRLB、CRCSCAN.STATUS)ﾚｼﾞｽﾀはRESETﾋﾞｯﾄが'1'を書かれた後の1ｸﾛｯｸ周期で解消されます。

NMI起動許可(NMIEN)が'0'なら、このﾋﾞｯﾄはCRCSCANが多忙(CRCSCAN.STATUSﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄが'1')と多忙でない(BUSYﾋﾞｯﾄが'0')の両方の時に書き込み可能で、直ちに有効になります。

NMIENが'1'なら、このﾋﾞｯﾄはCRCSCANが多忙でない(CRCSCAN.STATUSﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄが'0'の)時にだけ書き込み可能です。

RESETﾋﾞｯﾄは瞬発(ｽﾄﾛｰﾌﾞ)ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ1 – NMIEN : NMI起動許可** (Enable NMI Trigger)

このﾋﾞｯﾄが'1'を書かれると、どのCRC不成功もNMIを起動します。

これはｼｽﾃﾑ ﾘｾｯﾄによってのみ解除(0)することができ、それはﾘｾｯﾄ(RESET)ﾋﾞｯﾄへの書き込みによって解除(0)されません。

このﾋﾞｯﾄはCRCSCANが多忙でない(CRCSCAN.STATUSﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄが'0'の)時に'1'へ書くことだけができます。

● **ﾋﾞｯﾄ0 – ENABLE : CRCSCAN許可** (Enable CRCSCAN)

このﾋﾞｯﾄに'1'を書くことが現在の設定でCRCSCANを許可します。これはCRC検査が完了した後でも'1'に留まりますが、再びこれに'1'を書くことが新しい検査を開始します。

このﾋﾞｯﾄに'0'を書くことは無効です。

CRCSCANはCPUに通常のｺｰﾄﾞ実行を始めさせる前にﾌﾗｯｼｭ ﾒﾓﾘ領域を確認するため、ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ(MCU)始動手順中に走査を動かすように構成設定することができます(「28.3.1. 初期化」項をご覧ください)。この機能が許可された場合、通常のｺｰﾄﾞ実行が始まると、ENABLEﾋﾞｯﾄは'1'として読みます。

CRCSCANが進行中の検査で多忙かどうかを知るには、状態(CRCSCAN.STATUS)ﾚｼﾞｽﾀの多忙(BUSY)ﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞしてください。

© 2023 Microchip Technology Inc.とその子会社

28.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

制御BﾚｼﾞｽﾀはCRCに対する供給元設定を含みます。これはCRCSCANが多忙の時、またはNMIが起動されてしまった時に書き込み不可です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							SRC[1,0]	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1,0 – SRC[1,0] : CRC供給元** (CRC Source)

SRCﾋﾞｯﾄ領域はCRCSCANによって検査されるべきﾌﾗｯｼｭ ﾒﾓﾘの領域を選びます。領域の大きさを構成設定するには「ﾋｭｰｽﾞ」項を参照してください。

CPUを開始させる前にﾌﾗｯｼｭ ﾒﾓﾘ領域を確認するために、内部ﾘｾｯﾄ初期化中にCRCSCANを許可することができます(「ﾋｭｰｽﾞ」項をご覧ください)。CRCSCANが内部ﾘｾｯﾄ初期化中に許可された場合、通常のｺｰﾄﾞ実行が始まると、(構成設定に依存して)FLASH、BOOTAPP、BOOTとして読み出されます。

値	0 0	0 1	1 0	1 1
名称	FLASH	BOOTAPP	BOOT	–
説明	CRCはﾌﾗｯｼｭ ﾒﾓﾘ全体(ﾌﾞｰﾄ、応用ｺｰﾄﾞ、応用ﾃﾞｰﾀの領域)で実行されます。	CRCはﾌﾗｯｼｭのﾌﾞｰﾄと応用ｺｰﾄﾞの領域で実行されます。	CRCはﾌﾗｯｼｭのﾌﾞｰﾄ領域で実行されます。	(予約)

28.5.3. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$02
ﾘｾｯﾄ : $02
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							OK	BUSY
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	1	0

● **ﾋﾞｯﾄ1 – OK : CRC OK** (CRC OK)

このﾋﾞｯﾄが'1'として読まれると、直前のCRCは成功裏に完了しました。このﾋﾞｯﾄはCRC走査が走る前に既定で'1'に設定されます。このﾋﾞｯﾄは多忙(BUSY)が'0'でなければ無効です。

● **ﾋﾞｯﾄ0 – BUSY : CRC多忙** (CRC Busy)

このﾋﾞｯﾄが'1'として読まれると、CRCSCANは多忙です。単位部が多忙である限り、制御ﾚｼﾞｽﾀへのｱｸｾｽは制限されます。

© 2023 Microchip Technology Inc.とその子会社

29. CCL – 構成設定可能な注文論理回路

29.1. 特徴

- 汎用PCB設計用接続用論理回路(glue logic)
- 4つの設定可能な参照表(LUT)
- 組み合わせ論理回路機能：3入力までの機能の全ての論理式
- 逐次制御器論理回路機能
  - 門付きDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ
  - JKﾌﾘｯﾌﾟﾌﾛｯﾌﾟ
  - 門付きDﾗｯﾁ
  - RSﾗｯﾁ
- 柔軟な参照表(LUT)入力選択
  - 入出力
  - 事象
  - 後続LUT出力
  - 内部周辺機能
    - ｱﾅﾛｸﾞ比較器
    - ﾀｲﾏ/ｶｳﾝﾀ
    - USART
    - SPI
- ｼｽﾃﾑ ｸﾛｯｸまたは他の周辺機能によるｸﾛｯｸ駆動
- 入出力ﾋﾟﾝまたは事象ｼｽﾃﾑへ接続可能な出力
- 各LUT出力で利用可能な任意選択の同期化器、濾波器、端検出器
- 各LUT出力からの任意選択割り込み生成
  - 上昇端
  - 下降端
  - 両端

29.2. 概要

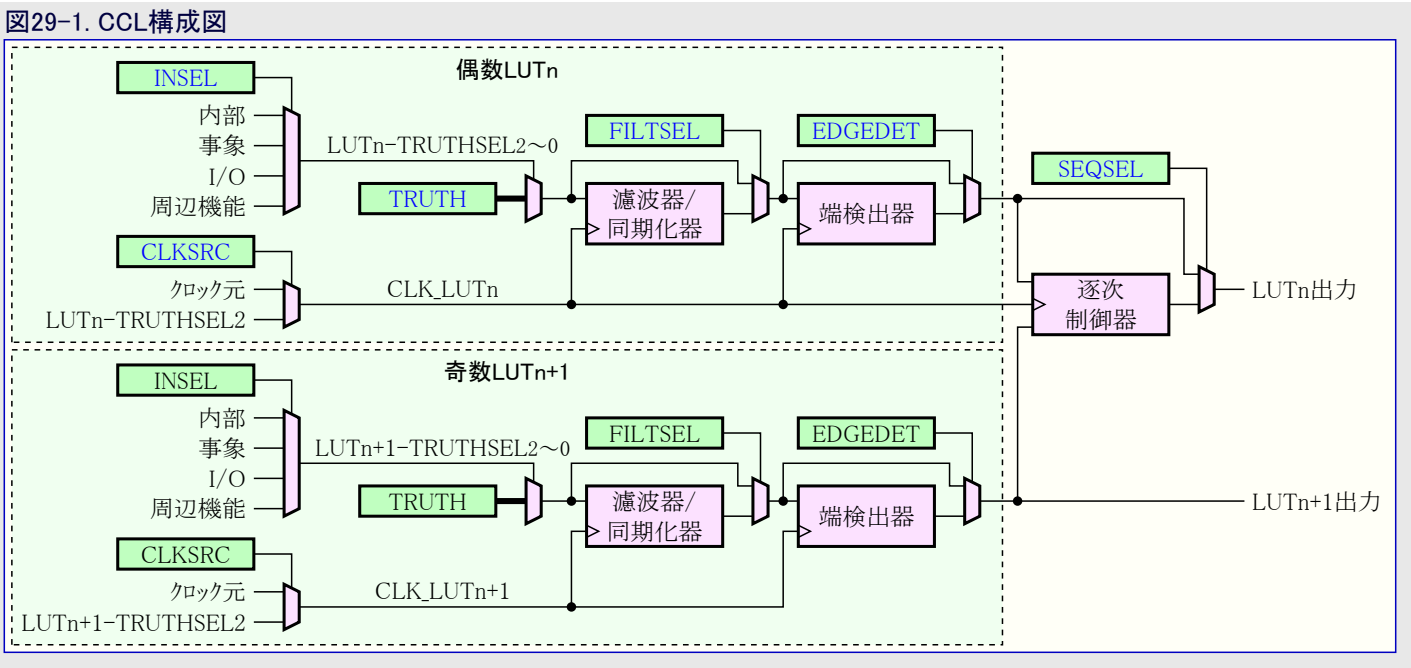
構成設定可能な注文論理回路(CCL:Configurable Custom Logic)はﾃﾞﾊﾞｲｽのﾋﾟﾝ、事象、他の内部周辺機能に接続することができる設定可能な論理回路周辺機能です。CCLはﾃﾞﾊﾞｲｽの周辺機能と外部ﾃﾞﾊﾞｲｽ間の'接続用論理回路(glue logic)'として扱うことができます。CCLは外部の論理回路部品の必要を無くすことができ、CPUと無関係に応用の最も時間が重要な部分を処理するためにｺｱから独立した周辺機能と組み合わせることによって実時間制限を克服することで設計者を手助けすることもできます。

CCL周辺機能はいくつかの参照表(LUT:LookUp Table)を提供します。各LUTは3つの入力、真理値表、同期部/濾波器、端検出器から成ります。各LUTは3つの入力を持つ使用者設定可能な論理式として出力を生成することができます。出力は組み合わせ的な論理回路を用いて入力から生成され、ｽﾊﾟｲｸを取り除くために濾波することができます。CCLはLUT出力での変化で割り込み要求を生成するように構成設定することができます。

隣接LUTは特定動作を実行するように結合することができます。逐次制御器は複雑な波形を生成するのに使うことができます。

29.2.1. 構成図

図29-1. CCL構成図



© 2023 Microchip Technology Inc.とその子会社

表29-1. 逐次制御器とLUTの接続

逐次制御器	偶数と奇数のLUT
SEQ0	LUT0とLUT1
SEQ1	LUT2とLUT3

29.2.2. 信号説明

信号	形式	説明
LUTn-OUT	ﾃﾞｼﾞﾀﾙ出力	参照表からの出力
LUTn-IN2~0	ﾃﾞｼﾞﾀﾙ入力	参照表への入力。LUTn-IN2はCLK_LUTnとして取り扱うことができます。

この周辺機能に対するﾋﾟﾝ割り当ての詳細については「入出力多重化と考察」章を参照してください。1つの信号を様々なﾋﾟﾝに割り当てることができます。

29.2.2.1. CCL入力選択多重器

CCL LUTへの入力として以下の周辺機能出力が利用可能です。

値	入力元	INSEL03~0	INSEL13~0	INSEL23~0
0 0 0 0 ($0)	MASK	なし (遮蔽した入力)		
0 0 0 1 ($1)	FEEDBACK	LUTn (帰還入力)		
0 0 1 0 ($2)	LINK	LUTn+1 (連結)		
0 0 1 1 ($3)	EVENTA	EVENTA (事象入力元A)		
0 1 0 0 ($4)	EVENTB	EVENTB (事象入力元B)		
0 1 0 1 ($5)	INn	LUTn-IN0	LUTn-IN1	LUTn-IN2
0 1 1 0 ($6)	AC	AC0のOUT	AC1のOUT	
0 1 1 1 ($7)	USARTn (注1)	USART0のTXD	USART1のTXD	USART2のTXD
1 0 0 0 ($8)	SPI0 (注2)	SPI0のMOSI		SPI0のSCK
1 0 0 1 ($9)	TCA0	TCA0のWO0	TCA0のWO1	TCA0のWO2
1 0 1 0 ($A)	TCA1	TCA1のWO0	TCA1のWO1	TCA1のWO2
1 0 1 1 ($B)	TCBn	TCB0のWO	TCB1のWO	TCB2のWO
その他	–	(予約)		

注1: CCLへのUSART接続は非同期/同期USART主装置動作でだけ動きます。

注2: CCLへのSPI接続は主装置SPI動作でだけ動きます。

29.3. 機能的な説明

29.3.1. 動作

29.3.1.1. 許可保護される構成設定

LUTと逐次制御器の構成設定は許可保護され、対応する偶数LUTが禁止(LUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀのLUT許可(ENABLE)=0、n=0,2)される時にだけそれらを構成設定することができることを意味します。これは(再)構成設定下でCCLからの望まれない出力を抑えるための機構です。

以下のﾋﾞｯﾄとﾚｼﾞｽﾀが許可保護されます。

- 逐次制御器制御n(CCL.SEQCTRLn)ﾚｼﾞｽﾀの逐次制御器選択(SEQSELn)
- CCL.LUTnCTRLAﾚｼﾞｽﾀのENABLEﾋﾞｯﾄを除くLUTn制御x(CCL.LUTnCTRLx)ﾚｼﾞｽﾀ
- 真理値表n(CCL.TRUTHn)ﾚｼﾞｽﾀ

CCL.LUTnCTRLxﾚｼﾞｽﾀの許可保護されたﾋﾞｯﾄはCCL.LUTnCTRLAﾚｼﾞｽﾀのENABLEが'1'を書かれるのと同じ時に書くことができますが、ENABLEが'0'を書かれるのと同じ時ではありません。

許可保護はﾚｼﾞｽﾀ説明で許可保護された特質によって示されます。

(訳注) 29.2.2.1.の表でINSEL2の$6が「AC1のOUT」ですが、29.5.7.(原書では29.5.8.)の表では「-」で矛盾しています。どちらかが誤っていると思われますが、どちらかは不明です。

© 2023 Microchip Technology Inc.とその子会社

29.3.1.2. 許可、禁止、リセット

CCLは制御A(CCL.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって許可されます。CCLはそのENABLEビットに'0'を書くことによって禁止されます。

各LUTはLUT制御A(CCL.LUTnCTRLA)レジスタのLUT許可(ENABLE)ビットに'1'を書くことによって許可されます。各LUTはCCL.LUTnCTRLAレジスタのENABLEビットに'0'を書くことによって禁止されます。

29.3.1.3. 真理値表論理回路

各LUTの真理値表は3つの入力(LUTn-TRUTHSEL2～0)までの関数として組み合わせ論理出力を生成することができます。1つのLUTを使ってどの3入力ブール論理関数の実現も可能です。

以下のようなLUT制御レジスタの入力供給元選択ビット領域を書くことによって真理値表入力(LUTn-TRUTHSEL2～0)を構成設定してください。

- LUTn制御B(CCL.LUTnCTRLB)レジスタの入力0供給元選択(INSEL0)
- CCL.LUTnCTRLBレジスタの入力1供給元選択(INSEL1)
- LUTn制御C(CCL.LUTnCTRLC)レジスタの入力2供給元選択(INSEL2)

入力(LUTn-TRUTHSEL2～0)ビットの各組み合わせは下表で示されるように、真理値表(CCL.TRUTHn)レジスタ内の1ビットに対応します。

図29-2. LUTの真理値表出力値選択

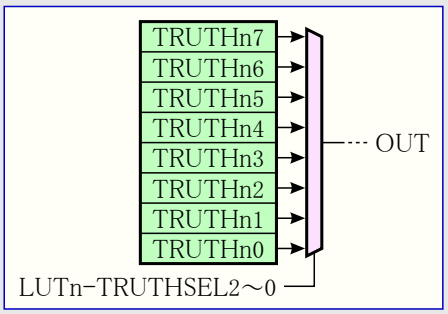


表29-2. LUTの真理値表

LUTn-TRUTHSEL2	0	0	0	0	1	1	1	1
LUTn-TRUTHSEL1	0	0	1	1	0	0	1	1
LUTn-TRUTHSEL0	0	1	0	1	0	1	0	1
OUT	TRUTHn0	TRUTHn1	TRUTHn2	TRUTHn3	TRUTHn4	TRUTHn5	TRUTHn6	TRUTHn7

重要: 論理関数が作成される時にOFFに(Lowに結合)される未使用入力を考慮してください。

例29-1. CCL.TRUTHn=$42に対するLUT出力

CCL.TRUTHnが$42に構成設定される場合、LUT出力は入力が'001'または'110'の時に'1'で、他のどの組み合わせの入力に対しても'0'です。

29.3.1.4. 真理値表入力選択

入力概要

入力は個別に以下のようにすることができます。

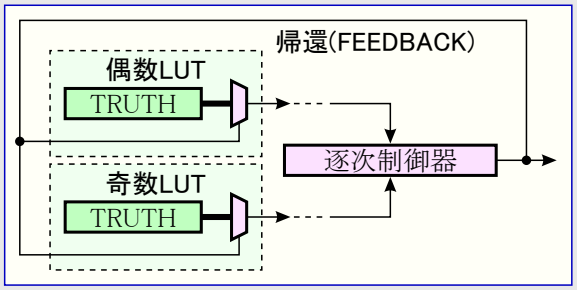
- OFF
- 周辺機能による駆動
- 事象システムからの内部事象による駆動
- 入出力ピン入力による駆動
- 他のLUTによる駆動

内部帰還入力 (FEEDBACK)

逐次制御器からの出力はそれが接続される2つのLUTに対する入力元として使うことができます。

選択(LUTnCTRLxレジスタのINSELy='0001'(FEEDBACK))されると、逐次制御器(SEQ)出力が対応するLUTに対する入力として使われます。

図29-3. 帰還入力選択



© 2023 Microchip Technology Inc.とその子会社

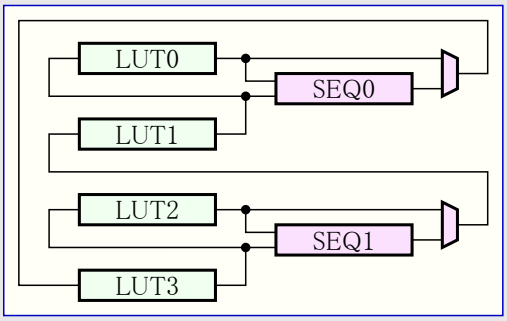
連結LUT (LINK)

LINK入力任意選択(INSELy='0010')選択時、次のLUTの直接出力がLUTの入力として使われます。一般的に、LUT[n+1]がLUT[n]の入力に連結されます。LUT0は最後のLUTの入力に連結されます。

例29-2. 4つのLUTを持つﾃﾞﾊﾞｲｽでの全LUT連結

- LUT1はLUT0用入力です。
- LUT2はLUT1用入力です。
- LUT3はLUT2用入力です。
- LUT0はLUT3用入力です(回り込み丸め)。

図29-4. 連結LUT入力選択



事象入力選択 (EVENTx)

事象ｼｽﾃﾑからの事象はLUTn制御B/C(CCL.LUTnCTRLBとCCL.LUTnCTRLC)ﾚｼﾞｽﾀのINSELyﾋﾞｯﾄ群へ書くことによってLUTへの入力として使うことができます。

I/Oﾋﾟﾝ入力 (IO)

IO(INSELy='0101')任意選択選択時、LUT入力は対応するI/Oﾋﾟﾝに接続されます。LUTn-INyﾋﾟﾝが配置される場所についてのより多くの詳細に関しては「入出力多重化と考察」章を参照してください。

周辺機能

各LUTの3つの入力線での各種周辺機能はLUTn制御B/C(CCL.LUTnCTRLBとCCL.LUTnCTRLC)ﾚｼﾞｽﾀの入力選択y(INSELy)ﾋﾞｯﾄへ書くことによって選ばれます。

29.3.1.5. 濾波器

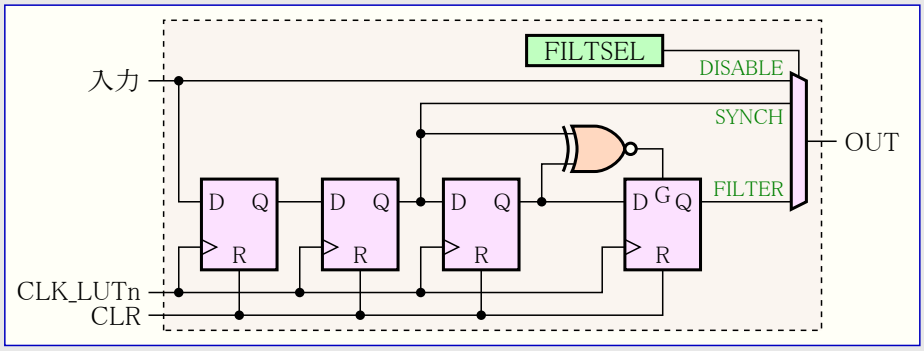
既定によって、LUT出力はLUT入力の組み合わせ関数です。これは入力が値を変える時にいくつかの短い不具合を起こし得ます。これらの不具合は応用の要求によって求められた場合に濾波器を通してｸﾛｯｸ駆動することで取り除くことができます。

LUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀの濾波器選択(FILTSEL)ﾋﾞｯﾄはﾃﾞｼﾞﾀﾙ濾波器任意選択を定義します。

FILTSEL='10'(FILTER)時、2つを超えるCLK_LUTn正端間を持続する入力だけが門付きﾌﾘｯﾌﾟﾌﾛｯﾌﾟを通って出力へ渡されます。この出力は4 CLK_LUTn正端によって遅らされます。

対応するLUTが禁止された後の1ｸﾛｯｸ周期後に全ての内部濾波器論理回路が解消されます。

図29-5. 濾波器



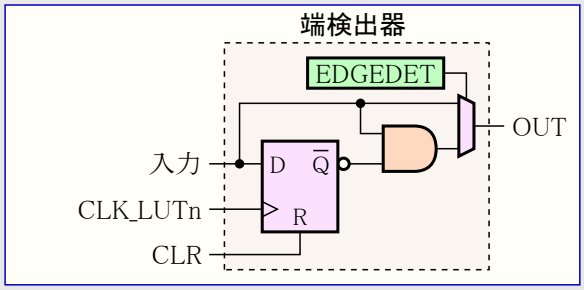
29.3.1.6. 端検出器

端検出器はそれの入力で上昇端を検出する時にﾊﾟﾙｽを生成するのに使うことができます。下降端を検出するため、反転する出力を提供するように真理値表(CCL.TRUTHnﾚｼﾞｽﾀ)を設定することができます。

端検出器はLUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀの端検出(EDGEDET)ﾋﾞｯﾄに'1'を書くことによって許可されます。予測不能な動きを避けるため、更に有効な濾波器任意選択が許可されなければなりません。

端検出はCCL.LUTnCTRLAﾚｼﾞｽﾀのEDGEDETに'0'を書くことによって禁止されます。LUT禁止後、対応する内部端検出器論理回路は1ｸﾛｯｸ周期後に解消されます。

図29-6. 端検出器



© 2023 Microchip Technology Inc.とその子会社

29.3.1.7. 逐次制御器論理回路

各LUT対は逐次制御器に接続することができます。逐次制御器はDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ、JKﾌﾘｯﾌﾟﾌﾛｯﾌﾟ、門付きDﾗｯﾁ、RSﾗｯﾁのどれかとして機能することができます。この機能は逐次制御器制御n(CCL.SEQCTRLn)ﾚｼﾞｽﾀの逐次制御器選択(SEQSELn)ﾋﾞｯﾄ群を書くことによって選ばれます。

逐次制御器は構成設定に依存して、LUT、濾波器、端検出器のどれかから入力を受け取ります。

逐次制御器は対応する偶数LUTと同じｸﾛｯｸ元によってｸﾛｯｸ駆動されます。このｸﾛｯｸ元はLUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀのｸﾛｯｸ元選択(CLKSRC)ﾋﾞｯﾄ群によって選ばれます。

ﾌﾘｯﾌﾟﾌﾛｯﾌﾟ出力(OUT)はｸﾛｯｸの上昇端で更新されます。偶数LUTが禁止されると、ﾗｯﾁは非同期に解消されます。ﾌﾘｯﾌﾟﾌﾛｯﾌﾟ ﾘｾｯﾄ信号(R)は1ｸﾛｯｸ周期間許可され続けます。

門付きDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ (DFF)

D入力は偶数LUT出力によって駆動され、G入力は奇数LUT出力によって駆動されます。

図29-7. Dﾌﾘｯﾌﾟﾌﾛｯﾌﾟ

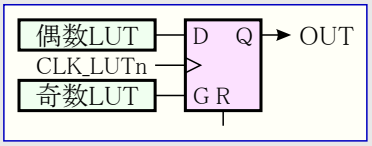


表29-3. DFF特性

R	G	D	OUT
1	x	x	解除(0)
0	1	1	設定(1)
0	1	0	解除(0)
0	0	x	状態保持(無変化)

JKDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ (JK)

J入力は偶数LUT出力によって駆動され、K入力は奇数LUT出力によって駆動されます。

図29-8. JKﾌﾘｯﾌﾟﾌﾛｯﾌﾟ

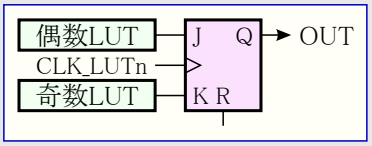


表29-4. JK特性

R	J	K	OUT
1	x	x	解除(0)
0	0	0	状態保持(無変化)
0	0	1	解除(0)
0	1	0	設定(1)
0	1	1	逆へ切り替え

門付きDﾗｯﾁ (DLATCH)

D入力は偶数LUT出力によって駆動され、G入力は奇数LUT出力によって駆動されます。

図29-9. Dﾗｯﾁ

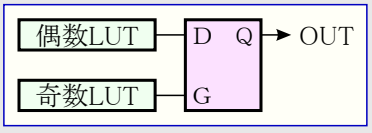


表29-5. Dﾗｯﾁ特性

G	D	OUT
0	x	状態保持(無変化)
1	0	解除(0)
1	1	設定(1)

RSﾗｯﾁ (RS)

S入力は偶数LUT出力によって駆動され、R入力は奇数LUT出力によって駆動されます。

図29-10. RSﾗｯﾁ

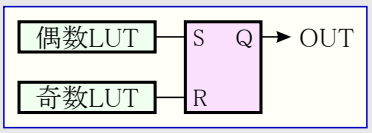


表29-6. RSﾗｯﾁ特性

S	R	OUT
0	0	状態保持(無変化)
0	1	解除(0)
1	0	設定(1)
1	1	禁止状態

© 2023 Microchip Technology Inc.とその子会社

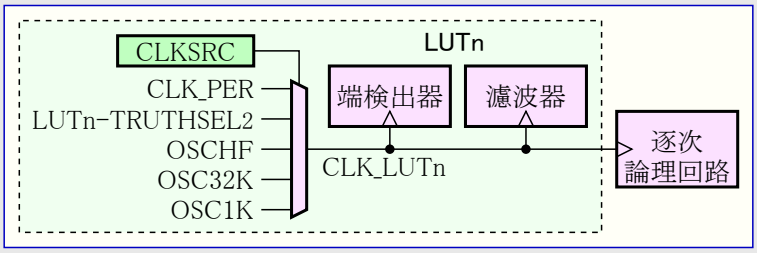
29.3.1.8. ｸﾛｯｸ元設定

濾波器、端検出器、逐次制御器は既定で周辺機能ｸﾛｯｸ(CLK_PER)によってｸﾛｯｸ駆動されます。それらの区部をｸﾛｯｸ(下図のCLK_LUTn)駆動するのに他のｸﾛｯｸ入力を使うことも可能です。これはLUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀのｸﾛｯｸ元選択(CLKSRC)ﾋﾞｯﾄを書くことによって構成設定されます。

ｸﾛｯｸ元選択(CLKSRC)ﾋﾞｯﾄが'001'を書かれると、対応する濾波器と端検出器をｸﾛｯｸ(CLK_LUTn)駆動するのにLUTn-TRUTHSEL2が使われます。逐次制御器は対の偶数LUTのCLK_LUTnによってｸﾛｯｸ駆動されます。CLKSRCﾋﾞｯﾄが'001'を書かれると、真理値(TRUTH)表でLUTn-TRUTHSEL2はOFF(='0')として扱われます。

CCL周辺機能は周辺機能からの未定義出力を避けるためにｸﾛｯｸ元を変更する間は禁止されなければなりません。

図29-11. ｸﾛｯｸ元設定



29.3.2. 割り込み

表31-7. 利用可能な割り込みﾍﾞｸﾀと供給元

名称	ﾍﾞｸﾀ説明	条件
CCL	CCL割り込み	CCL.INTCTRLnﾚｼﾞｽﾀの割り込み動作形態(INTMODEn)ﾋﾞｯﾄによって構成設定されたようにINTFLAGSのINTnが掲げられる。

割り込み条件が起こると、周辺機能の割り込み要求ﾌﾗｸﾞ(CCL.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は周辺機能の割り込み制御(CCL.INTCTRL0)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性に留まります。割り込み要求ﾌﾗｸﾞを解除する方法の詳細については周辺機能のINTFLAGSﾚｼﾞｽﾀをご覧ください。

いくつかの割り込み要求条件が割り込みﾍﾞｸﾀによって支援される時に、割り込み要求は割り込み制御器に対して1つの結合された割り込み要求へ共に論理和(OR)されます。使用者はどの割り込み条件が存在するかを決めるために周辺機能のINTFLAGSﾚｼﾞｽﾀを読まなければなりません。

29.3.3. 事象

CCLは下表で示される事象を生成することができます。

表29-8. CCLでの事象生成部

生成部名		説明	事象型	生成ｸﾛｯｸ領域	事象長
周辺機能	事象				
CCL	LUTn	LUT出力ﾚﾍﾞﾙ	ﾚﾍﾞﾙ	非同期	CCL構成設定に依存

CCLは入力事象での検出と活動のために下の事象使用部を持ちます。

表29-9. CCLでの事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
CCL	LUTn	LUT入力xまたはｸﾛｯｸ信号	検出なし	非同期

事象信号は同期化または入力検出の論理回路なしに直接LUTに渡されます。

各LUTに対して2つの事象使用部が利用可能です。それらはLUTnの制御Bと制御C(CCL.LUTnCTRLBまたはCCL.LUTnCTRLC)ﾚｼﾞｽﾀのINSELnﾋﾞｯﾄ群を書くことによってLUTn入力として選ぶことができます。

事象型とEVSYS構成設定に関するより多くの詳細については「EVSYS – 事象ｼｽﾃﾑ」章を参照してください。

29.3.4. 休止形態動作

制御A(CCL.CTRLA)ﾚｼﾞｽﾀのｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄに'1'を書くことは選んだｸﾛｯｸ元にｽﾀﾝﾊﾞｲ休止動作で許可されることを許します。

RUNSTDBYﾋﾞｯﾄが'0'の場合、周辺機能ｸﾛｯｸはｽﾀﾝﾊﾞｲ休止動作で禁止されます。濾波器、端検出器、または逐次制御器が許可される場合、ｽﾀﾝﾊﾞｲ休止動作でLUT出力は'0'を強制されます。ｱｲﾄﾞﾙ休止動作では、RUNSTDBYﾋﾞｯﾄと関係なく、真理値(TRUTH)表復号部は動作を続け、それによってLUT出力が更新されます。

LUTn制御A(CCL.LUTnCTRLA)ﾚｼﾞｽﾀのｸﾛｯｸ元選択(CLKSRC)が'001'を書かれる場合、LUTn-TRUTHSEL2が常に濾波器、端検出器、逐次制御器をｸﾛｯｸ駆動します。休止動作形態でのLUTn-TRUTHSEL2ｸﾛｯｸの有効性は使う周辺機能の休止設定に依存します。

© 2023 Microchip Technology Inc.とその子会社

29.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0		RUNSTDBY						ENABLE
+$01	SEQCTRL0	7～0					SEQSEL03～0			
+$02	SEQCTRL1	7～0					SEQSEL13～0			
+$03～+$04	予約									
+$05	INTCTRL0	7～0	INTMODE31,0		INTMODE21,0		INTMODE11,0		INTMODE01,0	
+$06	予約									
+$07	INTFLAGS	7～0					INT3	INT2	INT1	INT0
+$08	LUT0CTRLA	7～0	EDGEDET	OUTEN	FILTSEL1,0		CLKSRC2～0			ENABLE
+$09	LUT0CTRLB	7～0	INSEL13～0				INSEL03～0			
+$0A	LUT0CTRLC	7～0					INSEL23～0			
+$0B	TRUTH0	7～0	TRUTH07～0							
+$0C	LUT1CTRLA	7～0	EDGEDET	OUTEN	FILTSEL1,0		CLKSRC2～0			ENABLE
+$0D	LUT1CTRLB	7～0	INSEL13～0				INSEL03～0			
+$0E	LUT1CTRLC	7～0					INSEL23～0			
+$0F	TRUTH1	7～0	TRUTH17～0							
+$10	LUT2CTRLA	7～0	EDGEDET	OUTEN	FILTSEL1,0		CLKSRC2～0			ENABLE
+$11	LUT2CTRLB	7～0	INSEL13～0				INSEL03～0			
+$12	LUT2CTRLC	7～0					INSEL23～0			
+$13	TRUTH2	7～0	TRUTH27～0							
+$14	LUT3CTRLA	7～0	EDGEDET	OUTEN	FILTSEL1,0		CLKSRC2～0			ENABLE
+$15	LUT3CTRLB	7～0	INSEL13～0				INSEL03～0			
+$16	LUT3CTRLC	7～0					INSEL23～0			
+$17	TRUTH3	7～0	TRUTH37～0							

© 2023 Microchip Technology Inc.とその子会社

29.5. レジスタ説明

29.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
		RUNSTDBY						ENABLE
アクセス種別	R	R/W	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – RUNSTDBY : スタンバイ時走行** (Run in Standby)
このビットに'1'を書くことがこの周辺機能にスタンバイ休止動作での走行を許可します。

値	0	1
説明	CCLはスタンバイ休止動作で動きません。	CCLはスタンバイ休止動作で動きます。

● **ビット0 – ENABLE : 許可** (Enable)

値	0	1
説明	周辺機能禁止	周辺機能許可

29.5.2. SEQCTRLn – 逐次制御器制御n (Sequencer Control n)

名称 : SEQCTRL0 : SEQCTRL1
変位 : +$01 : +$02
リセット : $00
特質 : 許可保護

ビット	7	6	5	4	3	2	1	0
					SEQSELn3~0			
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~4,3~0 – SEQSELn3~0 : 逐次制御器選択** (Sequencer Selection)
このビット群はLUT2nとLUT2n+1(SEQCTRL0がLUT0/1、SEQCTRL1がLUT2/3)に対する逐次制御器構成を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DISABLE	DFF	JK	DLATCH	RS	–		
説明	逐次制御器禁止	Dフリップフロップ	JKフリップフロップ	Dラッチ	RSラッチ	(予約)		

29.5.3. INTCTRL0 – 割り込み制御0 (Interrupt Control 0)

名称 : INTCTRL0
変位 : +$05
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	INTMODE31,0		INTMODE21,0		INTMODE11,0		INTMODE01,0	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7,6、5,4、3,2、1,0 – INTMODEn1,0 : 割り込み動作形態** (Interrupt Mode)
INTMODEnのビットはLUTn-OUTに対する割り込み感知構成設定を選びます。次頁の表参照。

(訳注) 原書での29.5.2. SEQCTRL0と29.5.3. SEQCTRL1は29.5.2. SEQCTRLnとして纏めました。

© 2023 Microchip Technology Inc.とその子会社

値	0 0	0 1	1 0	1 1
名称	INTDISABLE	RISING	FALLING	BOTH
説明	割り込み禁止	上昇端感知	下降端感知	両端感知

29.5.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flags)

名称 : INTFLAGS
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
					INT3	INT2	INT1	INT0
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3,2,1,0 – INTn : 割り込みn要求ﾌﾗｸﾞ** (Interrupt Flag)

INTnﾌﾗｸﾞはLUTnの出力が割り込み制御n(CCL.INTCTRL0)ﾚｼﾞｽﾀで定義されるような割り込み感知動作形態と一致する時に設定(1)されます。このﾌﾗｸﾞのﾋﾞｯﾄ位置への'1'書き込みがこのﾌﾗｸﾞを解除(0)します。

29.5.5. LUTnCTRLA – LUTn制御A (LUT n Control A)

名称 : LUT0CTRLA : LUT1CTRLA : LUT2CTRLA : LUT3CTRLA
変位 : +$08 : +$0C : +$10 : +$14
ﾘｾｯﾄ : $00
特質 : 許可保護

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	EDGEDET	OUTEN	FILTSEL1,0			CLKSRC2~0		ENABLE
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – EDGEDET : 端検出** (Edge Detection)

値	0	1
説明	端検出器禁止	端検出器許可

● **ﾋﾞｯﾄ6 – OUTEN : 出力許可** (Output Enable)

このﾋﾞｯﾄはLUTnOUTﾋﾟﾝへのLUT出力を許可します。'1'を書かれると、ﾎﾟｰﾄ制御器のﾋﾟﾝ構成設定が無効にされます。

値	0	1
説明	ﾋﾟﾝへの出力禁止	ﾋﾟﾝへの出力許可

● **ﾋﾞｯﾄ5,4 – FILTSEL1,0 : 濾波器選択** (Filter Selection)

これらのﾋﾞｯﾄはLUT出力濾波器任意選択を選びます。

値	0 0	0 1	1 0	1 1
名称	DISABLE	SYNCH	FILTER	–
説明	濾波器禁止	同期化器許可	濾波器許可	(予約)

● **ﾋﾞｯﾄ3~1 – CLKSRC2~0 : ｸﾛｯｸ元選択** (Clock Source Selection)

これらのﾋﾞｯﾄはLUT用のｸﾛｯｸ(CLK_LUTn)として使われる様々なｸﾛｯｸ元を選びます。
偶数LUTのCLK_LUTnはLUT対の逐次制御器をｸﾛｯｸ駆動するのに使われます。

値	0 0 0	0 0 1	1 0 0	1 0 1	1 1 0	その他
入力元	CLKPER	IN2	OSCHF	OSC32K	OSC1K	–
説明 (LUT駆動ｸﾛｯｸ)	CLK_PER (周辺機能ｸﾛｯｸ)	LUTn-TRUTHSEL[2] (UTn入力2)	前置分周前の内部高周波数発振器	内部32.768kHz発振器	DIV32後のOSCKULP32K (1.024kHz)	(予約)

© 2023 Microchip Technology Inc.とその子会社

● ﾋﾞｯﾄ0 – ENABLE : LUT許可 (LUT Enable)

値	0	1
説明	LUT禁止	LUT許可

29.5.6. LUTnCTRLB – LUTn制御B (LUT n Control B)

名称 : LUT0CTRLB : LUT1CTRLB : LUT2CTRLB : LUT3CTRLB
変位 : +$09 : +$0D : +$11 : +$15
ﾘｾｯﾄ : $00
特質 : 許可保護

注: ・ CCLへのSPI接続は主装置SPI動作でだけ動きます。
・ CCLへのUSART接続は以下の動作の1つの時にだけ動きます。
– 非同期USART
– 同期USART主装置

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	INSEL13~0				INSEL03~0			
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7~4 – INSEL13~0 : LUTn入力1供給元選択 (LUT n Input 1 Selection)

これらのﾋﾞｯﾄはLUTnの入力1(IN1)に対する供給元を選びます。

値	名称	説明	値	名称	説明
0000 ($0)	MASK	なし(入力遮蔽)	0111 ($7)	USART1	USART1のTXD
0001 ($1)	FEEDBACK	LUTn出力(帰還入力)	1000 ($8)	SPI0	SPI0のMOSI
0010 ($2)	LINK	LUTn+1出力(連結)	1001 ($9)	TCA0	TCA0のWO1
0011 ($3)	EVENTA	入力元として事象A	1010 ($A)	TCA1	TCA1のWO1
0100 ($4)	EVENTB	入力元として事象B	1011 ($B)	TCB1	TCB1のWO
0101 ($5)	IN1	LUTn-IN1	その他	–	(予約)
0110 ($6)	AC1	AC1のOUT			

● ﾋﾞｯﾄ3~0 – INSEL03~0 : LUTn入力0供給元選択 (LUT n Input 0 Selection)

これらのﾋﾞｯﾄはLUTnの入力0(IN0)に対する供給元を選びます。

値	名称	説明	値	名称	説明
0000 ($0)	MASK	なし(入力遮蔽)	0111 ($7)	USART0	USART0のTXD
0001 ($1)	FEEDBACK	LUTn出力(帰還入力)	1000 ($8)	SPI0	SPI0のMOSI
0010 ($2)	LINK	LUTn+1出力(連結)	1001 ($9)	TCA0	TCA0のWO0
0011 ($3)	EVENTA	入力元として事象A	1010 ($A)	TCA1	TCA1のWO0
0100 ($4)	EVENTB	入力元として事象B	1011 ($B)	TCB0	TCB0のWO
0101 ($5)	IN0	LUTn-IN0	その他	–	(予約)
0110 ($6)	AC0	AC0のOUT			

© 2023 Microchip Technology Inc.とその子会社

29.5.7. LUTnCTRLC – LUTn制御C (LUT n Control C)

名称 : LUT0CTRLC : LUT1CTRLC : LUT2CTRLC : LUT3CTRLC
変位 : +$0A : +$0E : +$12 : +$16
ﾘｾｯﾄ : $00
特質 : 許可保護

注: ・CCLへのSPI接続は主装置SPI動作でだけ動きます。
・CCLへのUSART接続は以下の動作の1つの時にだけ動きます。
– 非同期USART
– 同期USART主装置

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
					INSEL23~0			
ｱｸｾｽ種別	R	R	R	R	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ3~0 – INSEL23~0 : LUTn入力2供給元選択** (LUT n Input 2 Selection)

これらのﾋﾞｯﾄはLUTnの入力2(IN2)に対する供給元を選びます。

値	名称	説明	値	名称	説明
0000 ($0)	MASK	なし(入力遮蔽)	0111 ($7)	USART2	USART2のTXD
0001 ($1)	FEEDBACK	LUTn出力(帰還入力)	1000 ($8)	SPI0	SPI0のSCK
0010 ($2)	LINK	LUTn+1出力(連結)	1001 ($9)	TCA0	TCA0のWO2
0011 ($3)	EVENTA	入力元として事象A	1010 ($A)	TCA1	TCA1のWO2
0100 ($4)	EVENTB	入力元として事象B	1011 ($B)	TCB2	TCB2のWO
0101 ($5)	IN2	LUTn-IN2	その他	–	(予約)
0110 ($6)	–	(予約)			

29.5.8. TRUTHn – 真理値表n (TRUTHn)

名称 : TRUTH0 : TRUTH1 : TRUTH2 : TRUTH3
変位 : +$0B : +$0F : +$13 : +$17
ﾘｾｯﾄ : $00
特質 : 許可保護

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TRUTHn7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TRUTHn7~0 : 真理値表** (Truth n Table)

これらのﾋﾞｯﾄはLUTn-TRUTHSEL2~0入力に従ってLUTnの出力を決めます。

ﾋﾞｯﾄ名	TRUTHn7		TRUTHn6		TRUTHn5		TRUTHn4		TRUTHn3		TRUTHn2		TRUTHn1		TRUTHn0	
値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
説明 (注)	1 1 1		1 1 0		1 0 1		1 0 0		0 1 1		0 1 0		0 0 1		0 0 0	

注: 入力が説明行の値の時にLUTnの出力が設定した値(値行の値(0または1))になります。

(訳注) 29.5.7.(原書では29.5.8.)の表でINSEL2の$6が「–」ですが、29.2.2.1.の表では「AC1のOUT」で矛盾しています。どちらかが誤っていると思われますが、どちらかは不明です。

© 2023 Microchip Technology Inc.とその子会社

30. AC – ｱﾅﾛｸﾞ比較器

30.1. 特徴

- 選択可能な応答時間
- 選択可能なﾋｽﾃﾘｼｽ
- ﾋﾟﾝで利用可能なｱﾅﾛｸﾞ比較器出力
- 比較器出力反転利用可能
- 柔軟な入力選択
  - 5つの正入力ﾋﾟﾝ
  - 4つの負入力ﾋﾟﾝ
  - 内部基準電圧生成部(DACREF)
- 以下での割り込み生成
  - 上昇端
  - 下降端
  - 両端
- 以下での窓機能割り込み生成
  - 窓を超える信号
  - 窓内の信号
  - 窓未満の信号
  - 窓外の信号
- 事象生成
  - 比較器出力
  - 窓機能

30.2. 概要

ｱﾅﾛｸﾞ比較器(AC)は2つの入力の電圧水準を比較してその比較に基いたﾃﾞｼﾞﾀﾙ出力を与えます。ACは様々な異なる入力変化の組み合わせに基づいて割り込み要求や事象を生成するように構成設定することができます。

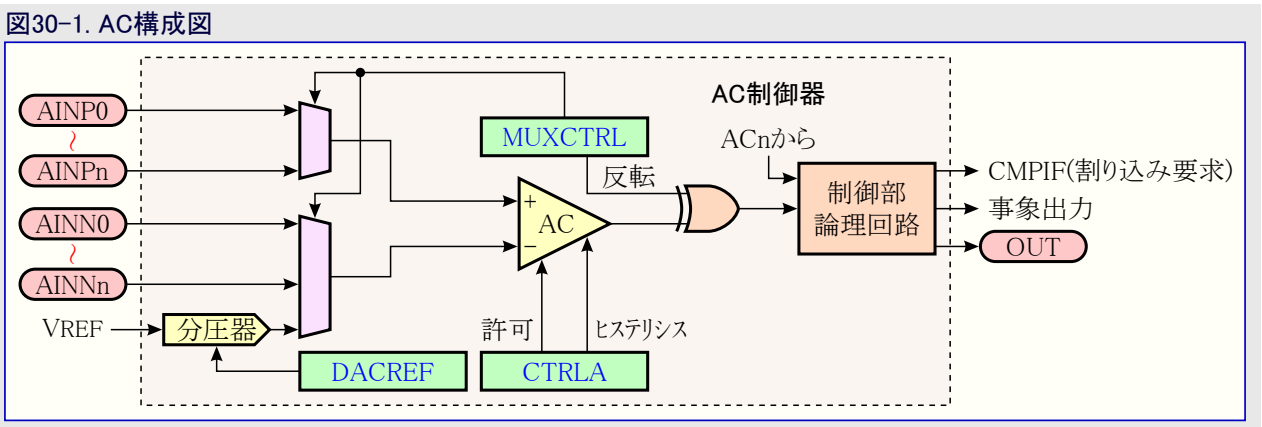
入力選択はｱﾅﾛｸﾞ ﾎﾟｰﾄ ﾋﾟﾝと内部的に生成された入力を含みます。ACﾃﾞｼﾞﾀﾙ出力は制御部論理回路を通って行き、事象ｼｽﾃﾑとで内部的に、またはﾋﾟﾝで外部的に使うために信号の独自化を許します。

ACの動的な動きはﾋｽﾃﾘｼｽ機能によって調節することができます。ﾋｽﾃﾘｼｽは各応用に対する動作を最適化するために独自設定することができます。

個別の比較器は独立して(標準動作)または窓比較形式のために対にして(窓動作)使うことができます。

30.2.1. 構成図

図30-1. AC構成図



30.2.2. 信号説明

信号	形式	説明
AINNn	ｱﾅﾛｸﾞ入力	負入力n
AINPn	ｱﾅﾛｸﾞ入力	正入力n
OUT	ﾃﾞｼﾞﾀﾙ出力	ACの比較器出力

© 2023 Microchip Technology Inc.とその子会社

30.3. 機能的な説明

30.3.1. 初期化

基本的な操作については以下のこれらの手順に従ってください。

1. PORT周辺機能で望む入力ﾋﾟﾝをｱﾅﾛｸﾞ入力として構成設定してください。
2. 多重器制御(ACn.MUXCTRL)ﾚｼﾞｽﾀで正と負の入力多重器選択(MUXPOSとMUXNEG)ﾋﾞｯﾄ領域を書くことによって正と負の入力元を選んでください。
3. 任意選択: 制御A(ACn.CTRLA)ﾚｼﾞｽﾀの出力ﾊﾟｯﾄﾞ許可(OUTEN)ﾋﾞｯﾄに'1'を書くことによって出力を許可してください。
4. ACn.CTRLAﾚｼﾞｽﾀのAC許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによってACを許可してください。

AC許可後の始動時間の間、ACの準備が整う前にAC出力を設定するのにACn.MUXCTRLﾚｼﾞｽﾀのAC出力初期値(INITVAL)ﾋﾞｯﾄを使うことができます。VREFが参照基準元として使われる場合、各々の参照基準元の始動時間が加算されなければなりません。ACとVREFの周辺機能の始動時間についての詳細に関しては「電気的特性」章を参照してください。

ACが禁止される時にﾋﾟﾝがHi-Zにされて行くのを避けるため、OUTﾋﾟﾝは出力として構成設定されなければなりません。

30.3.2. 動作

30.3.2.1. 入力ﾋｽﾃﾘｼｽ

入力ﾋｽﾃﾘｼｽの適用は雑音に悩んでいる入力信号がお互いに近い時に出力の定常的な切り替わりを防ぐのを助けます。

入力ﾋｽﾃﾘｼｽは禁止されるか、または3つのﾚﾍﾞﾙの1つを持つかのどれかにすることができます。ﾋｽﾃﾘｼｽは制御A(ACn.CTRLA)ﾚｼﾞｽﾀのﾋｽﾃﾘｼｽ動作選択(HYSMODE)ﾋﾞｯﾄ領域に書くことによって構成設定することができます。ﾋｽﾃﾘｼｽ基準の代表値についての詳細に関しては「電気的特性」章を参照してください。

30.3.2.2. 入力と参照基準の選択

ACnに対する入力選択は多重器制御(ACn.MUXCTRL)ﾚｼﾞｽﾀで正と負の入力多重器選択(MUXPOSとMUXNEG)ﾋﾞｯﾄ領域によって制御されます。ACnの正入力についてｱﾅﾛｸﾞ ﾋﾟﾝを選ぶことができる一方で、負入力についてはｱﾅﾛｸﾞ ﾋﾟﾝと内部DAC参照基準電圧(DACREF)で選択を行うことができます。可能な選択についての詳細に関しては多重器制御(ACn.MUXCTRL)ﾚｼﾞｽﾀ記述を参照してください。

生成される電圧はDAC基準電圧(DACREF)ﾚｼﾞｽﾀ値とVREF単位部で選ばれる基準電圧に依存し、次のように計算されます。

$$V_{DACREF} = \frac{DACREF}{256} \times V_{REF}$$

VREFAとVDDを除く内部基準電圧(VREF)は内部ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ参照基準から生成されます。

入出力ﾋﾟﾝへの入力切替または新しい基準電圧設定後、ACnは安定のための時間を必要とします。より多くの詳細については「電気的特性」章を参照してください。

30.3.2.3. 標準動作

ACは1つの正入力と1つの負入力を持ちます。比較器の出力は正と負の入力電圧間の差が正の時に'1'、さもなければ'0'です。この出力は論理XORを通して出力(OUT)ﾋﾟﾝで利用可能です。これは多重器制御(ACn.MUXCTRL)ﾚｼﾞｽﾀのAC出力反転(INVERT)ﾋﾞｯﾄが'1'の時にOUTﾋﾟﾝの反転を許します。

ACn初期化中の乱雑な出力を避けてOUTﾋﾟﾝで特定基準を設定するのに同じﾚｼﾞｽﾀのAC出力初期値(INITVAL)ﾋﾞｯﾄが使われます。

30.3.2.4. 電力動作

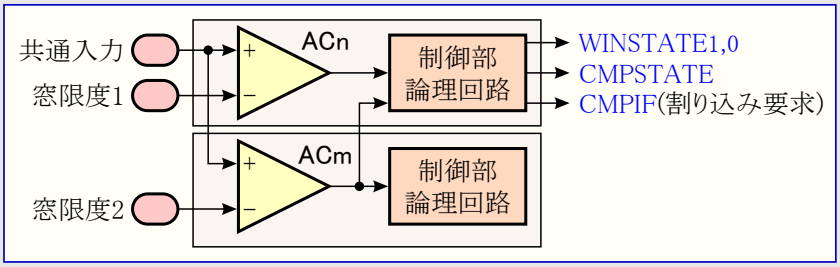
電力を気にする応用に対して、ACは消費電力と応答時間の釣り合いを持つ複数の電力動作を提供します。動作形態は制御A(ACn.CTRLA)ﾚｼﾞｽﾀの電力特性(POWER)ﾋﾞｯﾄ領域に書くことによって選ばれます。

30.3.2.5. 窓動作

各AC(即ち、ACn)は窓動作で別の比較器(即ち、ACm)と共に動くように構成設定することができます。この動作では電圧範囲(窓)が定義され、選んだ比較器はこの範囲内か否かを示します。

制御B(ACn.CTRLB)ﾚｼﾞｽﾀの窓選択形態(WINSEL)ﾋﾞｯﾄ領域は窓比較器を作成するためにどのACm実体が現在の比較器(ACn)に接続されるかを選びます。使用者はACnとACmに対して多重器制御(MUXCTRL)ﾚｼﾞｽﾀの正入力多重器選択(MUXPOS)と負入力多重器選択(MUXNEG)のﾋﾞｯﾄ領域を構成設定する責任があり、故にそれらは右図での設定に一致します。両ACのMUXCTRLﾚｼﾞｽﾀのMUXPOSﾋﾞｯﾄ領域が同じﾋﾟﾝに構成設定されなければならないことに注意してください。

図30-2. 窓動作でのｱﾅﾛｸﾞ比較器



© 2023 Microchip Technology Inc.とその子会社

入力信号の状態は状態(ACn.STATUS)レジスタの窓状態(WINSTATE)フラグによって報告されます。この状態は以下が有り得ます。

- 窓越え – 入力信号は上限超えです。
- 窓内側 – 入力信号は上限と下限の間です。
- 窓未満 – 入力信号は下限未満です。

割り込み制御(ACn.INTCTRL)レジスタの割り込み動作(INTMODE)ビット領域は事象の起動または割り込みの要求に対してこれらの窓動作の1つを選びます。

- 窓越え – 入力信号は上限超えの時に割り込み/事象が発行されます。
- 窓内側 – 入力信号は上限と下限の間の時に割り込み/事象が発行されます。
- 窓未満 – 入力信号は下限未満の時に割り込み/事象が発行されます。
- 窓外側 – 入力信号は上限と下限の間でない時に割り込み/事象が発行されます。

アナログ比較器状態(CMPSTATE)ビットは窓状態が選んだ割り込み動作(INTMODE)ビット領域と一致する時に'1'です。

窓割り込みは割り込み制御(ACn.INTCTRL)レジスタのアナログ比較器割り込み許可(CMP)ビットに'1'を書くことによって許可されます。

30.3.3. 事象

ACは以下の事象を生成することができます。

表30-1. ACでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
ACn	OUT	比較器出力レベル	レベル	非同期	AC出力レベルで与えられる

ACは事象入力を持ちません。

事象型と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

30.3.4. 割り込み

表30-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
CMP	アナログ比較器割り込み	AC出力は割り込み制御(ACn.INTCTRL)レジスタの割り込み動作(INTMODE)によって構成設定されるように切り替わります。

割り込み条件が起こると、状態(ACn.STATUS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(ACn.INTCTRL)レジスタで対応するビットを書くことによって許可または禁止にされます。

ACは比較器割り込み(CMP)を生成することができ、比較器出力切り替わりの上昇端、下降端、両端のどれかでこの割り込みを要求することができます。これは割り込み制御(ACn.INTCTRL)レジスタの割り込み動作(INTMODE)ビット領域に書くことによって構成設定されます。この割り込みは割り込み制御(ACn.INTCTRL)レジスタのアナログ比較器割り込み許可(CMP)ビットに'1'を書くことによって許可されます。割り込み要求は割り込み要求フラグ(CMPIF)が解除(0)されるまで活性(1)に留まります。割り込み要求フラグを解除する方法の詳細については状態(ACn.STATUS)レジスタ記述を参照してください。

30.3.5. 休止形態動作

アイドル休止動作でACは通常のように動作を続けます。

スタンバイ休止動作では、既定でACが禁止されます。制御A(AC.CTRLA)レジスタのスタンバイ休止動作時走行(RUNSTDBY)ビットが'1'を書かれる場合、例えスタンバイ休止動作でCLK_PERが動いていなくても、ACは事象、割り込み、それとピンでのAC出力で通常のように動作を続けます。

パワーダウン休止動作ではACとそのパッドへの出力が禁止されます。

© 2023 Microchip Technology Inc.とその子会社

30.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY	OUTEN		POWER1,0		HYSMODE1,0		ENABLE
+$01	CTRLB	7～0							WINSEL1,0	
+$02	MUXCTRL	7～0	INVERT	INITVAL	MUXPOS2~0			MUXNEG2~0		
+$03 ～ +$04	予約									
+$05	DACREF	7～0	DACREF7~0							
+$06	INTCTRL	7～0			INTMODE1,0					CMP
+$07	STATUS	7～0	WINSTATE1,0			CMPSTATE				CMPIF

© 2023 Microchip Technology Inc.とその子会社

30.5. ﾚｼﾞｽﾀ説明

30.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RUNSTDBY	OUTEN		POWER1,0		HYSMODE1,0		ENABLE
ｱｸｾｽ種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – RUNSTDBY : ｽﾀﾝﾊﾞｲ動作時走行** (Run in Standby Mode)

このﾋﾞｯﾄに'1'を書くことがｽﾀﾝﾊﾞｲ休止動作でACに動作を続けることを許します。ｸﾛｯｸが停止されるため、割り込みと状態のﾌﾗｸﾞは更新されません。

値	0	1
説明	ｽﾀﾝﾊﾞｲ休止動作でACは停止されます。	ｽﾀﾝﾊﾞｲ休止動作でACは動作を続けます。

● **ﾋﾞｯﾄ6 – OUTEN : 出力ﾊﾟｯﾄﾞ許可** (Output Pad Enable)

このﾋﾞｯﾄに'1'を書くことがOUT信号をﾋﾟﾝで利用可能にします。

● **ﾋﾞｯﾄ4,3 – POWER1,0 : 電力特性** (Power Profile)

この設定は比較器を通る電流を制御し、ACに応答時間と消費電力の交換を許します。消費電力と応答時間については「電気的特性」章を参照してください。

値	0 0	0 1	1 0	1 1
名称	PROFILE0	PROFILE1	–	–
説明	電力特性0 (最短伝搬遅延と最高消費)	電力特性1	(予約)	(予約)

● **ﾋﾞｯﾄ2,1 – HYSMODE1,0 : ﾋｽﾃﾘｼｽ動作選択** (Hysteresys Mode Select)

このﾋﾞｯﾄ領域への書き込みはAC入力に対してﾋｽﾃﾘｼｽを選びます。ﾋｽﾃﾘｼｽ基準の代表値についての詳細に関しては「電気的特性」章を参照してください。

値	0 0	0 1	1 0	1 1
名称	NONE	SMALL	MEDIUM	LARGE
説明	ﾋｽﾃﾘｼｽなし	ﾋｽﾃﾘｼｽ小	ﾋｽﾃﾘｼｽ中	ﾋｽﾃﾘｼｽ大

● **ﾋﾞｯﾄ0 – ENABLE : AC許可** (Enable AC)

このﾋﾞｯﾄに'1'を書くことがACを許可します。

30.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							WINSEL1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1,0 – WINSEL1,0 : 窓選択動作** (Window Selection Mode)

このﾋﾞｯﾄ領域は窓動作で現在の比較器に接続されるACを選びます。

値	0 0	0 1	1 0	1 1
名称	DISABLED	UPSEL1	–	–
説明	窓機能禁止	ACn+1接続で窓機能許可	(予約)	(予約)

© 2023 Microchip Technology Inc.とその子会社

30.5.3. MUXCTRL – 多重器制御 (Mux Control)

名称 : MUXCTRL
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	INVERT	INITVAL	MUXPOS2~0			MUXNEG2~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – INVERT : AC出力反転** (Invert AC Output)

このビットに'1'を書くことがACの出力の反転を許可します。この反転は他の周辺機能またはシステムの一部に入力信号としてAC出力信号を使う時に考慮されなければなりません。

● **ビット6 – INITVAL : AC出力初期値** (AC Output Initial Value)

比較器の準備が整う前にAC出力が切り替わるのを避けるため、INITVALは比較器出力の初期状態を設定するのに使うことができます。

値	0	1
名称	LOW	HIGH
説明	'0'に初期化された出力	'1'に初期化された出力

● **ビット5~3 – MUXPOS2~0 : 正入力多重器選択** (Positive Input Mux Selection)

このビット領域への書き込みがACの正入力への入力信号を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	その他
名称	AINP0	AINP1	AINP2	AINP3	AINP4	–
説明	正入力ピン0	正入力ピン1	正入力ピン2	正入力ピン3	正入力ピン4	(予約)

● **ビット2~0 – MUXNEG2~0 : 正入力多重器選択** (Negative Input Mux Selection)

このビット領域への書き込みがACの負入力への入力信号を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	その他
名称	AINN0	AINN1	AINN2	AINN3	DACREF	–
説明	負入力ピン0	負入力ピン1	負入力ピン2	負入力ピン3	DAC参照基準電圧	(予約)

30.5.4. DACREF – DAC基準電圧 (DAC Voltage Reference)

名称 : DACREF
変位 : +$05
リセット : $FF
特質 : –

ビット	7	6	5	4	3	2	1	0
	DACREF7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット7~0 – DACREF7~0 : DACREFデータ値** (DACREF Data Value)

このビット領域は内部分圧器からの出力電圧を定義します。DAC基準電圧はDACREF値とVREF単位部で選ばれた基準電圧に依存し、次のように計算されます。

$$V_{DACREF} = \frac{DACREF}{256} \times V_{REF}$$

© 2023 Microchip Technology Inc.とその子会社

30.5.5. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
			INTMODE1,0					CMP
ｱｸｾｽ種別	R	R	R/W	R/W	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5,4 – INTMODE1,0 : 割り込み動作** (Interrupt Modes)

このﾋﾞｯﾄ領域への書き込みはAC出力のどの端か、または窓状態移行が割り込み要求を起動する時を選びます。

表30-3. 窓動作での割り込み生成

値	0 0	0 1	1 0	1 1
名称	ABOVE	INSIDE	BELOW	OUTSIDE
説明	越え窓動作割り込み許可	内側窓動作割り込み許可	未満窓動作割り込み許可	外側窓動作割り込み許可

表30-4. 単独比較器での割り込み生成

値	0 0	0 1	1 0	1 1
名称	BOTHEDGE	–	NEGEDGE	POSEDGE
説明	正と負の入力交差	(予約)	正入力が負入力未満へ	正入力が負入力越えへ

● **ﾋﾞｯﾄ0 – CMP : AC割り込み許可** (AC Interrupt Enable)

このﾋﾞｯﾄ(='1')はAC割り込みを許可します。許可された割り込みは状態(ACn.STATUS)ﾚｼﾞｽﾀのAC割り込み要求ﾌﾗｸﾞ(CMPIF)ﾋﾞｯﾄが設定(1)される時に起動されます。

30.5.6. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	WINSTATE1,0			CMPSTATE				CMPIF
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – WINSTATE1,0 : 窓状態** (Window State)

窓機能が許可されると、これらのﾌﾗｸﾞは窓に対する現在の入力信号の状態を示します。
窓動作が禁止される時は無効です。

表30-5. 窓状態設定

値	0 0	0 1	1 0	1 1
名称	AVOBE	INSIDE	BELOW	–
説明	窓越え	窓内	窓未満	(予約)

● **ﾋﾞｯﾄ4 – CMPSTATE : AC状態** (AC State)

このﾋﾞｯﾄが'1'の場合、OUT信号はHighです。このﾋﾞｯﾄが'0'の場合、OUT信号はLowです。窓動作では、このﾋﾞｯﾄが'1'の場合、窓状態は選んだ割り込み動作(INTMODE)ﾋﾞｯﾄ領域と一致します。INTMODEが'OUTSIDE(外側)'の場合、'ABOVE(越え)'と'BELOW(未満)'の両方が有効な一致です。I/Oﾚｼﾞｽﾀで更新されるのに(3周期の)同期化遅延を持ちます。

● **ﾋﾞｯﾄ0 – CMPIF : AC割り込み要求ﾌﾗｸﾞ** (AC Interrupt Flag)

このﾋﾞｯﾄはOUT信号が割り込み制御(ACn.INTCTRL)ﾚｼﾞｽﾀの割り込み動作(INTMODE)ﾋﾞｯﾄ領域での定義と一致する時に'1'です。このﾌﾗｸﾞ ﾋﾞｯﾄ位置への'1'書き込みがこのﾌﾗｸﾞを解除(0)します。

© 2023 Microchip Technology Inc.とその子会社

31. ADC – A/D変換器

31.1. 特徴

- 12ﾋﾞｯﾄ分解能
  - 過採取で最大17ﾋﾞｯﾄ
- 12ﾋﾞｯﾄ分解能で最大375kspsの変換速度
- 20/24/28個までの入力
- 差動とｼﾝｸﾞﾙ ｴﾝﾄﾞの変換
- 1倍～16倍の設定可能な利得増幅器(PGA:Programmable Gain Amplifier)
- −1100mV～VDD+100mVの入力電圧範囲
- 複数の内部ADC参照基準電圧
  - VDD
  - 1.024V
  - 2.048V
  - 2.500V
  - 4.096V
- 外部参照基準入力
- 単独と自由走行の変換
- 継続と集中の累積動作
- 1024変換までの累積
- 左または右に揃えられた結果
- 変換完了での割り込み
- 任意選択の事象起動変換
- 構成設定可能な窓比較器

31.2. 概要

A/D変換器(ADC)は12ﾋﾞｯﾄ分解能で最大375kspsの変換速度で設定可能な利得増幅器(PGA)を持つ12ﾋﾞｯﾄの差動とｼﾝｸﾞﾙ ｴﾝﾄﾞのADCです。ADCは多数のｼﾝｸﾞﾙ ｴﾝﾄﾞと差動の入力間の選択用ｱﾅﾛｸﾞ入力多重器に接続されます。ｼﾝｸﾞﾙ ｴﾝﾄﾞ変換ではADCが選んだ入力と0V(GND)間の電圧を測定します。差動変換ではADCが選んだ2つの入力間の電圧を測定します。ADC入力は内部(例えば、基準電圧)または外部ｱﾅﾛｸﾞ入力ﾋﾟﾝのどれかにすることができます。

ADC変換はｿﾌﾄｳｪｱによって、または他の周辺機能から事象を配線するのに事象ｼｽﾃﾑ(EVSYS)を使うことによって開始することができ、入力信号の周期的な採取、特別な条件でのADC変換の起動、ｽﾀﾝﾊﾞｲ休止動作でのADC変換の起動も可能にします。ﾃﾞｼﾞﾀﾙ窓比較機能は入力信号を監視するのに利用可能で、必要とされる最小のｿﾌﾄｳｪｱ介在で、採取が使用者定義された閾値未満または越え、または使用者定義された窓の内側または外側の場合にだけ割り込みを起動するように構成設定することができます。

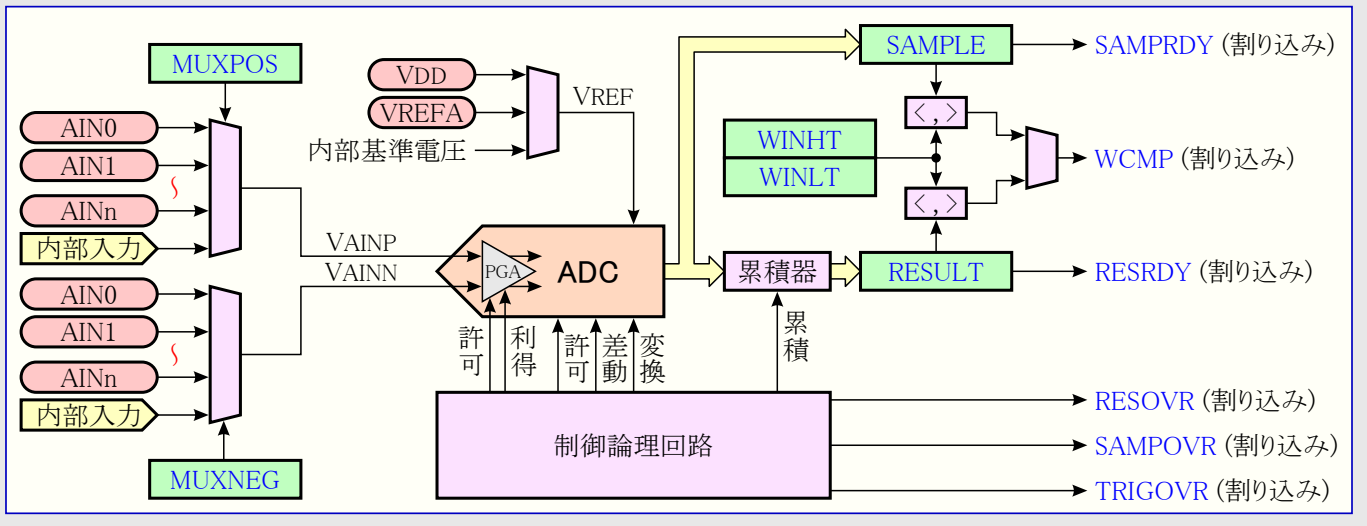
ADC入力信号は変換中にADCへの入力電圧が一定水準で保たれることを保証する採取/保持(S/H)回路を通して供給されます。

ADCは構成設定可能な変換結果数が単一ADC結果内に累積される集中での採取(採取累積)を支援します。

ADC電圧参照基準は内部または外部ｱﾅﾛｸﾞ参照基準ﾋﾟﾝからの供給のどちらにすることができます。

31.2.1. 構成図

図31-1. 構成図



© 2023 Microchip Technology Inc.とその子会社

31.2.2. 信号説明

信号	形式	説明
AINn～0	ｱﾅﾛｸﾞ入力	ｱﾅﾛｸﾞ入力ﾋﾟﾝ
VREFA	ｱﾅﾛｸﾞ入力	外部参照基準電圧ﾋﾟﾝ

31.3. 機能的な説明

31.3.1. 定義

- 変換: 選んだADC入力上のｱﾅﾛｸﾞ値がﾃﾞｼﾞﾀﾙ表現に変換される動作
- 採取(試料): 採取(ADCn.SAMPLE)ﾚｼﾞｽﾀに置かれた値、即ち、変換動作の結果 (訳補:一部で採取/保持(S/H)部の採取部分)
- 結果: 結果(ADCn.RES)ﾚｼﾞｽﾀに置かれた値。ADC構成設定に応じてこの値は単一採取または複数累積した採取の合計です。

31.3.2. 基本操作

基本動作でADC初期化して動かすには以下の手順が推奨されます。

1. ｸﾛｯｸ制御器の時間基準(CLKCTRL.MCLKTIMEBASE)ﾚｼﾞｽﾀの時間基準(TIMEBASE)ﾋﾞｯﾄ領域に書くことによって時間基準を構成設定してください。
2. 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀのADC許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによってADCを許可してください。
3. 制御B(ADCn.CTRLB)ﾚｼﾞｽﾀの前置分周器(PRESC)ﾋﾞｯﾄ領域を構成設定してください。
4. 制御C(ADCn.CTRLC)ﾚｼﾞｽﾀの参照基準選択(REFSEL)ﾋﾞｯﾄ領域を構成設定してください。
5. 制御E(ADCn.CTRLE)ﾚｼﾞｽﾀの採取持続時間(SAMPDUR)ﾋﾞｯﾄ領域を構成設定してください。
6. 任意選択: 制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取累積数選択(SAMPNUM)ﾋﾞｯﾄ領域を書くことによって累積される採取数を構成設定してください。
7. 任意選択: 制御Fﾚｼﾞｽﾀの自由走行(FREERUN)ﾋﾞｯﾄに'1'を書くことによって自由走行動作を許可してください。
8. 正入力多重器(ADCn.MUXPOS)ﾚｼﾞｽﾀの正入力多重器(MUXPOS)ﾋﾞｯﾄ領域に書くことによって正入力を構成設定してください。
9. 任意選択: 負入力多重器(ADCn.MUXNEG)ﾚｼﾞｽﾀの負入力多重器(MUXNEG)ﾋﾞｯﾄ領域に書くことによって負入力を構成設定してください。
10. 任意選択: 指令(ADCn.COMMAND)ﾚｼﾞｽﾀの差動(DIFF)ﾋﾞｯﾄに'1'を書くことによって差動ADC変換を選んでください。
11. 指令ﾚｼﾞｽﾀの動作形態(MODE)ﾋﾞｯﾄ領域に書くことによってADCに対する動作形態を構成設定してください。
12. 指令ﾚｼﾞｽﾀの変換開始(START)ﾋﾞｯﾄ領域を書くことによってADC変換がどう始まるかを構成設定してください。IMMEDIATE指令が書かれた場合、直ちに変換が開始します。
13. 更新された結果(RESULT)ﾚｼﾞｽﾀを読む前に、割り込み要求ﾌﾗｸﾞ(ADCn.INTFLAGS)ﾚｼﾞｽﾀの結果準備可(RESRDY)ﾋﾞｯﾄが'1'になるまで待ってください。

31.3.3. 動作

31.3.3.1. 動作形態

ADCは6つの異なる動作形態を支援すると共に各動作に対して差動とｼﾝｸﾞﾙ ｴﾝﾄﾞの変換が可能です。これは指令(ADCn.COMMAND)ﾚｼﾞｽﾀで構成設定されます。

動作形態は次のように3つの群に分けることができます。

- 単独動作 – 8または12ﾋﾞｯﾄ変換出力で起動毎に単一変換
- 継続累積動作 – n採取の累積で起動毎に1変換
- 集中累積動作 – 単一起動後に可能な限り速く累積したn採取での集中

継続と集中の動作は12ﾋﾞｯﾄ変換を利用し、累積結果尺度調整有りまたはなしで構成設定することができます。制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取累積数選択(SAMPNUM)ﾋﾞｯﾄ領域は累積する採取数を制御します。累積器は常に新しい継続または集中の累積が開始される時に0へﾘｾｯﾄされます。

右表は利用可能な動作形態の概要を示します。

表31–1. 動作形態

動作形態	指令 – MODE	起動毎の変換数	累積形式	結果更新
単独8ﾋﾞｯﾄ	0 (0 0 0)	1	利用不可	変換毎
単独12ﾋﾞｯﾄ	1 (0 0 1)			
継続累積	2 (0 1 0)		全体	SAMPNUM数変換後
尺度調整付き継続累積	3 (0 1 1)		尺度調整	
集中累積	4 (1 0 0)	SAMPNUM	全体	
尺度調整付き集中累積	5 (1 0 1)		尺度調整	

© 2023 Microchip Technology Inc.とその子会社

31.3.3.2. 変換起動

変換は指令(ADCn.COMMAND)ﾚｼﾞｽﾀの変換開始(START)ﾋﾞｯﾄ領域の構成設定に応じて以下の起動の1つによって開始されます。

- 指令ﾚｼﾞｽﾀのSTARTﾋﾞｯﾄ領域へのIMMEDIATE値書き込み
- 事象入力受け取り
- 入力多重器(正入力多重器(ADCn.MUXPOS)または負入力多重器(ADCn.MUXNEG))ﾚｼﾞｽﾀの1つへの書き込み

最初の変換を開始する前に制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの自由走行(FREERUN)ﾋﾞｯﾄに'1'を書くことによって単独変換や集中累積を継続的に繰り返すことができます。このﾋﾞｯﾄは継続累積に対して影響を及ぼしません。

進行中の変換は指令ﾚｼﾞｽﾀのSTARTﾋﾞｯﾄ領域にSTOP値を書くことによって中断され、新しい変換を直ちに開始することができます。進行中の変換が終わる前に新しい変換の起動を試みると、割り込み要求ﾌﾗｸﾞ(ADCn.INTFLAGS)ﾚｼﾞｽﾀの起動超過割り込み要求(TRIGOVR)ﾌﾗｸﾞが設定(1)され、その試みた起動は無視されます。

割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀの結果準備可(RESRDY)と採取(試料)準備可(SAMPRDY)の割り込み要求ﾌﾗｸﾞは変換または累積が終了したかを示します。これらのﾌﾗｸﾞは割り込み制御(ADCn.INTCTRL)ﾚｼﾞｽﾀで許可されていれば対応する割り込みも起動します。

変換中断

以下のこれらの活動は進行中の変換を中断します。

- 指令(ADCn.COMMAND)ﾚｼﾞｽﾀの変換開始(START)ﾋﾞｯﾄ領域へのSTOP書き込み。
- 変換中の制御C(ADCn.CTRLC)ﾚｼﾞｽﾀの参照基準選択(REFSEL)ﾋﾞｯﾄ領域への書き込み。
- 正または負の入力多重器(ADCn.MUXPOSまたはADCn.MUXNEG)のﾚｼﾞｽﾀでのDAC、TEMPSENSE、VDDの選択。

これは結果(RESULT)と採取(SAMPLE)のﾚｼﾞｽﾀでの不定値に帰着します。(中断後の)新規変換起動時、最初に、変えられた要素に関連する安定時間が過ぎるのを待ち、その後に変換を開始します。

31.3.3.3. 出力形式

次式はADC変換からの出力を与えます。

$$\text{ｼﾝｸﾞﾙ ｴﾝﾄﾞ12ﾋﾞｯﾄ変換} = \frac{VINP}{VREF} \times 4096 \in [0,4095]$$

$$\text{ｼﾝｸﾞﾙ ｴﾝﾄﾞ8ﾋﾞｯﾄ変換} = \frac{VINP}{VREF} \times 256 \in [0,255]$$

$$\text{差動12ﾋﾞｯﾄ変換} = \frac{(VINP-VINN)\times \text{利得}}{VREF} \times 2048 \in [-2048,2047]$$

$$\text{差動8ﾋﾞｯﾄ変換} = \frac{(VINP-VINN)\times \text{利得}}{VREF} \times 128 \in [-128,127]$$

ここでのVINPとVINNはADCへの正と負の入力で、VREFは選んだ電圧参照基準です。利得はPGAで構成設定されるように1倍から64倍の間で、PGAが使われない場合は1倍です。

ADCは2つのﾚｼﾞｽﾀを持ちます。採取(ADCn.SAMPLE)と結果(ADCn.RESULT)。16ﾋﾞｯﾄ採取ﾚｼﾞｽﾀは常に最新のADC変換出力(1採取)で更新されます。全ての累積動作は制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取累積数選択(SAMPNUM)ﾋﾞｯﾄ領域によって構成設定される内部採取累積器で採取を累積します。採取累積器は支援される累積構成設定に対して溢れを避けるのに充分な幅です。累積された結果は集中動作または継続動作の累積の最後で自動的に32ﾋﾞｯﾄ結果ﾚｼﾞｽﾀに転送します。単独変換動作では、結果ﾚｼﾞｽﾀが最新の採取で更新され、採取ﾚｼﾞｽﾀと同じです。

尺度調整を持つ動作形態は1累積された結果を16ﾋﾞｯﾄ分解能に制限するように選ぶことができます。尺度調整は集中動作と継続動作で最後の採取を累積した後、常に適用され、累積された結果をSAMPNUM-4ﾋﾞｯﾄ右移動することによって実行されます。

制御Fﾚｼﾞｽﾀの左揃え(LEFTADJ)ﾋﾞｯﾄはこれが支援される動作に於いて出力ﾃﾞｰﾀの左移動を許可します。許可される場合、これは結果と採取の両ﾚｼﾞｽﾀの出力を左移動します。

ｼﾝｸﾞﾙ ｴﾝﾄﾞ動作での採取に対するﾃﾞｰﾀ形式は$0000が0を表し、$0FFFが最大数(全尺)を表す符号なし数です。ｱﾅﾛｸﾞ入力がADCの参照基準よりも高い場合、12ﾋﾞｯﾄADC出力は$0FFFの最大値に等しくなります。同様に、入力が0V未満の場合、ADC出力は$0000です。差動動作について、ﾃﾞｰﾀ形式は符号拡張を持つ2の補数です。

以降の表は動作形態と左揃えによるｼﾝｸﾞﾙ ｴﾝﾄﾞと差動の変換に対する結果ﾚｼﾞｽﾀ出力形式を示します。

表31-2. RESULTﾚｼﾞｽﾀ – ｼﾝｸﾞﾙ ｴﾝﾄﾞ動作

MODE	LEFTADJ	RESULT31～24	RESULT23～16	RESULT15～12	RESULT11～8	RESULT7～0
0 0 0	x (注1)	$00				変換7～0
0 0 1	0	$00			変換11～0	
	1	$00		変換11～0 << 4		
0 1 0, 1 0 0	x (注1)	$00	累積23～0			
0 1 1, 1 0 1	x	$00		尺度調整した累積15～0 (注2)		

注1: 左揃えは8ﾋﾞｯﾄ動作や尺度調整なし累積動作で利用できません。

注2: SAMPNUM<4の場合、ﾋﾞｯﾄ15が最上位ﾋﾞｯﾄになるように結果が4-SAMPNUMﾋﾞｯﾄ左移動されます。

© 2023 Microchip Technology Inc.とその子会社

表31-3. RESULTﾚｼﾞｽﾀ – 差動動作

MODE	LEFTADJ	RESULT31～24	RESULT23～16	RESULT15～12	RESULT11～8	RESULT7～0
0 0 0	x（注1）	符号拡張				符号付き変換7～0
0 0 1	0	符号拡張			符号付き変換11～0	
	1	符号拡張		符号付き変換11～0 << 4		
0 1 0, 1 0 0	x（注1）	符号拡張	符号付き累積23～0			
0 1 1, 1 0 1	x	符号拡張		尺度調整した符号付き累積15～0（注2）		

注1: 左揃えは8ﾋﾞｯﾄ動作や尺度調整なし累積動作で利用できません。

注2: SAMPNUM<4の場合、ﾋﾞｯﾄ15が最上位ﾋﾞｯﾄになるように結果が4-SAMPNUMﾋﾞｯﾄ左移動されます。

下表は動作形態、左揃え、差動またはｼﾝｸﾞﾙ ｴﾝﾄﾞの変換による採取ﾚｼﾞｽﾀ出力形式を示します。

表31-4. RESULTﾚｼﾞｽﾀ – 差動動作

MODE	LEFTADJ	DIFF	RESULT15～12	RESULT11～8	RESULT7～0
0 0 0	x	0	$00		変換7～0
		1	符号拡張		符号付き変換7～0
その他	0	0	$00	変換11～0	
		1	符号拡張	符号付き変換11～0	
	1	0	変換11～0 << 4		
		1	符号付き変換11～0 << 4		

注1: 左揃えは8ﾋﾞｯﾄ動作や尺度調整なし累積動作で利用できません。

注2: SAMPNUM<4の場合、ﾋﾞｯﾄ15が最上位ﾋﾞｯﾄになるように結果が4-SAMPNUMﾋﾞｯﾄ左移動されます。

31.3.3.4. ADCｸﾛｯｸ

ADCｸﾛｯｸ(CLK_ADC)は周辺機能ｸﾛｯｸ(CLK_PER)から下げられます。増減量は制御B(ADCn.CTRLB)ﾚｼﾞｽﾀの前置分周器(PRESC)ﾋﾞｯﾄ領域によって構成設定することができます。PGA制御(ADCn.PGACTRL)ﾚｼﾞｽﾀのPGAﾊﾞｲｱｽ選択(PGABIASSEL)ﾋﾞｯﾄ領域はADCｸﾛｯｸ周波数に応じてPGA消費電力を減らすように構成設定することができます。

ADCとPGAの内部ﾀｲﾐﾝｸﾞのいくつかはCLK_ADCと無関係です。ADCｸﾛｯｸ周波数に関わらずに正しい内部ﾀｲﾐﾝｸﾞを保証するため、ｸﾛｯｸ制御器(CLKCTRL)周辺機能の時間基準(CLKCTRL.MCLKTIMEBASE)ﾚｼﾞｽﾀに(CLK_PER周期で与えられる)1µs時間基準が書かれなければなりません。詳細についてはCLKCTRL章でMCLKTIMEBASEﾚｼﾞｽﾀの説明を参照してください。

31.3.3.5. 入力と参照基準の選択

ADCへの入力選択は正と負の入力多重器(ADCn.MUXPOSとADCn.MUXNEG)のﾚｼﾞｽﾀによって制御されます。ADCがｼﾝｸﾞﾙ ｴﾝﾄﾞ変換を走行している場合、MUXPOSだけが使われる一方で、差動変換では両方が使われます。

ADC用の参照基準電圧(VREF)はADCの変換範囲を制御します。VREFは制御C(ADCn.CTRLC)ﾚｼﾞｽﾀの参照基準選択(REFSEL)ﾋﾞｯﾄ領域に書くことによって選ぶことができます。VDDを除き、内部参照基準電圧は内部ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ参照基準から生成されます。VDDは選んだﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ参照基準電圧よりも最低0.5V高くなければなりません。

入力と参照基準の選択は緩衝されません。変換進行中のそれらのどの変更も出力を不正にします。自由走行動作使用時の安全な入力または参照基準の変更のため、何れかの変更を行うのに先立って、自由走行動作を禁止して変換完了を待ってください。次の変換を始める前に再び自由走行動作を許可してください。

入力または参照基準の切り替え後、ADCは安定のための時間を必要とします。更なる詳細については「電気的特性」章を参照してください。

31.3.3.5.1. 設定可能な利得増幅器

設定可能な利得増幅器(PGA:Programmable Gain Amplifier)はADCへの入力信号を増幅するのに使うことができます。利用可能な範囲は1～16倍利得です。PGAは全ての動作形態で使うことができます。

既定構成設定ではPGAが禁止され、入力信号は変換段で直接、即ち、内部増幅器なしで採取されます。入力信号特性に応じて、信号を増幅するように内部PGA段を構成設定するのが望ましい場合があります。

内部PGAは特に外部増幅器との比較に於いて次のようないくつかの望まれる特性を持ちます。

- 少ない部品
- 必要とされる少ないﾋﾟﾝ数
- 入力多重化と共にﾌｧｰﾑｳｪｱ選択可能な利得が柔軟で機能豊富な応用を許可
- 応用がPGAをON/OFFする動作を必要とする時に非反転増幅が符号/論理構造を維持

変換段への直接入力に代わるPGA使用は考慮すべき次の影響を持ちます。

- 入力信号は増幅され、追加の増幅段(入力雑音、変位、利得誤差)の当然の有害反応と飽和の可能性があります。

© 2023 Microchip Technology Inc.とその子会社

- ADCがPGA採取を必要とするため、最大変換速度がより低くなります。
- 消費電力が僅かに増されます。
- 採取動作形態に応じて、変換の相対的なﾀｲﾐﾝｸﾞが変えられます。

PGAはPGA制御(ADCn.PGACTRL)ﾚｼﾞｽﾀでPGA許可(PGAEN)ﾋﾞｯﾄに'1'を書いて利得(GAIN)ﾋﾞｯﾄ領域を構成設定することによって許可されます。

正と負の入力多重器(ADCn.MUXPOSとADCn.MUXNEG)のﾚｼﾞｽﾀの経由(VIA)ﾋﾞｯﾄ領域は入力信号がPGA経由で接続されるかどうかを決めます。VIAﾋﾞｯﾄは共有され、故にMUXPOSとMUXNEGのVIAﾋﾞｯﾄ領域に書かれた値は両ﾚｼﾞｽﾀで更新されます。従って、1つの入力にPGAを使って他方にPGAを使わないことはできません。

31.3.3.5.2. 符号刻みによる変位(ｵﾌｾｯﾄ)削減

変換結果での変位は符号刻みを使って減らすことができます。符号刻みはPGAが許可去れているか否かに関わらず、ｼﾝｸﾞﾙ ｴﾝﾄﾞと差動の両変換に於いて累積動作(即ち、単独動作以外)でだけ使うことができます。

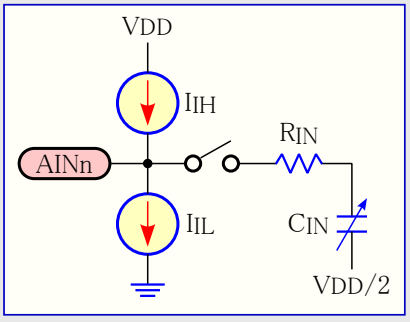
符号刻みは制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの符号刻み(CHOPPING)ﾋﾞｯﾄに'1'を書くことによって許可されます。

31.3.3.5.3. ｱﾅﾛｸﾞ入力回路

右図はｱﾅﾛｸﾞ入力回路を図解します。ｱﾅﾛｸﾞ入力(AINn)に接続されたｱﾅﾛｸﾞ源はﾋﾟﾝ容量と(IHとILで表現される)そのﾋﾟﾝ入力漏れに依存します。入力が選ばれると、その供給元は入力経路の(RINによって表される)結合抵抗を通して採取/保持ｺﾝﾃﾞﾝｻ(CIN)も駆動しなければなりません。ADCの入力特性の詳細については「電気的特性」章を参照してください。

高ｲﾝﾋﾟｰﾀﾞﾝｽを持つ供給元が使われる場合、採取時間を増すことが必要かもしれません。必要とされる採取時間はCINｺﾝﾃﾞﾝｻを充電するのに供給元がどれ位の長さが必要かに依存し、制御E(ADCn.CTRLE)ﾚｼﾞｽﾀの採取持続時間(SAMPDUR)ﾋﾞｯﾄ領域を使って構成設定することができます。

図31-2. ｱﾅﾛｸﾞ入力回路



31.3.3.6. 変換ﾀｲﾐﾝｸﾞ

ADCのｱﾅﾛｸﾞ単位部のいくつかは変換間に禁止され、変換開始前に初期化する時間を必要とします。現在のADC構成設定によって使われる単位部だけが許可され、初期化が並列で動くため、制限する要素は最も遅い初期化時間を持つ単位部です。右表はｱﾅﾛｸﾞ単位部によって必要とされる各種初期化時間を示します。

表31-5. ADC初期化時間

ｱﾅﾛｸﾞ単位部	初期化時間 (µs)
ADC	10 (注1)
PGA	20
内部参照基準の安定	60 (注2)
内部温度感知器入力	35
内部DAC入力	35

注1: CLK_PER<2MHzの場合、ADC初期化時間は20 CLK_PER周期です。

注2: 低遅延(LOWLAT)ﾋﾞｯﾄが'1'の場合、内部参照基準間を切り替える時の安定時間は2µsに減らされます。

例: 入力として温度感知を選び、参照基準としてVDDを使うと、35µsの初期化時間を与えます。1.024V内部参照基準での温度感知の使用は60µsの初期化時間になります。

ADCは制御A(ADCn.CTRLA)ﾚｼﾞｽﾀの低遅延(LOWLAT)ﾋﾞｯﾄに'1'を書くことによって低遅延動作に置くことができ、これは構成設定された単位部を継続的に許可し続け、変換開始での全ての初期化時間を効果的に取り去ります。初回にADCを許可したり、初期化を必要とする入力または参照基準の使用のためにADCを再構成設定する時に、初期化時間は未だ上の表で示されるように必要とされます。状態(ADCn.STATUS)ﾚｼﾞｽﾀのADC多忙(ADCBUSY)ﾋﾞｯﾄは初期化が進行中かを調べるのに使うことができます。

PGAなしでのADCへの入力の採取期間は制御E(ADCn.CTRLE)ﾚｼﾞｽﾀの採取持続時間(SAMPDUR)ﾋﾞｯﾄ領域を通して(SAMPDUR+½)CLK_ADC周期として構成設定されます。入力信号特性は採取期間がどの位長くなければならないかに影響を及ぼします。

PGAなしで内部参照基準が使われると、参照基準緩衝部の自動0が採取の始めで走行し、値≧4µs×f_{ADC_CLK}に設定されるSAMDURを必要とします。

PGAが使われると、ADCがPGA出力を採取する間で保持状態になるのを除き、継続的に入力を採取します。このADC PGA採取持続時間(ADCPGASAMPDUR)は右表で見られるように、PGA制御(ADCn.PGACTRL)ﾚｼﾞｽﾀのPGAﾊﾞｲｱｽ選択(PGABIASSEL)ﾋﾞｯﾄ領域に依存します。採取持続時間(SAMPDUR)は未だPGAへの入力の最小採取期間を(SAMPDUR+1)CLK_ADC周期として構成設定します。集中動作ではSAMPDURが≧12でなければならず、変換状態の長さによって制限されます。

表31-6. ADCPGASAMPDUR

PGABIASSEL	ADCPGASAMPDUR (µs)
0 0 (100PCT)	3 (または4 (注))
0 1 (75PCT)	5
1 0 (50PCT)	6
1 1 (25PCT)	12

注: 内部参照基準を使う場合、最小PGA採取持続時間は4µsです。

© 2023 Microchip Technology Inc.とその子会社

継続と集中の累積動作は適切な入力信号と採取周波数を与えられると、5ビットまでのより高い分解能を達成するための過採取に使うことができます。nビットによる分解能増加は4^n採取の累積と2^nによる累積結果除算によって達成することができます。制御F(ADCn.CTRLF)レジスタの採取累積数(SAMPNUM)ビット領域は4^5=1024採取までに構成設定することができ、最大17ビット分解能になります。

次の2つの表はf_{ADC_CLK}と採取持続時間の可能な組み合わせの一部に対して計算された変換速度(f_{conv})を示します。より多くの詳細については以降の頁の関連タイミング図をご覧ください。

表31-7. f_{ADC_CLK}=5MHzとPGABIASSEL=100PCTに対する変換速度(f_{conv})例

SAMPDUR	PGA	f_{conv}(注)単一8ビット (sps)	f_{conv}(注)単一12ビット (sps)	f_{conv}集中累積 (sps)
20	OFF	161290	142857	147059
64		66667	63291	64103
128		35971	34965	35211
255		18797	18519	18587
15	ON	120482	109890	156250
20		107527	99010	135135
64		55249	52910	61728
255		17762	17513	18382

表31-8. f_{ADC_CLK}=312.5kHzとPGABIASSEL=25PCTに対する変換速度(f_{conv})例

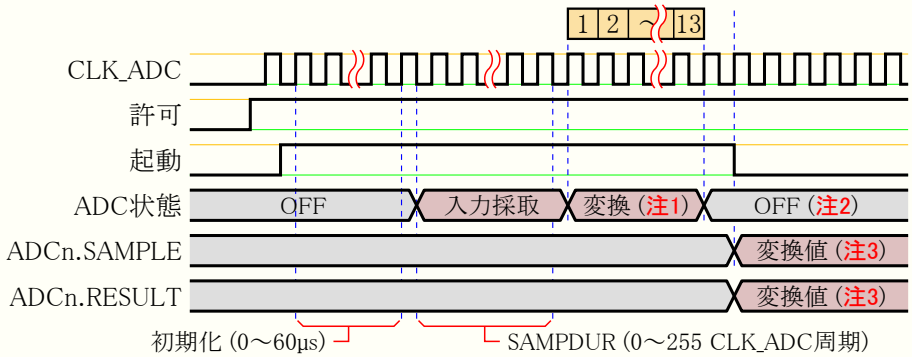
SAMPDUR	PGA	f_{conv}(注)単一8ビット (sps)	f_{conv}(注)単一12ビット (sps)	f_{conv}集中累積 (sps)
2	OFF	24038	18382	19531
11		14205	12019	12500
64		4167	3956	4006
255		1175	1157	1162
2	ON	18116	14706	利用不可
11		11905	10331	18657
64		3943	3754	4480
255		1156	1139	1198

注: 制御F(ADCn.CTRLF)レジスタで'1'に設定された自由走行(FREERUN)ビットでの変換速度、新しい変換は結果がADCで利用可能になった後直ちに開始します。

31.3.3.6.1. 単独変換

下図はPGAを使わずに単独の8または12ビット動作で動く時のADCに対するタイミング図を示します。

図31-3. タイミング図 – 単独変換



注1: 単独8ビット動作では変換状態の長さが9 CLK_ADC周期です。他の全ての動作では13周期です。

注2: 制御A(ADCn.CTRLA)レジスタで低遅延(LOWLAT)ビットが'1'に設定される場合、ADC内のアナログ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。

注3: 変換が終わってから出力がレジスタで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最小前置分周で、これは合計で1 CLK_ADC周期になります。

単独結果に対する総変換時間(t_{conv})は次によってµsで計算されます。

$$t_{conv}\,(12ビット) = 初期化時間 + \frac{SAMPDUR + 15}{f_{CLK_ADC}}$$

$$t_{conv}\,(8ビット) = 初期化時間 + \frac{SAMPDUR + 11}{f_{CLK_ADC}}$$

制御F(ADCn.CTRLF)レジスタで自由走行(FREERUN)ビットが'1'に設定される場合、新しい変換は結果(ADCn.RESULT)レジスタで結果が利用可能になる直後に開始されます。自由走行変換速度(f_{conv})は次によって計算されます。

© 2023 Microchip Technology Inc.とその子会社

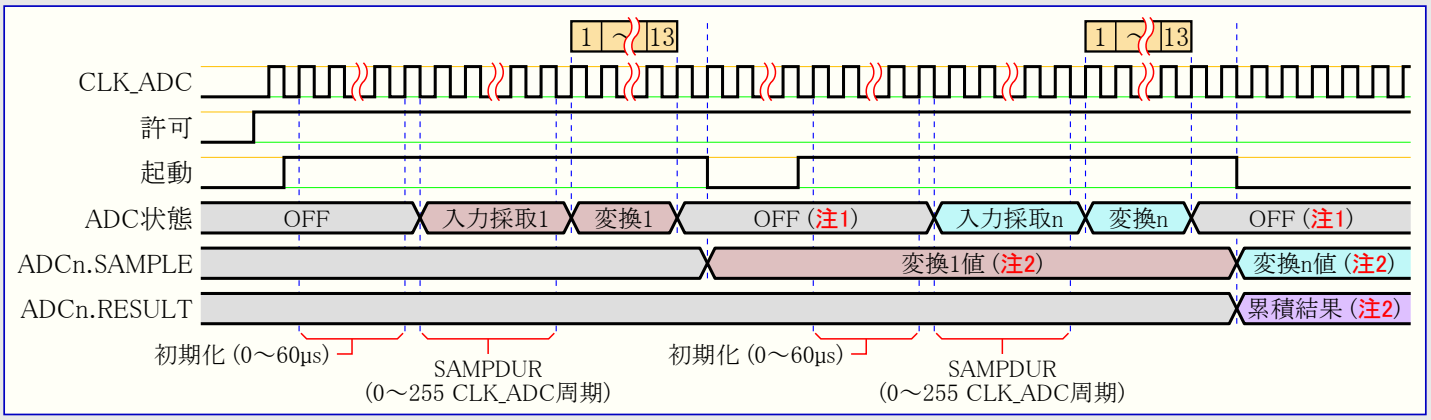
$$f_{conv}\ (12ビット) = \frac{f_{CLK_ADC}}{SAMPDUR + 15}$$

$$f_{conv}\ (8ビット) = \frac{f_{CLK_ADC}}{SAMPDUR + 11}$$

31.3.3.6.2. 継続累積

下図はPGAを使わずに継続累積動作で動く時のADCに対するﾀｲﾐﾝｸﾞ図を示します。

図31-4. ﾀｲﾐﾝｸﾞ図 – 継続累積 (訳補:2回累積(n=2)の例)



注1: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀで低遅延(LOWLAT)ﾋﾞｯﾄが'1'に設定される場合、ADC内のｱﾅﾛｸﾞ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。

注2: 変換が終わってから出力がﾚｼﾞｽﾀで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最後の変換と累積は追加のCLK_MAIN周期を必要とします。最小前置分周で、これは最終出力が利用可能になる前に合計で1.5 CLK_ADC周期になります。

累積する採取数は制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取数(SAMPNUM)ﾋﾞｯﾄ領域によって設定されます。

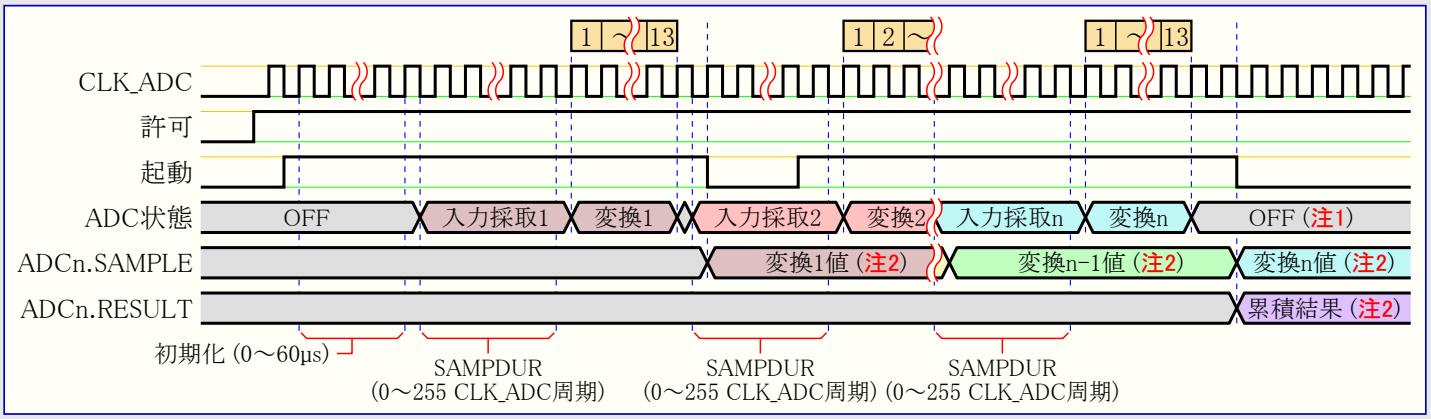
各独立した採取に対する総変換時間(t_{conv})は右によってµsで計算されます。

$$t_{conv} = 初期化 + \frac{SAMPDUR + 15}{f_{CLK_ADC}}$$

31.3.3.6.3. 集中累積

下図はPGAを使わずに集中累積動作で動く時のADCに対するﾀｲﾐﾝｸﾞ図を示します。

図31-5. ﾀｲﾐﾝｸﾞ図 – 集中累積



注1: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀで低遅延(LOWLAT)ﾋﾞｯﾄが'1'に設定される場合、ADC内のｱﾅﾛｸﾞ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。

注2: 変換が終わってから出力がﾚｼﾞｽﾀで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最後の変換と累積は追加のCLK_MAIN周期を必要とします。最小前置分周で、これは最終出力が利用可能になる前に合計で1.5 CLK_ADC周期になります。

累積する採取数は制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取数(SAMPNUM)ﾋﾞｯﾄ領域によって設定されます。

集中累積に対する総変換時間(t_{conv})は次によってµsで計算されます。

$$t_{conv} = 初期化時間 + \frac{(SAMPDUR + 15) \times SAMPNUM + 1.5}{f_{CLK_ADC}}$$

集中累積変換速度(f_{conv})は次によって計算されます。

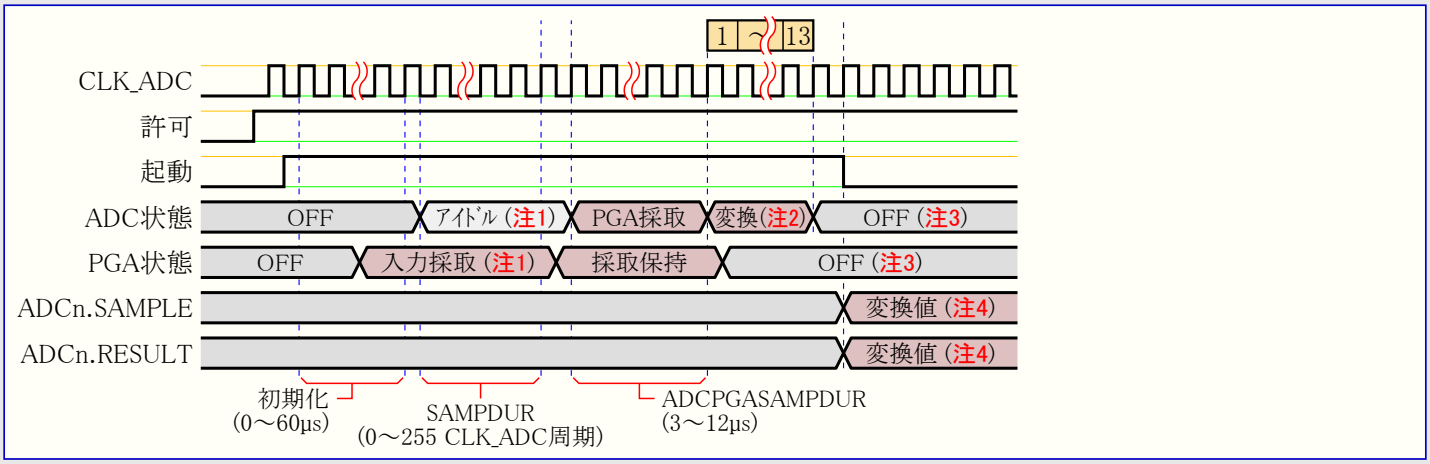
$$f_{conv} = \frac{f_{CLK_ADC}}{SAMPDUR + 14}$$

© 2023 Microchip Technology Inc.とその子会社

31.3.3.6.4. PGAを含む単独累積

下図はPGAと共に単独8または12ﾋﾞｯﾄ動作で動く時のADCに対するﾀｲﾐﾝｸﾞ図を示します。

図31-6. ﾀｲﾐﾝｸﾞ図 – PGAを含む単独変換動作



注1: PGAは一旦PGA初期化が終わると、例えADC初期化が未だ進行中でも入力の採取を始めます。この場合、最初の採取時間は採取持続時間(SAMPDUR)によって構成設定されるよりも長くなります。

注2: 単独8ﾋﾞｯﾄ動作では変換状態の長さが9 CLK_ADC周期です。他の全ての動作では13周期です。

注3: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀで低遅延(LOWLAT)ﾋﾞｯﾄが'1'に設定される場合、ADC内のｱﾅﾛｸﾞ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。PGAは新しいPGA採取が起きるまで入力採取状態に留まります。

注4: 変換が終わってから出力がﾚｼﾞｽﾀで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最小前置分周で、これは合計で1 CLK_ADC周期になります。

単独結果に対する総変換時間(t_{conv})は次によってµsで計算されます。

$$t_{conv}\,(12ﾋﾞｯﾄ) = 初期化時間 + \frac{SAMPDUR + 15.5}{f_{CLK_ADC}} + ADCPGASAMPDUR$$

$$t_{conv}\,(8ﾋﾞｯﾄ) = 初期化時間 + \frac{SAMPDUR + 11.5}{f_{CLK_ADC}} + ADCPGASAMPDUR$$

制御F(ADCn.CTRLF)ﾚｼﾞｽﾀで自由走行(FREERUN)ﾋﾞｯﾄが'1'に設定される場合、新しい変換は結果(ADCn.RESULT)ﾚｼﾞｽﾀで結果が利用可能になる直後に開始されます。自由走行変換速度(f_{conv})は次によって計算されます。

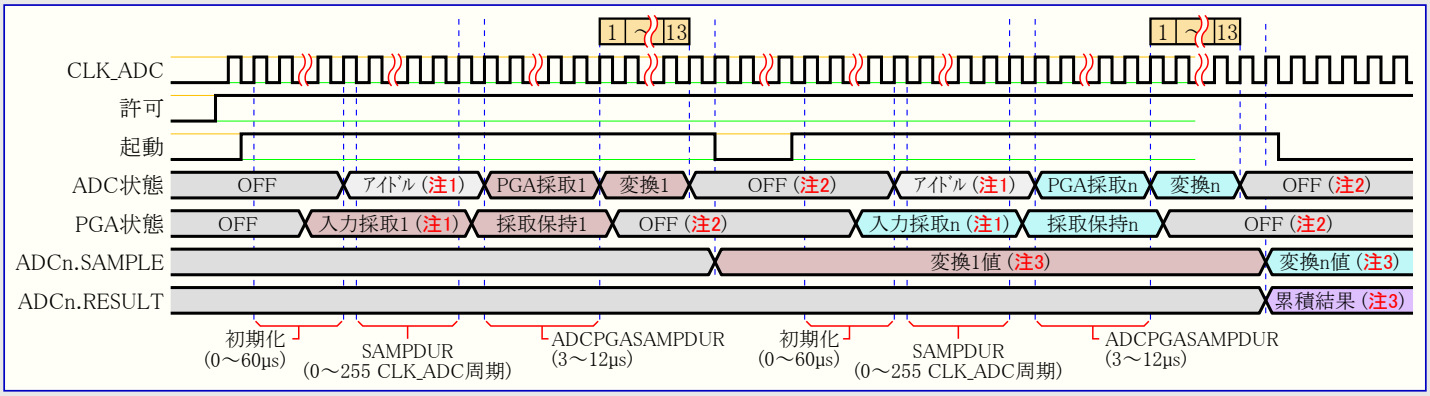
$$f_{conv}\,(12ﾋﾞｯﾄ) = \frac{1}{\frac{SAMPDUR + 15.5}{f_{CLK_ADC}} + ADCPGASAMPDUR}$$

$$f_{conv}\,(8ﾋﾞｯﾄ) = \frac{1}{\frac{SAMPDUR + 11.5}{f_{CLK_ADC}} + ADCPGASAMPDUR}$$

31.3.3.6.5. PGAを含む継続累積

下図はPGAと共に継続累積動作で動く時のADCに対するﾀｲﾐﾝｸﾞ図を示します。

図31-7. ﾀｲﾐﾝｸﾞ図 – PGAを含む継続累積 (訳補:2回累積(n=2)の例)



注1: PGAは一旦PGA初期化が終わると、例えADC初期化が未だ進行中でも入力の採取を始めます。この場合、最初の採取時間は採取持続時間(SAMPDUR)によって構成設定されるよりも長くなります。

注2と注3は次頁へ

© 2023 Microchip Technology Inc.とその子会社

注2: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀで低遅延(LOWLAT)ﾋﾞｯﾄが'1'に設定される場合、ADC内のｱﾅﾛｸﾞ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。PGAは新しいPGA採取が起きるまで入力採取状態に留まります。

注3: 変換が終わってから出力がﾚｼﾞｽﾀで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最後の変換と累積は追加のCLK_MAIN周期を必要とします。最小前置分周で、これは最終出力が利用可能になる前に合計で1.5 CLK_ ADC周期になります。

累積する採取数は制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取数(SAMPNUM)ﾋﾞｯﾄ領域によって設定されます。

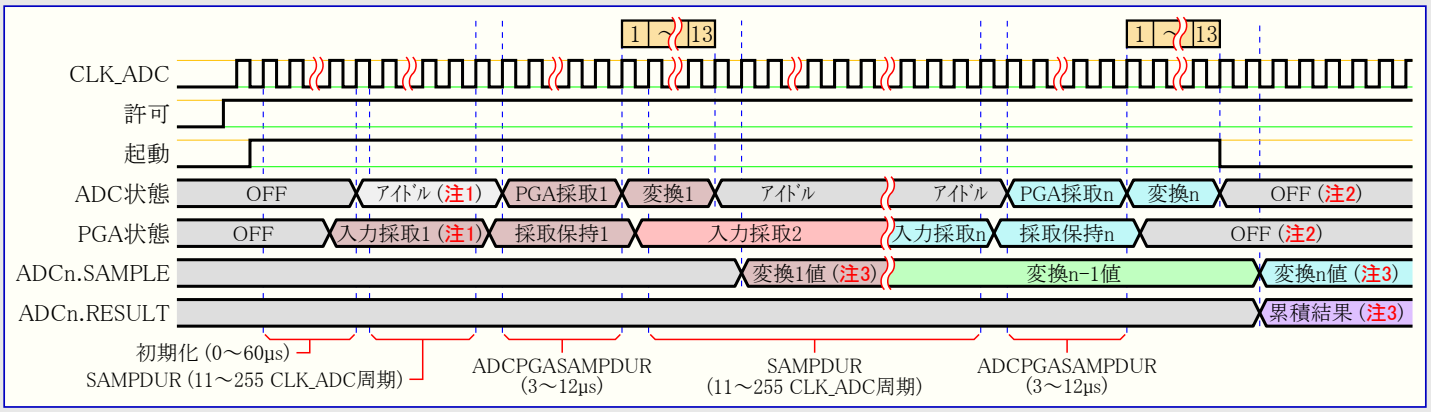
各独立した採取に対するμsでの総変換時間(t_{conv})は次によって計算されます。

$$t_{conv} = \text{初期化時間} + \frac{\text{SAMPDUR} + 15.5}{f_{CLK_ADC}} + \text{ADCPGASAMPDUR}$$

31.3.3.6.6. PGAを含む集中累積

下図はPGAと共に集中累積動作で動く時のADCに対するﾀｲﾐﾝｸﾞ図を示します。

図31-8. ﾀｲﾐﾝｸﾞ図 – PGAを含む集中累積



注1: PGAは一旦PGA初期化が終わると、例えADC初期化が未だ進行中でも入力の採取を始めます。この場合、最初の採取時間は採取持続時間(SAMPDUR)によって構成設定されるよりも長くなります。

注2: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀで低遅延(LOWLAT)ﾋﾞｯﾄが'1'に設定される場合、ADC内のｱﾅﾛｸﾞ単位部は変換の最後でOFFに切り替わらず、次の変換の起動時の初期化時間をなくします。PGAは新しいPGA採取が起きるまで入力採取状態に留まります。

注3: 変換が終わってから出力がﾚｼﾞｽﾀで利用可能になる時間は0.5 CLK_ADC周期と後続する1 CLK_MAIN周期です。最後の変換と累積は追加のCLK_MAIN周期を必要とします。最小前置分周で、これは最終出力が利用可能になる前に合計で1.5 CLK_ ADC周期になります。

累積する採取数は制御F(ADCn.CTRLF)ﾚｼﾞｽﾀの採取数(SAMPNUM)ﾋﾞｯﾄ領域によって設定されます。

PGAを含む集中累積についてはSAMPDURが≧11でなければなりません。総変換時間(t_{conv})は次によってμsで計算されます。

$$t_{conv} = \text{初期化時間} + \frac{(\text{SAMPDUR} + 2) \times \text{SAMPNUM} + 14}{f_{CLK_ADC}} + \text{ADCPGASAMPDUR} \times \text{SAMPNUM}$$

集中変換速度(f_{conv})は次によって計算されます。

$$f_{conv} = \frac{1}{\frac{\text{SAMPDUR} + 2}{f_{CLK_ADC}} + \text{ADCPGASAMPDUR}}$$

31.3.3.7. 温度測定

ﾁｯﾌﾟ上の温度感知器が利用可能です。温度測定を行うには以下のこれらの手順に従ってください。

1. 制御C(ADCn.CTRLC)ﾚｼﾞｽﾀの参照基準選択(REFSEL)ﾋﾞｯﾄ領域を書くことによって参照基準電圧を内部1.024Vに構成設定してください。
2. 正入力多重器(ADCn.MUXPOS)ﾚｼﾞｽﾀで入力として温度感知器を選んでください。
3. 制御E(ADCn.CTRLE)ﾚｼﾞｽﾀの採取持続時間(SAMPDUR)ﾋﾞｯﾄ領域に32μs×f_{CLK_ADC}以上(訳補:脚注参照)の値を書くことによってADC採取持続時間を構成設定してください。
4. 12ﾋﾞｯﾄ ｼﾝｸﾞﾙ ｴﾝﾄﾞ変換を走らせて温度感知器出力電圧を採取してください。
5. 次に記述されるように測定結果を処理してください。

(訳補) SAMPDURがCLK_ADC周期数で設定するため、32μs以上になるCLK_ADC周期数の意味です。

© 2023 Microchip Technology Inc.とその子会社

測定した電圧は温度に対して直線的関係を持ちます。製法変化のため、温度感知器出力電圧は同じ温度に於いて個別ﾃﾞﾊﾞｲｽ間で変わります。製造検査の間に測定された個別補償係数は識票列で次のように格納されます。

- SIGROW.TEMPSENSE0は温度感知器の利得/傾斜補正です。
- SIGROW.TEMPSENSE1は温度感知器の変位(ｵﾌｾｯﾄ)補正です。

もっと正確な結果を達成するため、温度感知器測定の結果はﾃﾞﾊﾞｲｽ製造または使用者校正からの補償値を用いて応用ｿﾌﾄｳｪｱで処理されなければなりません。更なる詳細については「電気的特性」章を参照してください。

次式は(ｹﾙﾋﾞﾝでの)温度を計算するのに使われます。

$$T = \frac{(\text{ADC結果} - \text{変位補正}) \times \text{傾斜補正}}{4096}$$

識票列からの補償値を使う時は応用ｺｰﾄﾞで以下のこれらの手順に従うことが推奨されます。

```
#define SCALING_FACTOR 4096                                    // 尺度調整値

int16_t sigrow_offset = (int16_t) SIGROW.TEMPSENSE1;           // 識票列から符号付き変位読み込み
int16_t sigrow_slope = (int16_t) SIGROW.TEMPSENSE0;            // 識票列から符号付き傾斜読み込み
uint16_t adc_reading = ADC0.RESULT;                            // ADC変換結果

int32_t temp = ((int32_t) adc_reading) + sigrow_offset;
temp *= sigrow_slope;                                          // 結果が16ﾋﾞｯﾄ変数を溢れ得ます。
temp += SCALING_FACTOR / 2;                                    // 次の除算での正しい丸めを保証
temp /= SCALING_FACTOR;                                        // ｹﾙﾋﾞﾝでの最も近い整数へ丸め
uint16_t temperature_in_K = (uint_16t) temp;
int16_t temperature_in_C = temp - 273;
```

31.3.3.8. 窓比較器

ADCは変換または累積の出力が或る閾値越えと/または未満の時に割り込み要求ﾌﾗｸﾞ(ADCn.INTFLAGS)ﾚｼﾞｽﾀの窓比較器割り込み要求(WCMP)ﾌﾗｸﾞを立てることができます。利用可能な動作形態は次のとおりです。

- 結果が閾値超え
- 結果が閾値未満
- 結果が窓の内側(下側閾値以上で上側閾値以下)
- 結果が窓の外側(下側閾値未満または上側閾値越えのどちらか)

閾値は窓比較器下側/上側閾値(ADCn.WINLTとADCn.WINHT)ﾚｼﾞｽﾀに書くことによって設定されます。使う窓動作は制御D(ADCn.CTRLD)ﾚｼﾞｽﾀの窓比較器動作(WINCM)ﾋﾞｯﾄ領域によって選ばれます。

制御D(ADCn.CTRLD)ﾚｼﾞｽﾀの窓動作元(WINSRC)ﾋﾞｯﾄは比較が結果(ADCn.RESULT)ﾚｼﾞｽﾀの下位16ﾋﾞｯﾄまたは採取(ADCn.SAMPLE)ﾚｼﾞｽﾀのどちらで実行されるかを選びます。WCMPﾌﾗｸﾞに対して割り込み要求が許可される場合、WINSRCはRESRDYまたはSAMPRDYのどちらの割り込みﾍﾞｸﾀを要求するか選びます。

複数採取累積時、窓比較元が結果ﾚｼﾞｽﾀの場合、結果と閾値間の比較は最後の変換完了後に起きます。供給元が採取ﾚｼﾞｽﾀの場合、比較は毎回の変換後に起きます。

ADCが既に動くように構成設定されるとの仮定で、窓比較器を使うには以下のこれらの手順に従ってください。

1. 窓比較器下側/上側閾値(ADCn.WINLTとADCn.WINHT)ﾚｼﾞｽﾀを書くことによって必要とされる閾値を設定してください。
2. 任意選択: 割り込み制御(ADCn.INTCTRL)ﾚｼﾞｽﾀの窓比較器割り込み許可(WCMP)ﾋﾞｯﾄに'1'を書くことによって割り込み要求を許可してください。
3. 制御D(ADCn.CTRLD)ﾚｼﾞｽﾀでWINSRCﾋﾞｯﾄへとWINCMﾋﾞｯﾄ領域に0以外の値を書くことによって窓比較器を許可してください。

累積採取時、窓比較器閾値は各採取ではなく累積された値に対して適用されます。結果の左揃えを使うことが採取数と無関係な比較値にします。

31.3.4. 事象

ADCは以下の事象を生成することができます。

表31-9. ADC事象生成部

生成部名		説明	事象型	生成ｸﾛｯｸ領域	事象長
周辺機能	事象				
ADCn	RESRDY	結果準備可	ﾊﾟﾙｽ	CLK_PER	1 CLK_PER周期
	SAMPRDY	採取準備可			
	WCMP	窓比較一致			

事象を生成する条件は割り込み要求ﾌﾗｸﾞ(ADCn.INTFLAGS)ﾚｼﾞｽﾀで対応するﾌﾗｸﾞを掲げるそれらと同じです。

© 2023 Microchip Technology Inc.とその子会社

ADCは入力事象を検出して働くための1つの事象使用部を持ちます。下表は事象使用部と関連する機能を記述します。

表31-10. ADC事象使用部と利用可能な事象活動

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
ADCn	START	事象でADC開始	端	非同期

START事象活動は指令(ADCn.COMMAND)ﾚｼﾞｽﾀの変換開始(START)ﾋﾞｯﾄ領域にEVENT_TRIGGER設定が書かれる場合に起動することができます。

31.3.5. 割り込み

表31-11. 利用可能な割り込みﾍﾞｸﾀと供給元

名前	ﾍﾞｸﾀ説明	割り込み要求ﾌﾗｸﾞ	条件
ERROR	異常割り込み	TRIGOVR	別のものが進行中に新しい変換が起動される。
		SAMPOVR	新しい変換がADCn.SAMPLEで未読試料を上書き
		RESOVR	新しい変換または累積がADCn.RESULTで未読結果を上書き
SAMPRDY	採取準備可割り込み	SAMPRDY	ADCn.SAMPLEで試料が利用可能
		WCMP	ADCn.CTRLDのWINSRCとWINCMによって定義されたとおりの時
RESRDY	結果準備可割り込み	RESRDY	ADCn.RESULTで結果が利用可能
		WCMP	ADCn.CTRLDのWINSRCとWINCMによって定義されたとおりの時

割り込み条件が起こると、割り込み要求ﾌﾗｸﾞ(ADCn.INTFLAGS)ﾚｼﾞｽﾀで対応する割り込み要求ﾌﾗｸﾞが設定(1)されます。

割り込み元は割り込み制御(ADCn.INTCTRL)ﾚｼﾞｽﾀで対応する許可ﾋﾞｯﾄに書くことによって許可または禁止されます。

割り込み要求は対応する割り込み元が許可され、割り込み要求ﾌﾗｸﾞが設定(1)される時に生成されます。割り込み要求は割り込み要求ﾌﾗｸﾞが解除(0)されるまで活性(1)に留まります。割り込み要求ﾌﾗｸﾞを解除(0)する方法の詳細についてはADCn.INTFLAGSﾚｼﾞｽﾀをご覧ください。

31.3.6. 休止形態動作

ADCはｱｲﾄﾞﾙ/ｽﾀﾝﾊﾞｲの休止動作へ行く前に変換を終えます。ADCは指令(ADCn.COMMAND)ﾚｼﾞｽﾀの変換開始(START)ﾋﾞｯﾄ領域が事象起動での変換開始に構成設定されていれば、ｱｲﾄﾞﾙ休止動作で変換を開始することができます。これは制御A(ADCn.CTRLA)ﾚｼﾞｽﾀのｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが設定(1)される場合にｽﾀﾝﾊﾞｲ休止動作でも可能です。

制御Aﾚｼﾞｽﾀで低遅延(LOWLAT)とRUNSTDBYの両ﾋﾞｯﾄが設定(1)される場合、休止中の消費電力増加を犠牲にして、より速く変換を開始するためにｽﾀﾝﾊﾞｲ休止動作中に必要とされる全ての単位部をONに保ちます。

ｼｽﾃﾑがﾊﾟﾜｰﾀﾞｳﾝ休止動作に入ると、ADCは進行中の変換を中断して直ちに休止動作に入ります。ﾊﾟﾜｰﾀﾞｳﾝ休止動作に移行するのに先立って変換が完了しているのを確実にしてください。

31.3.7. ﾃﾞﾊﾞｯｸﾞ操作

ﾃﾞﾊﾞｯｸﾞ制御(ADCn.DBGCTRL)ﾚｼﾞｽﾀのﾃﾞﾊﾞｯｸﾞ時走行(DBGRUN)ﾋﾞｯﾄが'1'を書かれる場合、ADCはCPUがﾃﾞﾊﾞｯｸﾞ動作で停止される時に動作を続けます。

CPUが停止する時にDBGRUNが'0'の場合、ADCが停止するまでに進行中の変換が終わります。

© 2023 Microchip Technology Inc.とその子会社

31.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY		LOWLAT					ENABLE
+$01	CTRLB	7～0					PRESC3~0			
+$02	CTRLC	7～0						REFSEL2~0		
+$03	CTRLD	7～0					WINSRC		WINCM2~0	
+$04	INTCTRL	7～0			TRIGOVR	SAMPOVR	RESOVR	WCMP	SAMPRDY	RESRDY
+$05	INTFLAGS	7～0			TRIGOVR	SAMPOVR	RESOVR	WCMP	SAMPRDY	RESRDY
+$06	STATUS	7～0								ADCBUSY
+$07	DBGCTRL	7～0								DBGRUN
+$08	CTRLE	7～0	SAMPDUR7~0							
+$09	CTRLF	7～0		CHOPPING	FREERUN	LEFTADJ	SAMPNUM3~0			
+$0A	COMMAND	7～0	DIFF		MODE2~0			START2~0		
+$0B	PGACTRL	7～0	GAIN2~0			PGABISASEL1,0				PGAEN
+$0C	MUXPOS	7～0	VIA1,0		MUXPOS5~0					
+$0D	MUXNEG	7～0	VIA1,0		MUXNEG5~0					
+$0E ～ +$0F	予約									
+$10	RESULT	7～0	RESULT7~0							
+$11		15～8	RESULT15~8							
+$12		23～16	RESULT23~16							
+$13		31～24	RESULT31~24							
+$14	SAMPLE	7～0	SAMPLE7~0							
+$15		15～8	SAMPLE15~8							
+$16 ～ +$17	予約									
+$18	TEMP0	7～0	TEMP7~0							
+$19	TEMP1	7～0	TEMP7~0							
+$1A	TEMP2	7～0	TEMP7~0							
+$1B	予約									
+$1C	WINLT	7～0	WINLT7~0							
+$1D		15～8	WINLT15~8							
+$1E	WINHT	7～0	WINHT7~0							
+$1F		15～8	WINHT15~8							

© 2023 Microchip Technology Inc.とその子会社

31.5. レジスタ説明

31.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY		LOWLAT					ENABLE
アクセス種別	R/W	R	R/W	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ時走行** (Run in Standby)

このビットはスタンバイ休止動作でADCが動くか否かを制御します。

値	0	1
説明	ADCはスタンバイ休止動作で動きません。進行中の変換はADCが休止動作に入る前に終わります。	ADCはスタンバイ休止動作で動きます。ADCが変換実行を起動されると、主クロックが要求されます。

● **ビット5 – LOWLAT : 低遅延** (Low Latency)

このビットはADCによって必要とされるアナログ単位部が継続的に許可されるかそれとも必要とされる時にだけかを制御します。

値	0	1
説明	ADCは変換を開始する時にだけ必要とされるアナログ単位部を許可し、これはADCの消費電力全体を減らし、ADC変換開始時の初期化時間を増します。	アナログ単位部はそれらがADCへの入力として選ばれる時に許可に留まります。この選択の使用はADCの初期化時間を最小にします。 注: LOWLATはADCが変換していない時に許可されたクロック元を維持せず、故にLOWLATが設定(1)されても、クロック始動遅延を経験するかもしれません。遅延を避けるため、クロック元が常に許可されるのを確実にしてください。

● **ビット0 – ENABLE : ADC許可** (ADC Enable)

このビットはADCが許可されるか否かを制御します。

値	0	1
説明	ADCは禁止されます。	ADCは許可されます。

31.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +$01
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
					PRESC3~0			
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3~0 – PRESC3~0 : 前置分周器** (Prescaler)

このビット領域は周辺機能クロック(CLK_PER)からADCクロック(CLK_ADC)への分周係数を制御します。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	DIV2	DIV4	DIV6	DIV8	DIV10	DIV12	DIV14	DIV16
説明	CLK_PER/2	CLK_PER/4	CLK_PER/6	CLK_PER/8	CLK_PER/10	CLK_PER/12	CLK_PER/14	CLK_PER/16
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	DIV20	DIV24	DIV28	DIV32	DIV40	DIV48	DIV56	DIV64
説明	CLK_PER/20	CLK_PER/24	CLK_PER/28	CLK_PER/32	CLK_PER/40	CLK_PER/48	CLK_PER/56	CLK_PER/64

© 2023 Microchip Technology Inc.とその子会社

31.5.3. CTRLC – 制御C (Control C)

名称 : CTRLC
変位 : +$02
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
						REFSEL2~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット2~0 – REFSEL2~0 : 参照基準選択** (Reference Selection)

このビット領域はADCに対する参照基準電圧を制御します。内部参照基準の1つへの変更は60µs初期化時間を必要とします。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	VDD	–	VREFA	–	1V024	2V048	4V096	2V500
説明	VDD	(予約)	外部VREFA参照基準	(予約)	内部1.024V参照基準	内部2.048V参照基準	内部4.096V参照基準	内部2.500V参照基準

注: 内部参照基準はVDD-0.5Vよりも低い場合にだけ使うことができます。

31.5.4. CTRLD – 制御D (Control D)

名称 : CTRLD
変位 : +$03
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
					WINSRC	WINCM2~0		
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット3 – WINSRC : 窓動作供給元** (Window Mode Source)

このビットは窓比較器によってどの供給元が使われるかを制御します。

値	0	1
名称	RESULT	SAMPLE
説明	窓比較器供給元としてADCn.RESULT15~0が使われます。	窓比較器供給元としてADCn.SAMPLE15~0が使われます。

● **ビット2~0 – WINCM2~0 : 窓比較器動作** (Window Comparator Mode)

このビット領域は窓比較器を許可するかどうかとどの閾値が割り込み要求フラグ(ADCn.INTFLAGS)レジスタの窓比較器割り込み要求(WCMP)フラグを設定(1)するかを制御します。

下表に於いて"出力"は窓動作供給元(WINSRC)によって選ばれた結果または採取です。WINLTとWINHTは各々、16ビット下側閾値と16ビット上側閾値です。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	その他
名称	NONE	BELOW	ABOVE	INSIDE	OUTSIDE	–
説明	窓比較器禁止	出力<WINLT	出力>WINHT	WINLT≦出力≦WINHT	出力<WINLTまたは出力>WINHT	(予約)

31.5.5. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +$04
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
			TRIGOVR	SAMPOVR	RESOVR	WCMP	SAMPRDY	RESRDY
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ5 – TRIGOVR : 起動超過割り込み許可** (Ttigger Overrun Interrupt Enable)

このﾋﾞｯﾄは起動超過に対する割り込みが許可されるか否かを制御します。

値	0	1
説明	起動超過割り込みが禁止されます。	起動超過割り込みが許可されます。

● **ﾋﾞｯﾄ4 – SAMPOVR : 採取上書き割り込み許可** (Sample Overwrite Interrupt Enable)

このﾋﾞｯﾄは採取上書きに対する割り込みが許可されるか否かを制御します。

値	0	1
説明	採取上書き割り込みが禁止されます。	採取上書き割り込みが許可されます。

● **ﾋﾞｯﾄ3 – RESOVR : 結果上書き割り込み許可** (Result Overwrite Interrupt Enable)

このﾋﾞｯﾄは結果上書きに対する割り込みが許可されるか否かを制御します。

値	0	1
説明	結果上書き割り込みが禁止されます。	結果上書き割り込みが許可されます。

● **ﾋﾞｯﾄ2 – WCMP : 窓比較器割り込み許可** (Window Comparator Interrupt Enable)

このﾋﾞｯﾄは窓比較器に対する割り込みが許可されるか否かを制御します。

値	0	1
説明	窓比較器割り込みが禁止されます。	窓比較器割り込みが許可されます。

● **ﾋﾞｯﾄ1 – SAMPRDY : 採取準備可割り込み許可** (Sample Ready Interrupt Enable)

このﾋﾞｯﾄは採取準備可割り込みが許可されるか否かを制御します。

値	0	1
説明	採取準備可割り込みが禁止されます。	採取準備可割り込みが許可されます。

● **ﾋﾞｯﾄ0 – RESRDY : 結果準備可割り込み許可** (Result Ready Interrupt Enable)

このﾋﾞｯﾄは結果準備可割り込みが許可されるか否かを制御します。

値	0	1
説明	結果準備可割り込みが禁止されます。	結果準備可割り込みが許可されます。

31.5.6. INTFLAGS – 割り込み要求ﾌﾗｸﾞ (Interrupt Flags)

名称 : INTFLAGS
変位 : +$05
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
			TRIGOVR	SAMPOVR	RESOVR	WCMP	SAMPRDY	RESRDY
ｱｸｾｽ種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 – TRIGOVR : 起動超過割り込み要求ﾌﾗｸﾞ** (Ttigger Overrun Interrupt Flag)

これに'1'を書くことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは変換が進行中に開始起動を受け取った時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは起動超過割り込み要求ﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ4 – SAMPOVR : 採取上書き割り込み要求ﾌﾗｸﾞ** (Sample Overwrite Interrupt Flag)

これに'1'を書くことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは採取(ADCn.SAMPLE)ﾚｼﾞｽﾀで未読採取(試料)が上書きされる時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは採取上書き割り込み要求ﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ3 – RESOVR : 結果上書き割り込み要求ﾌﾗｸﾞ** (Result Overwrite Interrupt Flag)

これに'1'を書くことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは結果(ADCn.RESULT)ﾚｼﾞｽﾀで未読採取(試料)が上書きされる時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは結果上書き割り込み要求ﾌﾗｸﾞを解除(0)します。

© 2023 Microchip Technology Inc.とその子会社

● ﾋﾞｯﾄ2 – WCMP : 窓比較器割り込み要求ﾌﾗｸﾞ (Window Comparator Interrupt Flag)

これに'1'を書くことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは変換または累積が完了し、閾値が制御D(ADCn.CTRLD)ﾚｼﾞｽﾀの窓動作供給元(WINSRC)と窓比較器動作(WINCM)によって設定される、選んだ窓比較器の供給元と動作に一致する時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは窓比較器割り込み要求ﾌﾗｸﾞを解除(0)します。

● ﾋﾞｯﾄ1 – SAMPRDY : 採取準備可割り込み要求ﾌﾗｸﾞ (Sample Ready Interrupt Flag)

これに'1'を書くこと、または採取(ADCn.SAMPLE)ﾚｼﾞｽﾀを読むことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは変換が完了して新しい採取(試料)の準備が整った時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは採取準備可割り込み要求ﾌﾗｸﾞを解除(0)します。

● ﾋﾞｯﾄ0 – RESRDY : 結果準備可割り込み要求ﾌﾗｸﾞ (Result Ready Interrupt Flag)

これに'1'を書くこと、または結果(ADCn.RESULT)ﾚｼﾞｽﾀを読むことによってこのﾌﾗｸﾞを解除(0)してください。このﾌﾗｸﾞは変換または累積が完了して新しい結果の準備が整った時に設定(1)されます。このﾋﾞｯﾄへの'0'書き込みは無効です。このﾋﾞｯﾄへの'1'書き込みは結果準備可割り込み要求ﾌﾗｸﾞを解除(0)します。

31.5.7. STATUS – 状態 (Status)

名称 : STATUS
変位 : +$06
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								ADCBUSY
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ0 – ADCBUSY : ADC多忙 (ADC Busy)

このﾋﾞｯﾄはADC変換が完了し、構成設定変更に関連する安定時間が終えられた時に解除(0)します。このﾋﾞｯﾄはADCが変換を行っている、または構成設定変更に関連する安定時間を待っている時にに設定(1)されます。

31.5.8. DBGCTRL – ﾃﾞﾊﾞｯｸﾞ制御 (Debug Control)

名称 : DBGCTRL
変位 : +$07
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
								DBGRUN
ｱｸｾｽ種別	R	R	R	R	R	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ0 – DBGRUN : ﾃﾞﾊﾞｯｸﾞ時走行 (Debug Run)

このﾋﾞｯﾄはﾃﾞﾊﾞｯｸﾞ動作でCPUが停止される時にADCが動作を続けるか否かを制御します。

値	0	1
説明	ADCはCPUが停止される時のﾃﾞﾊﾞｯｸﾞ動作で動作を続けません。進行中の変換や集中累積はADCが止まる前に終わります。	ADCはCPUが停止される時のﾃﾞﾊﾞｯｸﾞ動作で動作を続けます。

31.5.9. CTRLE – 制御E (Control E)

名称 : CTRLE
変位 : +$08
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SAMPDUR7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● ﾋﾞｯﾄ7~0 – SAMPDUR7~0 : 採取持続時間 (Sample Duration)

このﾋﾞｯﾄ領域はADCｸﾛｯｸ(CLK_ADC)周期数で入力採取持続時間を制御します。PGAなしでの採取持続時間は(SAMPDUR+½)CLK_ADC周期です。

© 2023 Microchip Technology Inc.とその子会社

PGAを使う場合、入力採取持続時間は(SAMPDUR+1)CLK_ADC周期で、同時にADC PGA採取持続時間(ADCPGASAMPDUR)はADCがどの位の長さPGAを採取するかを制御します。

PGAなしで内部参照基準を使う場合、SAMPDURは値≧4µs×f_{CLK_ADC}に設定されなければなりません。

31.5.10. CTRLF – 制御F (Control F)

名称 : CTRLF
変位 : +$09
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
		CHOPPING	FREERUN	LEFTADJ	SAMPNUM3~0			
ｱｸｾｽ種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ6 – CHOPPING : 符号刻み** (Sign Shopping)

このﾋﾞｯﾄは変位(ｵﾌｾｯﾄ)を減らすために符号刻みが許可されるかどうかを制御します。

単独動作は符号刻みを支援しません。

値	0	1
名称	DISABLE	ENABLE
説明	符号刻み禁止	符号刻み許可

● **ﾋﾞｯﾄ5 – FREERUN : 自由走行** (Free Running)

このﾋﾞｯﾄはADC自由走行動作が許可されるか否かを制御します。

継続累積動作は自由走行動作を支援しません。

値	0	1
名称	DISABLE	ENABLE
説明	ADC自由走行動作が禁止されます。	ADC自由走行動作が許可されます。直前の変換または累積が完了すると直ぐに新しい変換が開始します。

● **ﾋﾞｯﾄ4 – LEFTADJ : 左揃え** (Left Adjust)

このﾋﾞｯﾄはADC出力が左揃えされるか否かを制御します。

値	0	1
名称	DISABLE	ENABLE
説明	ADC出力左揃えが禁止されます。	ADC出力左揃えが許可されます。

● **ﾋﾞｯﾄ3~0 – SAMPNUM3~0 : 採取累積数選択** (Sample Accumulation Number Select)

このﾋﾞｯﾄ領域は自動的に結果(ADCn.RESULT)ﾚｼﾞｽﾀに累積される連続するADC採取数を制御します。ADC採取(ADCn.SAMPLE)ﾚｼﾞｽﾀで最新の採取が利用可能です。

値	0000	0001	0010	0011	0100
名称	NONE	ACC2	ACC4	ACC8	ACC16
説明	累積なし、変換結果毎に単一採取	2採取累積	4採取累積	8採取累積	16採取累積

値	0101	0110	0111	1000	1001	1010	その他
名称	ACC32	ACC64	ACC128	ACC256	ACC512	ACC1024	–
説明	32採取累積	64採取累積	128採取累積	256採取累積	512採取累積	1024採取累積	(予約)

© 2023 Microchip Technology Inc.とその子会社

31.5.11. COMMAND – 指令 (Command)

名称 : COMMAND
変位 : +$0A
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	DIFF	MODE2~0				START2~0		
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – DIFF : 差動** (Differential)

このﾋﾞｯﾄはADC変換がｼﾝｸﾞﾙ ｴﾝﾄﾞまたは差動のどちらかを制御します。

値	0	1
説明	符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ変換。正入力多重器(ADCn.MUXPOS)ﾚｼﾞｽﾀだけが使われます。	符号付き差動変換。正入力多重器(ADCn.MUXPOS)と負入力多重器(ADCn.MUXNEG)の両ﾚｼﾞｽﾀが使われます。

● **ﾋﾞｯﾄ6~4 – MODE2~0 : 動作形態** (Mode)

このﾋﾞｯﾄ領域はADCに対する変換動作を制御します。累積動作の1つから単独動作への切り替えは累積器をﾘｾｯﾄします。

値	名称	説明
0 0 0	SINGLE_8BIT	8ﾋﾞｯﾄ分解能での単独変換
0 0 1	SINGLE_12BIT	12ﾋﾞｯﾄ分解能での単独変換
0 1 0	SERIES	継続累積、毎回の12ﾋﾞｯﾄ変換に対して独立した起動
0 1 1	SERIES_SCALING	継続累積と尺度調整、毎回の12ﾋﾞｯﾄ変換に対して独立した起動
1 0 0	BURST	集中累積。1回の起動が一続きで採取数(SAMPNUM)回の12ﾋﾞｯﾄ変換を実行
1 0 1	BURST_SCALING	集中累積と尺度調整。1回の起動が一続きで採取数(SAMPNUM)回の12ﾋﾞｯﾄ変換を実行
その他	–	(予約)

● **ﾋﾞｯﾄ2~0 – START2~0 : 変換開始** (Start Conversion)

このﾋﾞｯﾄ領域はADC変換を開始または停止するか、またはADC変換をどう開始するかを制御します。

値	名称	説明
0 0 0	STOP	進行中の変換を停止
0 0 1	IMMEDIATE	直ちに変換開始。これは自由走行動作が許可されていない限り、変換終了時にSTOPに戻します。
0 1 0	MUXPOS_WRITE	正入力多重器(MUXPOS)ﾚｼﾞｽﾀ書き込み終了時に開始
0 1 1	MUXNEG_WRITE	負入力多重器(MUXNEG)ﾚｼﾞｽﾀ書き込み終了時に開始
1 0 0	EVENT_TRIGGER	事象がADCによって受け取られる時に開始
その他	–	(予約)

注: 制御A(ADCn.CTRLA)ﾚｼﾞｽﾀのADC許可(ENABLE)ﾋﾞｯﾄが'0'なら、STARTﾋﾞｯﾄ領域にIMMEDIATEを書くと、自動的にSTOPを設定します。

31.5.12. PGACTRL – PGA制御 (PGA Control)

名称 : PGACTRL
変位 : +$0B
ﾘｾｯﾄ : $04
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	GAIN2~0			PGABIASSEL1,0				PGAEN
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R	R	R/W
ﾘｾｯﾄ値	0	0	0	0	0	1	0	0

● **ﾋﾞｯﾄ7~5 – GAIN2~0 : 利得** (Gain)

このﾋﾞｯﾄ領域はPGA利得設定を制御します。

© 2023 Microchip Technology Inc.とその子会社

値	000	001	010	011	100	101	110	111
名称	1X	2X	4X	8X	16X	–	–	–
説明	1倍利得	2倍利得	4倍利得	8倍利得	16倍利得	(予約)	(予約)	(予約)

● **ﾋﾞｯﾄ4,3 – PGABIASSEL1,0 : PGAﾊﾞｲｱｽ選択** (PGA Bias Select)

このﾋﾞｯﾄ領域はPGAへ供給されるﾊﾞｲｱｽ電流を制御します。

値	00	01	10	11
名称	100PCT	75PCT	50PCT	25PCT
説明	100%ﾊﾞｲｱｽ電流 f_{CLK_ADC}≦6MHzで使用可	75%ﾊﾞｲｱｽ電流 f_{CLK_ADC}≦4.5MHzで使用可	50%ﾊﾞｲｱｽ電流 f_{CLK_ADC}≦3MHzで使用可	25%ﾊﾞｲｱｽ電流 f_{CLK_ADC}≦1.5MHzで使用可

● **ﾋﾞｯﾄ0 – PGAEN : PGA許可** (PGA Enable)

このﾋﾞｯﾄは窓比較器によってどの供給元が使われるかを制御します。入力多重器(ADCn.MUXPOSまたはADCn.MUXNEG)ﾚｼﾞｽﾀの経由(VIA)ﾋﾞｯﾄ領域によって選ばれた時にPGAが許可されるか否かを制御します。

値	0	1
説明	PGAが禁止されます。	PGAが許可されます。

注: 例えVIAﾋﾞｯﾄ領域によって選ばれていなくても、制御A(ADCn.CTRLA)ﾚｼﾞｽﾀの低遅延(LOWLAT)とPGAENの両方が'1'の場合、PGAは継続的にONです。これはADCがPGAを使うように構成設定する場合に初期化時間をなくします。

31.5.13. MUXPOS – 正入力多重器 (Positive Input Multiplexer)

名称 : MUXPOS
変位 : +$0C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	VIA1,0		MUXPOS2~0					
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – VIA1,0 : 経由** (Via PGA)

このﾋﾞｯﾄ領域はｱﾅﾛｸﾞ入力がどうADCに接続されるかを制御します。

値	00	01	その他
名称	DIRECT	PGA	–
説明	ADCへ直接接続される入力	PGA経由でADCへ接続される入力	(予約)

注: MUXPOSとMUXNEGのVIAﾋﾞｯﾄ領域は共有され、故に2つのﾚｼﾞｽﾀの1つのVIAﾋﾞｯﾄ領域に書かれた値は両方で更新されます。従って、PGAを使う一方の入力とPGAを使わない他方を持つことはできません。

● **ﾋﾞｯﾄ5~0 – MUXPOS5~0 : 正入力多重器** (Positive Input Multiplexer)

このﾋﾞｯﾄ領域はどのｱﾅﾛｸﾞ入力がADC/PGAの正入力に接続されるかを制御します。この設定の変更は幾らかの安定時間を必要とします。更なる詳細については「電気的特性」章を参照してください。

値	$00～$0B	$10～$1F	$30	$31	$32	$38	その他
名称	AIN0～AIN11	AIN16～AIN31	GND	VDDDIV10	TEMPSENSE	DAC0	–
説明	ADC入力0～11ﾋﾟﾝ	ADC入力16～31ﾋﾟﾝ	接地	VDD/10	温度感知器	D/A変換器0	(予約)

© 2023 Microchip Technology Inc.とその子会社

31.5.14. MUXNEG – 負入力多重器 (Negative Input Multiplexer)

名称 : MUXNEG
変位 : +$0D
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	VIA1,0		MUXNEG2~0					
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7,6 – VIA1,0 : 経由** (Via PGA)

このﾋﾞｯﾄ領域はｱﾅﾛｸﾞ入力がどうADCに接続されるかを制御します。

値	0 0	0 1	その他
名称	DIRECT	PGA	–
説明	ADCへ直接接続される入力	PGA経由でADCへ接続される入力	(予約)

注: MUXPOSとMUXNEGのVIAﾋﾞｯﾄ領域は共有され、故に2つのﾚｼﾞｽﾀの1つのVIAﾋﾞｯﾄ領域に書かれた値は両方で更新されます。
従って、PGAを使う一方の入力とPGAを使わない他方を持つことはできません。

● **ﾋﾞｯﾄ5~0 – MUXNEG5~0 : 負入力多重器** (Negative Input Multiplexer)

このﾋﾞｯﾄ領域はどのｱﾅﾛｸﾞ入力がADC/PGAの負入力に接続されるかを制御します。この設定の変更は幾らかの安定時間を必要とします。更なる詳細については「電気的特性」章を参照してください。

値	$00～$0B	$10～$1F	$30	$38	$39	$3A	その他
名称	AIN0～AIN11	AIN16～AIN31	GND	DAC0	DACREF0	DACREF1	–
説明	ADC入力0～11ﾋﾟﾝ	ADC入力16～31ﾋﾟﾝ	接地	D/A変換器0	AC0からのDACREF	AC1からのDACREF	(予約)

31.5.15. RESULT – 結果 (Result)

名称 : RESULT (RESULT3,RESULT2,RESULT1,RESULT0)
変位 : +$10
ﾘｾｯﾄ : $00000000
特質 : –

ADCn.RESULT0～ADCn.RESULT3のﾚｼﾞｽﾀは32ﾋﾞｯﾄ値のADCn.RESULTを表します。最下位ﾊﾞｲﾄ(ﾋﾞｯﾄ7～0、接尾辞0)は変位原点でｱｸｾｽできます。n高いﾊﾞｲﾄ(ﾋﾞｯﾄ31～8)は変位+nでｱｸｾｽすることができます。

このﾚｼﾞｽﾀからの出力の詳細については「出力形式」項を参照してください。

ﾋﾞｯﾄ	31	30	29	28	27	26	25	24
	RESULT31~24							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	23	22	21	20	19	18	17	16
	RESULT23~16							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	RESULT15~8							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RESULT7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ31~24 – RESULT31~24 : 結果ﾊﾞｲﾄ3** (Result byte 3)

このﾋﾞｯﾄ領域はADCn.RESULTﾚｼﾞｽﾀの最上位ﾊﾞｲﾄを構成します。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ23~16 – RESULT23~16 : 結果ﾊﾞｲﾄ2** (Result byte 2)

このﾋﾞｯﾄ領域はADCn.RESULTﾚｼﾞｽﾀの第3ﾊﾞｲﾄを構成します。

● **ﾋﾞｯﾄ15~8 – RESULT15~8 : 結果ﾊﾞｲﾄ1** (Result byte 1)

このﾋﾞｯﾄ領域はADCn.RESULTﾚｼﾞｽﾀの第2ﾊﾞｲﾄを構成します。

● **ﾋﾞｯﾄ7~0 – RESULT7~0 : 結果ﾊﾞｲﾄ0** (Result byte 0)

このﾋﾞｯﾄ領域はADCn.RESULTﾚｼﾞｽﾀの最下位ﾊﾞｲﾄを構成します。

31.5.16. SAMPLE – 採取 (Sample)

名称 : SAMPLE (SAMPLEH,SAMPLEL)
変位 : +$14
ﾘｾｯﾄ : $0000
特質 : –

ADCn.SAMPLEHとADCn.SAMPLELのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値のADCn.SAMPLEを表します。下位ﾊﾞｲﾄ(ﾋﾞｯﾄ7～0、接尾辞L)は変位原点でｱｸｾｽできます。上位ﾊﾞｲﾄ(ﾋﾞｯﾄ15～8、接尾辞H)は変位+1でｱｸｾｽすることができます。

このﾚｼﾞｽﾀからの出力の詳細については「出力形式」項を参照してください。

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8
	SAMPLE15~8							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	SAMPLE7~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ15~8 – SAMPLE15~8 : 採取上位ﾊﾞｲﾄ** (Sample high byte)

このﾋﾞｯﾄ領域はこの16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄを構成します。

● **ﾋﾞｯﾄ7~0 – SAMPLE7~0 : 採取下位ﾊﾞｲﾄ** (Sample low byte)

このﾋﾞｯﾄ領域はこの16ﾋﾞｯﾄ ﾚｼﾞｽﾀのの下位ﾊﾞｲﾄを構成します。

31.5.17. TEMPn – 一時n (Temporary n)

名称 : TEMP0 : TEMP1 : TEMP2
変位 : +$18 : +$19 : +$1A
ﾘｾｯﾄ : $00
特質 : –

一時ﾚｼﾞｽﾀはこの周辺機能の16ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀへの単一周期ｱｸｾｽのためにCPUによって使われます。このﾚｼﾞｽﾀはこの周辺機能の全ての16ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀに対して共通で、ｿﾌﾄｳｪｱによって読み書きすることができます。16ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀの読み書きのより多くの詳細については「ﾒﾓﾘ」章の「24ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	TEMP7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値** (Temporary)

16ﾋﾞｯﾄと32ﾋﾞｯﾄのﾚｼﾞｽﾀに対する読み書き用の一時的なﾋﾞｯﾄ領域。

© 2023 Microchip Technology Inc.とその子会社

31.5.18. WINLT – 窓比較器下側閾値 (Window Comparator Low Threshold)

名称 : WINLT (WINLTH,WINLTL)
変位 : +$1C
リセット : $0000
特質 : –

このレジスタはADCの結果または採取(ADCn.RESULTまたはADCn.SAMPLE)のレジスタを監視するデジタル比較器用の16ビット下側閾値です。データ形式は変換動作形態と左揃え設定に従わなければなりません。

ADCn.WINLTHとADCn.WINLTLのレジスタ対は16ビット値のADCn.WINLTを表します。下位バイト(ビット7～0、接尾辞L)は変位原点でアクセスできます。上位バイト(ビット15～8、接尾辞H)は変位+1でアクセスすることができます。

累積動作でADC結果レジスタ監視時、窓比較器閾値は全ての累積と任意選択の尺度調整が済んだ後の結果に対して適用されます。

ビット	15	14	13	12	11	10	9	8
	WINLT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	WINLT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- **ビット15~8 – WINLT15~8 : 窓比較器下側閾値上位バイト** (Window Comparator Low Threshold high byte)

このビット領域は16ビット レジスタの上位バイトを保持します。

- **ビット7~0 – WINLT7~0 : 窓比較器下側閾値下位バイト** (Window Comparator Low Threshold low byte)

このビット領域は16ビット レジスタの下位バイトを保持します。

31.5.19. WINHT – 窓比較器上側閾値 (Window Comparator High Threshold)

名称 : WINHT (WINHTH,WINHTL)
変位 : +$14
リセット : $0000
特質 : –

このレジスタはADCの結果または採取(ADCn.RESULTまたはADCn.SAMPLE)のレジスタを監視するデジタル比較器用の16ビット上側閾値です。データ形式は変換動作形態と左揃え設定に従わなければなりません。

ADCn.WINHTHとADCn.WINHTLのレジスタ対は16ビット値のADCn.WINHTを表します。下位バイト(ビット7～0、接尾辞L)は変位原点でアクセスできます。上位バイト(ビット15～8、接尾辞H)は変位+1でアクセスすることができます。

累積動作でADC結果レジスタ監視時、窓比較器閾値は全ての累積と任意選択の尺度調整が済んだ後の結果に対して適用されます。

ビット	15	14	13	12	11	10	9	8
	WINHT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	WINHT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- **ビット15~8 – WINHT15~8 : 窓比較器上側閾値上位バイト** (Window Comparator High Threshold high byte)

このビット領域は16ビット レジスタの上位バイトを保持します。

- **ビット7~0 – WINHT7~0 : 窓比較器上側閾値下位バイト** (Window Comparator High Threshold low byte)

このビット領域は16ビット レジスタの下位バイトを保持します。

© 2023 Microchip Technology Inc.とその子会社

32. DAC – D/A変換器

32.1. 特徴

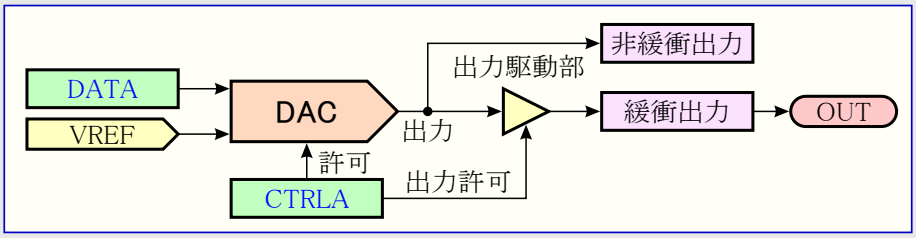
- 10ﾋﾞｯﾄ分解能
- 高い駆動能力
- DAC出力は他のｱﾅﾛｸﾞ周辺機能への入力として使用可能

32.2. 概要

ﾃﾞｼﾞﾀﾙ/ｱﾅﾛｸﾞ変換器(DAC)はﾃﾞｰﾀ(DACn.DATA)ﾚｼﾞｽﾀに書かれたﾃﾞｼﾞﾀﾙ値をｱﾅﾛｸﾞ電圧に変換します。変換範囲はGNDと基準電圧(VREF)で選んだ電圧参照基準間です。DACは高い駆動能力を持つ1つの連続時間出力を持ちます。ﾃﾞｰﾀ(DACn. DATA)ﾚｼﾞｽﾀに書くことによって応用からDAC変換を開始してください。

32.2.1. 構成図

図32-1. DAC構成図



32.2.2. 信号説明

信号	形式	説明
OUT	ｱﾅﾛｸﾞ出力	D/A変換器出力

32.3. 機能的な説明

32.3.1. 初期化

DACを操作するには、以下の手順が必要とされます。

1. 適切な参照基準選択ﾋﾞｯﾄを書くことによって基準電圧(VREF)周辺機能でDAC参照基準電圧を選んでください。
2. DAC出力の更なる使い方を構成設定してください。
   - DAC出力を使う内部周辺機能を構成設定してください。各々の周辺機能の記述を参照してください。
   - 制御A(DACn.CTRLA)ﾚｼﾞｽﾀの出力緩衝部許可(OUTEN)ﾋﾞｯﾄに'1'を書くことによってﾋﾟﾝへの出力を許可してください。DACﾋﾟﾝ用の入力はPORT周辺機能で禁止(PORTx.PINnCTRLのISC=INPUT_DISABLEに)されなければなりません。
3. 初期ﾃﾞｼﾞﾀﾙ値をﾃﾞｰﾀ(DACn.DATA)ﾚｼﾞｽﾀに書いてください。
4. 制御A(DACn.CTRLA)ﾚｼﾞｽﾀのDAC許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによってDACを許可してください。

32.3.2. 動作

32.3.2.1. 許可、禁止、ﾘｾｯﾄ

DACは制御A(DACn.CTRLA)ﾚｼﾞｽﾀのDAC許可(ENABLE)ﾋﾞｯﾄに'1'を書くことによって許可され、このﾋﾞｯﾄに'0'を書くことによって禁止されます。

32.3.2.2. 変換開始

制御A(DACn.CTRLA)ﾚｼﾞｽﾀのDAC許可(ENABLE)ﾋﾞｯﾄが'1'の時にﾃﾞｰﾀ(DACn.DATA)ﾚｼﾞｽﾀが書かれると、直ぐに変換が始まります。

DACn.CTRLAﾚｼﾞｽﾀのENABLEﾋﾞｯﾄが'0'の時のDACn.DATAﾚｼﾞｽﾀ書き込みは変換を起動しません。代わりに、DACn.CTRLAﾚｼﾞｽﾀのENABLEﾋﾞｯﾄが'1'の時に変換が始まります。

32.3.2.3. DAC出力電圧 (訳補:次頁の脚注をご覧ください。)

DAC周辺機能からのｱﾅﾛｸﾞ出力電圧はDACn.OUTﾋﾟﾝで見つかります。詳細については「入出力多重化と考察」章をご覧ください。

次式はDAC出力電圧を定義します。

$$\text{DACn出力電圧} = \left(\frac{\text{DACn.DATA}}{1024}\right) \times \text{DAC参照基準電圧}$$

DATAﾚｼﾞｽﾀに入った10ﾋﾞｯﾄ値は正しい電圧割合を得るためにﾚｼﾞｽﾀの最大値(10ﾋﾞｯﾄ最大値は2^{10}=1024)によって割られなければなりません。

© 2023 Microchip Technology Inc.とその子会社

得られる最大値はDATA=2^{10}の時で、結果として電圧は選んだDAC参照基準電圧になります。
最小の結果はDATA=0の時で、出力は0です。
電圧出力に対する段階量は $\frac{\text{DAC参照基準電圧}}{1024}$ Vです。

32.3.2.4. DAC出力

DACはﾋﾟﾝへの出力と下表で示される周辺機能への入力として使うことができます。

DAC出力	周辺機能入力	注記
非緩衝	A/D変換器(ADC)	周辺機能は非緩衝DAC出力に接続されます。「32.3.2.4.1. 内部周辺機能用供給元としての非緩衝出力」項をご覧ください。
緩衝	–	周辺機能はDAC出力ﾋﾟﾝに接続されます。「32.3.2.4.2. 緩衝出力」項をご覧ください。

32.3.2.4.1. 内部周辺機能用供給元としての非緩衝出力

DACの非緩衝ｱﾅﾛｸﾞ出力は制御A(DACn.CTRLA)ﾚｼﾞｽﾀのDAC許可(ENABLE)ﾋﾞｯﾄが'1'の時に内部周辺機能に対する供給元として使うことができます。
DACの非緩衝ｱﾅﾛｸﾞ出力だけを使う時は、DACn.CTRLAの出力緩衝部許可(OUTEN)ﾋﾞｯﾄを'0'にすることができ、DAC出力ﾋﾟﾝを他の周辺機能によって使われるように自由にします。

32.3.2.4.2. 緩衝出力

制御A(DACn.CTRLA)ﾚｼﾞｽﾀの出力緩衝部許可(OUTEN)ﾋﾞｯﾄに'1'を書くことによってDACの緩衝ｱﾅﾛｸﾞ出力を許可してください。DACn.CTRLAの出力緩衝部範囲(OUTRANGE)ﾋﾞｯﾄ領域に書くことによって出力緩衝部範囲を構成設定してください。DAC出力緩衝部の駆動能力についての情報に関しては「電気的特性」章を参照してください。

注: 消費電力を減らすため、DAC出力ﾋﾟﾝはPORT周辺機能でそれの禁止された入力を持たなければなりません。どのﾋﾟﾝがDAC出力によって使われるかを判定するには「入出力多重化と考察」章を参照してください。

32.3.3. 休止形態動作

制御A(DACn.CTRLA)ﾚｼﾞｽﾀのｽﾀﾝﾊﾞｲ時走行(RUNSTDBY)ﾋﾞｯﾄが'1'の場合、DACはｽﾀﾝﾊﾞｲ休止動作で動作を続けます。RUNSTDBYﾋﾞｯﾄが'0'の場合、DACはｽﾀﾝﾊﾞｲ休止動作で変換を停止します。
ｽﾀﾝﾊﾞｲ休止動作で変換が停止された場合、消費電力を減らすためにDACと出力緩衝部が禁止されます。ﾃﾞﾊﾞｲｽがｽﾀﾝﾊﾞｲ休止動作を止めると、DACと(DACn.CTRLAﾚｼﾞｽﾀで出力緩衝部許可(OUTEN)ﾋﾞｯﾄが'1'なら)出力緩衝部が再び許可されます。従って、新しい変換が始められるのに先立って始動時間が必要とされます。
ﾊﾟﾜｰﾀﾞｳﾝ休止動作では、消費電力を減らすためにDACと出力緩衝部が禁止されます。

(訳注) 32.3.2.3.項で10ﾋﾞｯﾄのDATAﾚｼﾞｽﾀの最大値が1024とされていますが、実際は1023です。10ﾋﾞｯﾄで表せる数は0～1023の1024種で、最大値は1023です。これは理屈上の説明か、または誤りでしょう。ここでは単に0～基準電圧間を1024分割していると言うことを説明しているだけと考えられます。他の資料でも一貫して出力値は(DATA/1024)×基準電圧と記載されているので、実際の最高出力電圧は(1023/1024)×基準電圧と思われます。別の見方ですが、基準電圧自体の誤差を考慮すると、1 LSBの誤差は問題にならないとの考えかもしれません。

© 2023 Microchip Technology Inc.とその子会社

32.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	CTRLA	7～0	RUNSTDBY	OUTEN	OUTRANGE1,0					ENABLE
+$01	予約									
+$02	DATA	7～0	DATA1,0							
+$03		15～8	DATA9~2							

© 2023 Microchip Technology Inc.とその子会社

32.5. レジスタ説明

32.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +$00
リセット : $00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY	OUTEN	OUTRANGE1,0					ENABLE
アクセス種別	R/W	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7 – RUNSTDBY : スタンバイ動作時走行** (Run in Standby Mode)
このビットが'0'を書かれた場合、デバイスがスタンバイ休止動作に入る時にDACや出力緩衝部が自動的に禁止されます。

● **ビット6 – OUTEN : 出力緩衝部許可** (Output Buffer Enable)
このビットへの'1'書き込みは出力緩衝部を許可してOUT信号をピンへ送ります。

● **ビット5,4 – OUTRANGE1,0 : 出力緩衝部範囲** (Output Buffer Range)
このビット領域は出力緩衝部の範囲を制御します。出力緩衝部範囲はデータ(DACn.DATA)レジスタの低位値(LOW)、上位DATA値(HIGH)、またはこれら2つの設定間の交互切替(FULL)に最適化することができます。交互切替はDATAレジスタの最上位ビット(MSb)によって起動されます。各種ビット領域値に対するDAC出力緩衝部の駆動能力については「電気的特性」章を参照してください。

値	0 0	0 1	1 0	1 1
名称	FULL	–	LOW	HIGH
説明	全出力緩衝部範囲	(予約)	低出力緩衝部範囲	高出力緩衝部範囲

● **ビット0 – ENABLE : DAC許可** (DAC Enable)
このビットへの'1'書き込みがDACを許可します。

32.5.2. DATA – データ (Data)

名称 : DATA (DATAH,DATAL)
変位 : +$02
リセット : $0000
特質 : –

DACn.DATAHとDACn.DATALのレジスタ対は次のように10ビット値のDACn.DATAを表します。

- DACn.DATA9～2 = (変位+1でアクセスすることができる) DACn.DATAH
- DACn.DATA1,0 = (変位原点でアクセスすることができる) DACn.DATAL

出力はDACn.DATAHが書かれた後に更新されます。

ビット	15	14	13	12	11	10	9	8
	DATA9～2							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
	DATA1,0							
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● **ビット15～6 – DATA9～0 : データ** (Data)
これらのビットはアナログ電圧に変換してDAC出力に送るデジタル データを含みます。

© 2023 Microchip Technology Inc.とその子会社

33. UPDI – 統一ﾌﾟﾛｸﾞﾗﾑ/ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ

33.1. 特徴

- 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ(OCD)用UPDI単線ｲﾝﾀｰﾌｪｰｽ
  - 高電圧またはﾋｭｰｽﾞによるﾌﾟﾛｸﾞﾗﾐﾝｸﾞ許可
  - UPDI機能の許可にRESETﾋﾟﾝとﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用にﾃﾞﾊﾞｲｽの1つのUPDIﾋﾟﾝを使用
  - 書き込み器に対する非同期半二重UART規約
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - 組み込み誤り検出と誤り識票生成
  - より速いﾌﾟﾛｸﾞﾐﾝｸﾞのための応答生成無効
- ﾃﾞﾊﾞｯｸﾞ
  - ﾃﾞﾊﾞｲｽのｱﾄﾞﾚｽ空間(NVM,RAM,I/O)に対するﾒﾓﾘ割り当てｱｸｾｽ
  - ﾃﾞﾊﾞｲｽのｸﾛｯｸ周波数での制限なし
  - 制限なしの使用者ﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - 2つのﾊｰﾄﾞｳｪｱ中断点
  - 高度なOCD機能に対する支援
    - ｺｰﾄﾞ鑑定のためのCPUﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)、ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の走行時読み出し
    - CRCでの中断/停止状況の検出と合図
    - 実行、停止、ﾘｾｯﾄのﾃﾞﾊﾞｯｸﾞ命令用ﾌﾟﾛｸﾞﾗﾑの流れ制御
  - ｼｽﾃﾑ ﾚｼﾞｽﾀのｱｸｾｽなしでの非干渉走行時ﾁｯﾌﾟ監視
  - 施錠されたﾃﾞﾊﾞｲｽでのﾌﾗｯｼｭ ﾒﾓﾘのCRC検査結果を読むためのｲﾝﾀｰﾌｪｰｽ

33.2. 概要

統一ﾌﾟﾛｸﾞﾗﾑ/ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ(UPDI)は外部書き込み器とﾃﾞﾊﾞｲｽのOCD用の専用ｲﾝﾀｰﾌｪｰｽです。

UPDIは不揮発性ﾒﾓﾘ(NVM)空間のﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、そして使用者列のﾌﾟﾛｸﾞﾗﾐﾝｸﾞを支援します。いくつかのﾒﾓﾘ割り当てﾚｼﾞｽﾀは許可された正しいｱｸｾｽ特権(鍵、施錠ﾋﾞｯﾄ)でだけ、そしてOCD停止動作または特定のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でだけｱｸｾｽ可能です。これらの動作はUPDIに正しい鍵を送ることによって解錠されます。NVM制御器経由のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとNVM制御器指令の実行については「NVMCTRL – 不揮発性ﾒﾓﾘ制御器」章をご覧ください。

UPDIは3つの分離された規約層、UPDI物理(PHY)層、UPDIﾃﾞｰﾀ ﾘﾝｸ(DL)層、UPDIｱｸｾｽ(ACC)層に分割されます。既定PHY層は接続された書き込み器/ﾃﾞﾊﾞｯｶﾞに対してUPDIﾋﾟﾝ線を渡る双方向UART通信を扱い、単線通信動作で到着ﾃﾞｰﾀ ﾌﾚｰﾑでのﾃﾞｰﾀ再生とｸﾛｯｸ再生を提供します。受け取った命令と対応するﾃﾞｰﾀはDL層によって処理され、復号された命令に基づいてACC層との通信の準備をします。ｼｽﾃﾑ ﾊﾞｽとﾒﾓﾘ割り当てﾚｼﾞｽﾀへのｱｸｾｽはACC層を通して許されます。

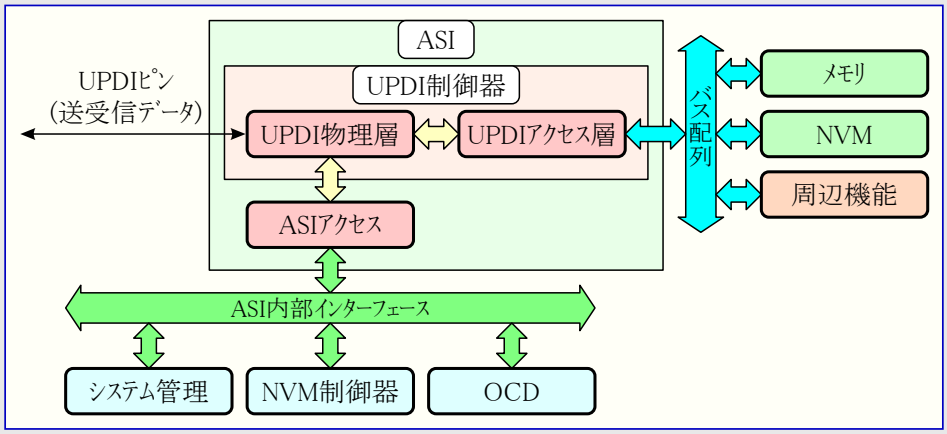
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞはﾃﾞｰﾀの受信と送信に対して専用のUPDIﾋﾟﾝを使う半二重ｲﾝﾀｰﾌｪｰｽに基づく単線UARTのPHY層を通して行われます。PHY層のｸﾛｯｸ駆動は専用内部発振器によって行われます。

ACC層はUPDIと接続されたﾊﾞｽ配列間のｲﾝﾀｰﾌｪｰｽです。この層はﾒﾓﾘ、NVM、周辺機能のようなｼｽﾃﾑ部へのﾒﾓﾘ割り当てｱｸｾｽを持つﾊﾞｽ配列に対してUPDI経由でのｱｸｾｽを許します。

非同期ｼｽﾃﾑ ｲﾝﾀｰﾌｪｰｽ(ASI:Asynchronous System Interface)はOCD、NVM、ｼｽﾃﾑ管理系で機能を選ぶための直接ｲﾝﾀｰﾌｪｰｽｱｸｾｽを提供し、これはﾊﾞｽ ｱｸｾｽを要求することなく、ｼｽﾃﾑ情報への直接ｱｸｾｽをﾃﾞﾊﾞｯｶﾞに与えます。

33.2.1. 構成図

図33-1. UPDI構成図



© 2023 Microchip Technology Inc.とその子会社

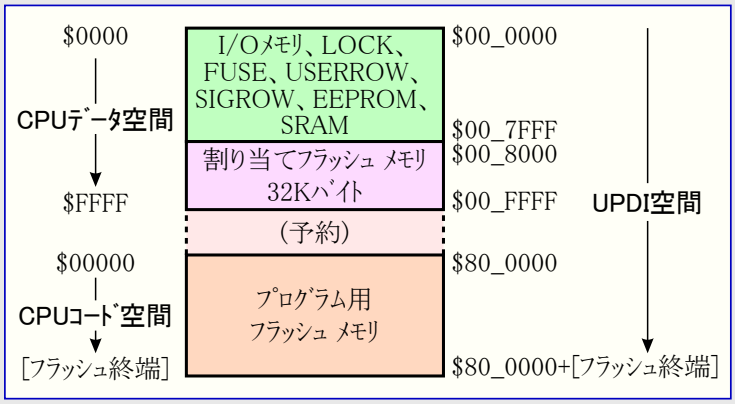
33.2.2. ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間のｱﾄﾞﾚｽ指定

CPUﾃﾞｰﾀ空間で、I/Oﾒﾓﾘ、ﾋｭｰｽﾞ、EEPROM、SRAMは$0000～$7FFFのｱﾄﾞﾚｽに置かれます。加えて、(32Kﾊﾞｲﾄまでの)ﾌﾗｯｼｭ ﾒﾓﾘの部分は$8000～$FFFFのｱﾄﾞﾚｽに割り当てることができます。これらのｱﾄﾞﾚｽ($0000～$FFFF)はUPDI周辺機能によるｱｸｾｽに対しても有効です。

CPUｺｰﾄﾞ空間、即ち、ﾌﾗｯｼｭ ﾒﾓﾘ全体は相対ｱﾄﾞﾚｽ$0000から始まるLPM/SPM命令を使ってCPUによってｱｸｾｽすることができます。UPDIによるｱｸｾｽについてはCPUﾃﾞｰﾀ空間とCPUｺｰﾄﾞ空間が仮想的に1つの続いたｱﾄﾞﾚｽ空間で、ｺｰﾄﾞ空間は常に$80_0000の変位ｱﾄﾞﾚｽで始まります。

与えられたﾃﾞﾊﾞｲｽでのﾒﾓﾘ空間の正確なｱﾄﾞﾚｽとより多くの詳細については「ﾒﾓﾘ」章をご覧ください。

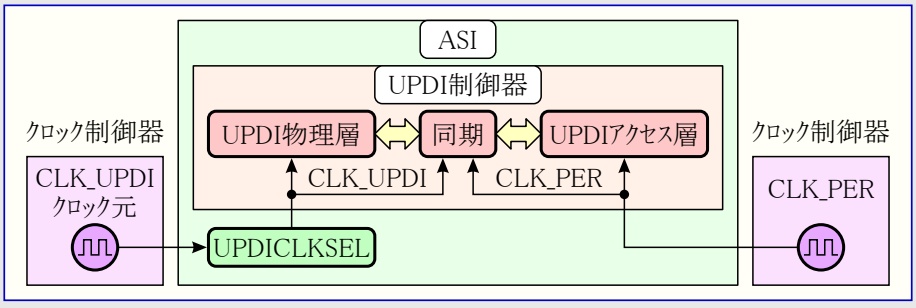
図33-2. UPDIから見たﾒﾓﾘ割り当て



33.2.3. ｸﾛｯｸ

PHY層とACC層は違うｸﾛｯｸ領域で動くことができます。PHY層ｸﾛｯｸは専用内部発振器から得られ、ACC層ｸﾛｯｸは周辺機能ｸﾛｯｸと同じです。PHY層とACC層間にはｸﾛｯｸ領域間の正しい動作を保証する同期境界があります。UPDIｸﾛｯｸ出力周波数はASIを通して選ばれ、UPDI許可またはﾘｾｯﾄ後の既定UPDIｸﾛｯｸ始動周波数は4MHzです。UPDIｸﾛｯｸ周波数はASI制御A(UPDI,ASI_CTRLA)ﾚｼﾞｽﾀのUPDIｸﾛｯｸ分周器選択(UPDICLKSEL)ﾋﾞｯﾄ領域を書くことによって変更することができます。

図33-3. UPDIｸﾛｯｸ領域



33.2.4. 物理層

PHY層は接続された書き込み器/ﾃﾞﾊﾞｯｶﾞとﾃﾞﾊﾞｲｽ間の通信ｲﾝﾀｰﾌｪｰｽです。PHY層の主な機能は次のように要約することができます。

- UPDIﾋﾟﾝで半二重UART通信を使い、UPDI単線非同期動作を支援
- 内部ﾎﾞｰﾚｰﾄ検出、UARTﾌﾚｰﾑでのｸﾛｯｸとﾃﾞｰﾀの再生
- 異常検出(ﾊﾟﾘﾃｨ、ｸﾛｯｸ再生、ﾌﾚｰﾑ、ｼｽﾃﾑ異常)
- 送信応答生成(ACK)
- 動作中の異常識票の生成
- 保護時間制御

33.2.5. ﾋﾟﾝ配置説明

次表はUPDIによって使われるﾋﾟﾝの機能を示します。UPDI物理ﾋﾟﾝについてのより多くの情報に関してはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄの「入出力多重化と考察」章をご覧ください。

機能	ﾋﾟﾝ名
UPDI	UPDI / PF7

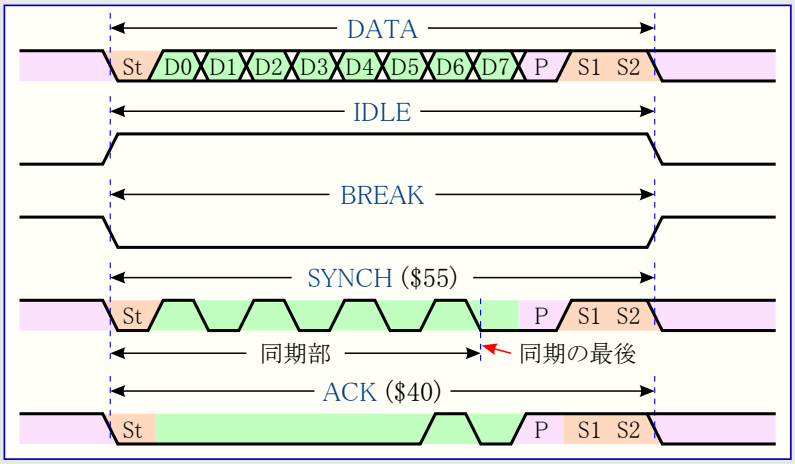
© 2023 Microchip Technology Inc.とその子会社

33.3. 機能的な説明

33.3.1. 動作の原理

UPDIを通す通信は固定ﾌﾚｰﾑ形式、ｸﾛｯｸとﾃﾞｰﾀの再生に対する自動ﾎﾞｰﾚｰﾄ検出を用いる標準USART通信に基づきます。ﾃﾞｰﾀ ﾌﾚｰﾑに加えて、通信のためにいくつかの制御ﾌﾚｰﾑ(DATA、IDLE、BREAK、SYNCH、ACK)が重要です。

図33-4. 支援されるUPDIﾌﾚｰﾑ形式



ﾌﾚｰﾑ	説明
DATA	DATAﾌﾚｰﾑは常にLowの1開始(St)ﾋﾞｯﾄ、8ﾃﾞｰﾀ ﾋﾞｯﾄ、偶数ﾊﾟﾘﾃｨ用の1ﾊﾟﾘﾃｨ(P)ﾋﾞｯﾄ、常にHighの2停止(S1とS2)ﾋﾞｯﾄから成ります。ﾊﾟﾘﾃｨ ﾋﾞｯﾄまたは停止ﾋﾞｯﾄが不正な値を持つ場合、誤りが検出されてUPDIによって合図されます。UPDIでのﾊﾟﾘﾃｨ ﾋﾞｯﾄ検査は制御A(UPDI.CTRLA)ﾚｼﾞｽﾀのﾊﾟﾘﾃｨ禁止(PARD)ﾋﾞｯﾄに('1'を)書くことによって禁止することができ、その場合、ﾃﾞﾊﾞｯｶﾞからのﾊﾟﾘﾃｨ生成は無視されます。
IDLE	IDLEは最低12個のHighﾋﾞｯﾄから成る特別なﾌﾚｰﾑで、送信線をｱｲﾄﾞﾙ(IDLE)状態で維持するのと同じです。
BREAK	BREAKは最低12個のLowﾋﾞｯﾄから成る特別なﾌﾚｰﾑです。UPDIを既定状態に戻してﾘｾｯﾄするのに使われ、代表的に異常回復に使われます。
SYNCH	ﾎﾞｰﾚｰﾄ生成部は到着する伝送に対してﾎﾞｰﾚｰﾄを設定するためにSYNCHﾌﾚｰﾑを使います。SYNCH文字は毎回の新しい命令の前とBREAKが成功裏に送信された後でUPDIによって常に期待されます。
ACK	ACKﾌﾚｰﾑはSTまたはSTSの命令が成功裏に同期境界を渡ってﾊﾞｽ ｱｸｾｽを得られた時に必ずUPDIから送信されます。ﾃﾞﾊﾞｯｶﾞによってACKが受信されると、次の送信を開始することができます。

33.3.1.1. UPDI UART

通信はﾃﾞﾊﾞｯｶﾞ/書き込み器側から開始されます。毎回の送信はSYNCH文字で開始しなければならず、これはUPDIが送信ﾎﾞｰﾚｰﾄを再生して到着ﾃﾞｰﾀ用にこの設定を格納するのに使うことができます。SYNCH文字によって設定されるﾎﾞｰﾚｰﾄは後続する命令とﾃﾞｰﾀのﾊﾞｲﾄの受信と送信の両方に使われます。次のSYNCH文字が命令の流れで予期される時の詳細については「UPDI命令一式」項をご覧ください。

UPDIには書き込み可能なﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀがなく、故にﾃﾞｰﾀ ﾊﾞｲﾄを採取する時のﾃﾞｰﾀ再生にSYNCH文字から採取されたﾎﾞｰﾚｰﾄが使われます。

PHY層の送信ﾎﾞｰﾚｰﾄは選んだUPDIｸﾛｯｸに関連付けされ、ASI制御A(UPDI.ASI_CTRLA)ﾚｼﾞｽﾀのUPDIｸﾛｯｸ分周器選択(UPDICLKSEL)ﾋﾞｯﾄ領域を書くことによって調整することができます。送受信のﾎﾞｰﾚｰﾄは自動ﾎﾞｰﾚｰﾄの精度内で常に同じです。このｸﾛｯｸは望むﾎﾞｰﾚｰﾄに必要な周波数よりも速く走行しないことが推奨されます。ﾘｾｯﾄ、許可後の既定UPDICLKSEL設定は4MHzです。他のどのｸﾛｯｸ出力選択もBODが最高基準の時にだけ推奨されます。他の全てのBOD設定に対し、既定の4MHz選択が推奨されます。

表33-1. UPDICLKSEL設定に基づく推奨UARTﾎﾞｰﾚｰﾄ

UPDICLKSEL1,0	最大推奨ﾎﾞｰﾚｰﾄ	最小推奨ﾎﾞｰﾚｰﾄ
0 0 (32MHz)	1.8Mbps	600bps
0 1 (16MHz)	0.9Mbps	300bps
1 0 (8MHz)	450kbps	150bps
1 1 (4MHz) – 既定	225kbps	75bps

UPDIﾎﾞｰﾚｰﾄ生成部は送信誤差を最小にするために分数ﾎﾞｰﾚｰﾄ計数を利用します。UPDIによって使われる固定ﾌﾚｰﾑ形式での最大と推奨される受信部転送誤差限度は表33-2.で見ることができます。

表33-2. 受信部ﾎﾞｰﾚｰﾄ誤差

ﾃﾞｰﾀ+ﾊﾟﾘﾃｨ ﾋﾞｯﾄ	R_{slow}(%)	R_{fast}(%)	最大総合許容誤差(%)	推奨最大受信許容誤差(%)
9	96.39	104.76	-3.61～+4.76	±1.5

© 2023 Microchip Technology Inc.とその子会社

33.3.1.2. BREAK文字

中断(BREAK)文字はUPDIの内部状態を既定設定にﾘｾｯﾄするのに用いられます。これは通信異常のためにUPDIが異常状態に入った場合、またはﾃﾞﾊﾞｯｶﾞとUPDI間の同期が失われた時に有用です。

全ての場合でBREAKがUPDIによって成功裏に受信されるのを保証するため、ﾃﾞﾊﾞｯｶﾞは2つの連続するBREAK文字を送らなければなりません。最初のBREAKはUPDIがｱｲﾄﾞﾙ状態の場合に検出され、(非常に低いﾎﾞｰﾚｰﾄで)UPDIが受信または送信している間にそれが送られた場合に検出されません。けれども、これは受信(RX)に対するﾌﾚｰﾑ異常または送信(TX)に対する衝突異常を引き起こし、進行中の操作を中止します。その後、UPDIは次のBREAKを成功裏に検出します。

BREAK受信で、ASI制御A(UPDI.ASI_CTRLA)ﾚｼﾞｽﾀのUPDI発振器設定が4MHzの既定UPDIｸﾛｯｸ選択にﾘｾｯﾄされ、これは上の「UPDICLKSEL設定に基づく推奨UARTﾎﾞｰﾚｰﾄ」表に従ってUPDIのﾎﾞｰﾚｰﾄ範囲を変更します。

33.3.1.2.1. 単線動作でのBREAK

単線動作で、書き込み器/ﾃﾞﾊﾞｯｶﾞとUPDIは完全に同期が外れることがあり、UPDIがそれを検出できることを保証するためにBREAK文字の最悪長を必要とします。4MHz(250ns)の最低UPDIｸﾛｯｸ速度と仮定し、16ﾋﾞｯﾄに含まれ得る8ﾋﾞｯﾄSYNCH様式値の最大長は、65535×250ns=16.4ms/ﾊﾞｲﾄ=16.4ms/8ﾋﾞｯﾄ=2.05ms/ﾋﾞｯﾄです。

これは最低の前置分周器設定に対して2.05ms×12ﾋﾞｯﾄ≒24.6msの最悪BREAKﾌﾚｰﾑ持続時間を与えます。前置分周器設定が既知なら、BREAKﾌﾚｰﾑの時間は**表33-3.**からの値に従って緩和されます。

表33-3. 推奨中断(BREAK)文字持続時間

UPDICLKSEL1,0	推奨BREAK文字持続時間
0 0 (32MHz)	3.075ms
0 1 (16MHz)	6.15ms
1 0 (8MHz)	12.30ms
1 1 (4MHz)	24.60ms

33.3.1.3. SYNCH文字

同期(SYNCH)文字は8ﾋﾞｯﾄを持ち、通常のUPDIﾌﾚｰﾑ形式に従います。これは'$55'の値を持ちます。SYNCH文字は以下の2つの主な目的を持ちます。

1. 禁止後にUPDIに対する許可文字として働きます。
2. 後続する伝送用にﾎﾞｰﾚｰﾄを設定するため、ﾎﾞｰﾚｰﾄ生成部によって使われます。無効なSYNCH文字が送られた場合、次の伝送は正しく採取されません。

33.3.1.3.1. 単線動作でのSYNCH

SYNCH文字は各新規命令の前に使われます。REPEAT命令を使う時に、SYNCH文字はREPEAT後の最初の命令の前でだけ期待されます。

SYNCHは既知の文字で、各ﾋﾞｯﾄに対する交互切り替わりの特性を通して、8ﾋﾞｯﾄSYNCH様式を採取するのにどの位のUPDIｸﾛｯｸ周期が必要とされるかの測定をUPDIに許します。この採取を通して得られた情報は受信での非同期ｸﾛｯｸ再生と非同期ﾃﾞｰﾀ再生を提供するのと送信動作を行う時に接続された書き込み器のﾎﾞｰﾚｰﾄを保つのに使われます。

33.3.2. 操作

UPDIはUART通信が開始され得るのに先立って許可されなければなりません。

33.3.2.1. UPDI許可

応用がUPDIﾋﾟﾝをどう構成設定したかに応じて、UPDIを許可するにの以下の2つの方法の1つを使うことができます。

- **単線許可** – この方法はｼｽﾃﾑ構成設定0(SYSCFG0)ﾋｭｰｽﾞのUPDIﾋﾟﾝ構成設定(UPDIPINCFG)ﾋﾞｯﾄを'1'に設定することによってUPDI機能動作で構成設定されるUDPIﾋﾟﾝを必要とします。
- **UPDIﾋﾟﾝのHV指定変更** – この方法はUPDIﾋﾟﾝがGPIO動作(SYSCFG0ﾋｭｰｽﾞのUPDIPINCFG)ﾋﾞｯﾄの'0'設定)に構成設定される場合に使われます。$\overline{\text{RESET}}$でのHV(高電圧)ﾊﾟﾙｽ印加はUPDIﾋﾟﾝをUPDI機能動作に再構成設定し、従ってSYSCFG0ﾋｭｰｽﾞでの構成設定を無効にします。

33.3.2.1.1. 単線許可

UPDIﾋﾟﾝは許可時に一定のﾌﾟﾙｱｯﾌﾟを持ち、200nsを超える間UPDIﾋﾟﾝをLowに駆動することにより、接続された書き込み器/ﾃﾞﾊﾞｯｶﾞが始動手順を始めます。事前要件として、UPDIﾋﾟﾝはSYSCFG0ﾋｭｰｽﾞのUPDIPINCFGを'1'に設定するか、または$\overline{\text{RESET}}$ﾋﾟﾝにHVﾊﾟﾙｽを印加し、結果としてUPDIPINCFGの構成設定を無効にするかのどちらかによってUPDI機能動作に構成設定されなければなりません。

UPDIを許可するには次のこの手順に従ってください。

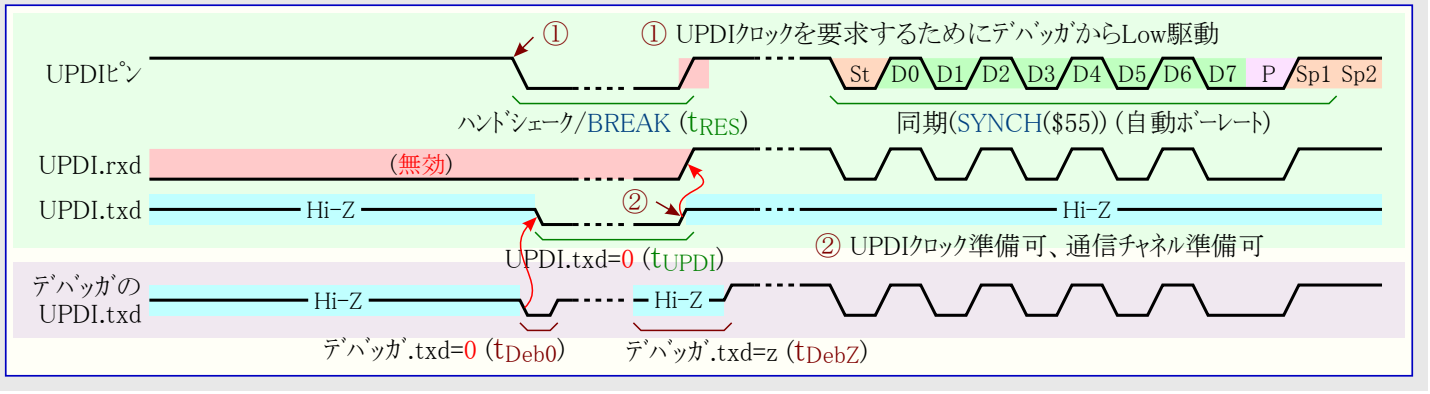
1. UPDIﾋﾟﾝを200nsを超える間Lowに駆動してそれを開放してください。UPDIﾋﾟﾝは内部ﾌﾟﾙｱｯﾌﾟ抵抗を持ち、200nsを超える間UPDIﾋﾟﾝをLowに駆動することにより、接続された書き込み器が始動手順を始めます。
   - 端検出器はUPDIﾋﾟﾝのLow駆動を始め、故に書き込み器が線を開放した時にLowに留まります。
   - UPDIｸﾛｯｸが開始されます。UPDIはｸﾛｯｸが安定し、UPDIが使う準備が整うまで線をLowに駆動します。ｸﾛｯｸに対して期待される到来時間は精度、行き過ぎ、発振器校正の読み出しに関する発振器実装に依存します。
   - ﾃﾞｰﾀ線はUPDIによって解放され、発振器の準備が整って安定な時にHighに引かれます。

© 2023 Microchip Technology Inc.とその子会社

2. ﾋﾟﾝが再びHighに遷移する時を検出するためにUPDIﾋﾟﾝをﾎﾟｰﾘﾝｸﾞしてください。この遷移は端検出器がﾋﾟﾝ(ﾌﾟﾙｱｯﾌﾟ)を開放し、UPDIがSYNCH文字を受信することができることを示します。
3. SYNCH文字($55)を送ってください。SYNCH文字送信成功後、最初の命令ﾌﾚｰﾑを送信することができます。
4. KEY命令を使ってNVMPROG鍵を送ってください。この鍵の送出が施錠ﾋﾞｯﾄを解除し、ASIｼｽﾃﾑ状態(ASI_SYS_STATUS)ﾚｼﾞｽﾀのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(PROGSTART)ﾋﾞｯﾄが設定(1)されます。ﾃﾞﾊﾞｲｽは今やﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用に準備されています。
5. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ完了後、STCS命令を使って制御B(UPDI.CTRLB)ﾚｼﾞｽﾀのUPDI禁止(UPDIDIS)ﾋﾞｯﾄに'1'を書くことによってUPDIをﾘｾｯﾄしてください。UPDI、従って付随するｸﾛｯｸ要求の禁止は消費電力を減らします。

許可手順のﾀｲﾐﾝｸﾞが図33-5.で示され、ここでは書き込み器と端検出器に対する駆動活動期間が含まれます。'UPDIﾋﾟﾝ'波形は常にﾋﾟﾝ値を示します。

図33-5. UPDI許可手順



端検出器駆動活動期間に対して与えられる遅延は代表的に32MHz発振器での256周期間の始動時間待ち+校正読み出しです。予測される始動時間の詳細については「電気的特性」章を参照してください。

注: 許可手順のSYNCHが最初の命令に対してﾎﾞｰﾚｰﾄ生成部を準備するため、最初の許可SYNCH後に発行される最初の命令は余分なSYNCHが不要です。

線がHighなことをﾃﾞﾊﾞｯｶﾞが検出すると、UPDI通信ﾃﾞｰﾀ速度を同期するために最初のSYNCH文字($55)が送られなければなりません。SYNCH文字の開始ﾋﾞｯﾄが最大t_{DebZ}内に送られない場合、UPDIは自身を禁止し、UPDI許可手順は再び始められなければなりません。ﾀｲﾐﾝｸﾞ違反の場合、UPDIの意図せぬ許可を避けるためにUPDIは禁止されます。より多くの詳細については「33.3.2.2.1. 始動中の禁止」をご覧ください。

注: t_{RES}、t_{UPDI}、t_{Deb0}、t_{DebZ}に対する実際の値は「電気的特性」章で見つけることができます。

33.3.2.1.2. UPDIﾋﾟﾝの高電圧無効化でのUPDI許可

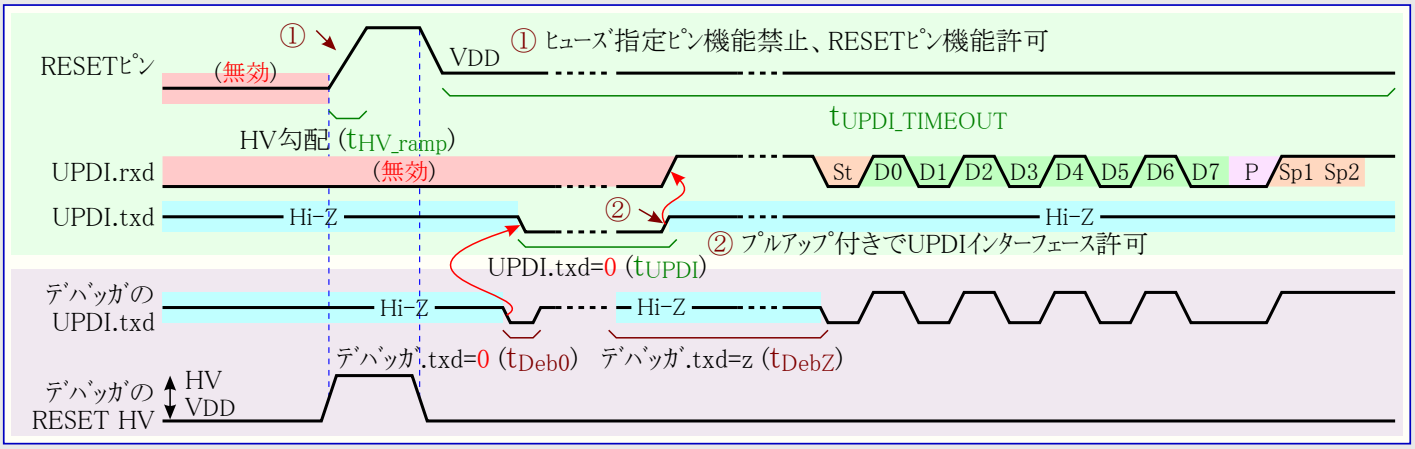
応用はUDPIﾋﾟﾝを入出力ﾋﾟﾝとして構成設定することができます。この場合、通常の単線許可手順を使くことができません。

$\overline{\text{RESET}}$ﾋﾟﾝへ印加したHV(高電圧)ﾊﾟﾙｽがUPDIﾋﾟﾝのﾋﾟﾝ機能をUPDI機能に切り換えます。

1. 図33-6.と「電気的特性」章で記述されるようにHV信号を印加してください。HVはPORが解放されてしまった後に印加されなければなりません。これはUPDIﾋﾟﾝのﾋﾟﾝ構成設定を無効にします。HV検出回路はﾃﾞﾊﾞｲｽ ﾘｾｯﾄを起動します。CPUは有効なUPDI鍵の受信または$t_{UPDI_TIMEOUT}$の経過まで停止に留まります。このような鍵が受信されない場合、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、UPDIﾋﾟﾝはﾋｭｰｽﾞによって指定される構成設定を持ちます。
2. 「33.3.2.1.1. 単線許可」で記述されるような通常の単線許可手順に従ってください。$t_{UPDI_TIMEOUT}$(経過)の前に有効なUPDI鍵が送られなければなりません。
3. HVﾊﾟﾙｽによってUPDIが許可されると、PORだけがUPDIﾋﾟﾝの無効化を禁止して設定をﾋｭｰｽﾞによって構成設定されるように回復します。

© 2023 Microchip Technology Inc.とその子会社

図33-6. 高電圧(HV)ﾌﾟﾛｸﾞﾗﾐﾝｸﾞよるUPDI許可手順



注: ・ UPDIﾋﾟﾝに不充分な外部保護しか追加されない場合、ﾃﾞﾊﾞｲｽによってESDﾊﾟﾙｽが高電圧無効化とUPDI許可として解釈される可能性があります。
・ UPDI HV活性化の実際の閾値電圧はVDDに依存します。より多くの詳細については「電気的特性」章をご覧ください。
・ tUPDI_TIMEOUTの値については「電気的特性」章をご覧ください。

33.3.2.2. UPDI禁止

33.3.2.2.1. 始動中の禁止

許可手順中、UPDIは無効な許可手順の場合に自身を禁止することができます。UPDIが電源管理に与えたどの要求もﾘｾｯﾄしてUDPIを禁止状態に設定するために実装された2つの機構があります。新しい許可手順はその後にUPDIを許可することから始めなければなりません。

制限時間超過禁止

UPDIがそれのｸﾛｯｸを受け取った後に始動負端検出器がﾋﾟﾝを開放する時、または複数電圧ｼｽﾃﾑで調整器が安定でｼｽﾃﾑが電力を持つ時、既定ﾌﾟﾙｱｯﾌﾟはPUDIﾋﾟﾝをHighに駆動します。ﾋﾟﾝがHighであることを書き込み器が検出せず、UPDIがﾋﾟﾝを開放した後の4MHz UPDIｸﾛｯｸでの164ms内にSYNCH文字の送信を始めない場合、UPDIは自身を禁止します。

注: 始動発振周波数はﾃﾞﾊﾞｲｽ依存です。UPDIは制限時間超過を発行するのに先立ってUPDIｸﾛｯｸで65536周期間計数します。

不正なSYNCH様式

不正なSYNCH様式は、SYNCH文字長がUPDIﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀが含むことができる採取数よりも長い(溢れ)、または各ﾋﾞｯﾄの採取長に対して扱うことができる最小分数計数よりも短い場合に検出されます。それらのどんな異常が検出された場合も、UPDIは自身を禁止します。

33.3.2.2.2. UPDI正常禁止

書き込み器切断後にUPDIからのどの特定操作も必要としないどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはﾃﾞﾊﾞｯｸﾞの作業も制御B(UPDI.CTRLB)ﾚｼﾞｽﾀのUPDI禁止(UPDIDIS)ﾋﾞｯﾄに('1'を)書くことによって終了されなければならず、そこでUPDIはｼｽﾃﾑ ﾘｾｯﾄを発行して自身を禁止します。このﾘｾｯﾄは直前の状態と無関係にCPUを走行状態に戻します。ｼｽﾃﾑに対するUPDIｸﾛｯｸ要求も下げて全てのUPDI鍵と設定もﾘｾｯﾄします。

禁止操作が実行されない場合、UPDIと発振器の要求は許可に留まり、これは応用に対して消費電力増加を引き起こします。

33.3.2.3. UPDI通信異常処理

UPDIは異常の筋書きから回復する時にﾃﾞﾊﾞｯｶﾞへ情報を提供する包括的な異常検出ｼｽﾃﾑを含みます。この異常検出はﾊﾟﾘﾃｨ誤り、衝突異常、ﾌﾚｰﾑ異常のような物理転送異常から、ｱｸｾｽ制限時間超過異常のようなもっと上位の異常に至る検出から成ります。利用可能な異常識票の概要については状態B(UPDI.STATUSB)ﾚｼﾞｽﾀのUPDI異常識票(PESIG)ﾋﾞｯﾄ領域をご覧ください。

望まれないｼｽﾃﾑ通信を避けるため、UPDIは異常を検出する度、直ちに内部異常状態へ移行します。異常状態でUPDIはBREAK文字が受信される時を除き、全ての着信ﾃﾞｰﾀ要求を無視します。異常状態から回復する時は常に以下の手続きが適用されなければなりません。

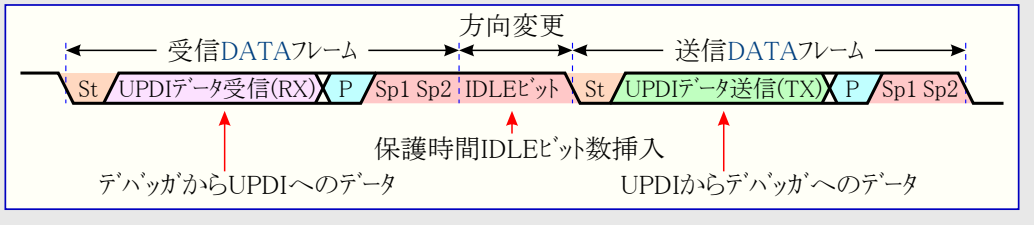
1. BREAK文字を送ってください。推奨されるBREAK文字の扱いについては「BREAK文字」をご覧ください。
2. 次のﾃﾞｰﾀ転送に対して望むﾎﾞｰﾚｰﾄでSYNCH文字を送ってください。
3. 状態B(UPDI.STATUSB)ﾚｼﾞｽﾀのUPDI異常識票(PESIG)ﾋﾞｯﾄ領域を読んで発生した異常についての情報を得るために制御/状態取得(LDCS)命令を実行してください。
4. UPDIは今や異常状態から回復され、次のSYNCH文字と命令を受け取る準備が整います。

© 2023 Microchip Technology Inc.とその子会社

33.3.2.4. 方向変更

半二重UART動作に対して正しいﾀｲﾐﾝｸﾞを保証するため、UPDIはRX動作からTX動作へ方向を変更する時のﾀｲﾐﾝｸﾞを緩和するための組み込み保護時間機構を持ちます。保護時間は次の最初の応答ﾊﾞｲﾄの開始ﾋﾞｯﾄが送出される前に複数のｱｲﾄﾞﾙ(IDLE)ﾋﾞｯﾄが挿入されることによって表されます。ｱｲﾄﾞﾙ ﾋﾞｯﾄ数は制御A(UPDI.CTRLA)ﾚｼﾞｽﾀの保護時間値(GTVAL)ﾋﾞｯﾄ領域を通して構成設定することができます。各ｱｲﾄﾞﾙ ﾋﾞｯﾄの持続時間は現在の送信で使われるﾎﾞｰﾚｰﾄによって与えられます。

図33-7. ｱｲﾄﾞﾙ(IDLE)ﾋﾞｯﾄ挿入によるUPDI方向変更



UPDI保護時間は接続されたﾃﾞﾊﾞｯｶﾞがUPDIからのﾃﾞｰﾀを待っている時に経験する最小ｱｲﾄﾞﾙ時間です。最大ｱｲﾄﾞﾙ時間は制限時間と同じです。送信前のｱｲﾄﾞﾙ時間は同期時間+ﾃﾞｰﾀ ﾊﾞｽ ｱｸｾｽ時間が保護時間よりも長い時に意図した保護時間を超えるでしょう。

常にUPDI側で最小2保護時間ﾋﾞｯﾄの挿入、ﾃﾞﾊﾞｯｶﾞ側で1保護時間周期挿入を使うことが推奨されます。

33.3.3. UPDI命令一式

UPDIを通す通信は小さな命令一式に基づきます。これらの命令はUPDIﾃﾞｰﾀ ﾘﾝｸ(DL)層の一部です。UPDIﾚｼﾞｽﾀがﾒﾓﾘ割り当てｼｽﾃﾑ空間だけでなく、”ASIの制御と状態(CS)空間”と呼ばれる内部ﾒﾓﾘ空間にも割り当てられるため、命令はUPDIﾚｼﾞｽﾀをｱｸｾｽするのにも使われます。全ての命令はﾊﾞｲﾄ命令で、通信に対するﾎﾞｰﾚｰﾄを決めるためにSYNCH文字が先行されなければなりません。送信に対するﾎﾞｰﾚｰﾄ設定についての情報に関しては「UPDI UART」をご覧ください。図33-8.はUPDI命令一式の概要を与えます。

図33-8. UPDI命令一式概要

	指令				A量		D量	
LDS	0	0	0	0	0	x	0	x
STS	0	1	0	0	0	x	0	x
					PTR種別		A/D量	
LD	0	0	1	0	x	x	0	x
ST	0	1	1	0	x	x	0	x
					CSｱﾄﾞﾚｽ			
LDCS	1	0	0	0	x	x	x	x
STCS	1	1	0	0	x	x	x	x
							D量	
REPEAT	1	0	1	0	0	0	0	0
						SIB	K量	
KEY	1	1	1	0	0	x	0	x

指令			
0	0	0	LDS (直接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ取得)
0	0	1	LD (間接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ取得)
0	1	0	STS (直接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ設定)
0	1	1	ST (間接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ設定)
1	0	0	LDCS (LDS 制御/状態ﾚｼﾞｽﾀ)
1	0	1	REPEAT (繰り返し指定)
1	1	0	STCS (STS 制御/状態ﾚｼﾞｽﾀ)
1	1	1	KEY (作動鍵)

SIB (ｼｽﾃﾑ情報部選択)	
0	鍵受信
1	SIB送出

A量 (ｱﾄﾞﾚｽ長)		
0	0	1ﾊﾞｲﾄ
0	1	2ﾊﾞｲﾄ (語)　≦64KBﾒﾓﾘ
1	0	3ﾊﾞｲﾄ　＞64KBﾒﾓﾘ
1	1	(予約)

D量 (ﾃﾞｰﾀ長)		
0	0	1ﾊﾞｲﾄ
0	1	2ﾊﾞｲﾄ (語)
1	0	(予約)
1	1	(予約)

K量 (鍵長)		
0	0	64ﾋﾞｯﾄ (8ﾊﾞｲﾄ)
0	1	128ﾋﾞｯﾄ (16ﾊﾞｲﾄ)
1	0	(予約)
1	1	(予約)

PTR種別		
0	0	*(ptr) (ﾎﾟｲﾝﾀ間接ﾃﾞｰﾀ)
0	1	*(ptr++) (間接+ﾎﾟｲﾝﾀ進行)
1	0	ptr (ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ)
1	1	*(ptr--) (間接+ﾎﾟｲﾝﾀ後退)

CSｱﾄﾞﾚｽ (制御/状態ﾚｼﾞｽﾀ)																
0	0	0	0	STATUSA	0	1	0	0	(予約) (ASI)	1	0	0	0	ASI_RESET_REQ	1	1	0	0	ASI_CRC_STATUS
0	0	0	1	STATUSB	0	1	0	1	(予約) (ASI)	1	0	0	1	ASI_CTRLA	1	1	0	1	(予約)
0	0	1	0	CTRLA	0	1	1	0	(予約) (ASI)	1	0	1	0	ASI_SYS_CTRLA	1	1	1	0	(予約)
0	0	1	1	CTRLB	0	1	1	1	ASI_KEY_STATUS	1	0	1	1	ASI_SYS_STATUS	1	1	1	1	(予約)

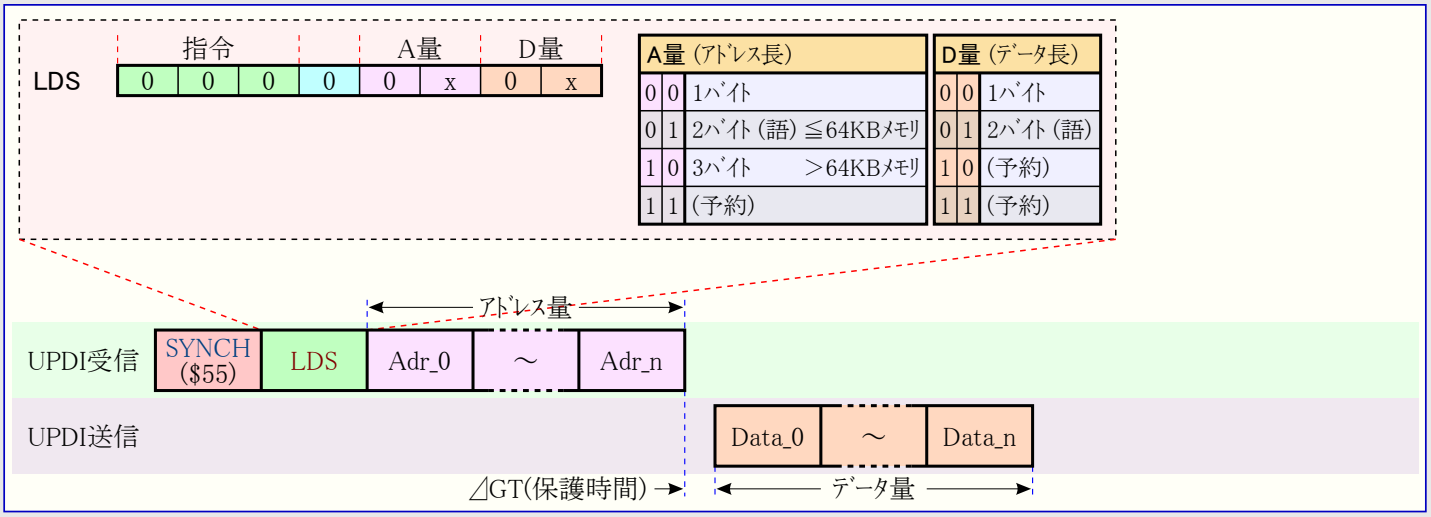
© 2023 Microchip Technology Inc.とその子会社

33.3.3.1. LDS – 直接ｱﾄﾞﾚｽ指定を使うﾃﾞｰﾀ空間からのﾃﾞｰﾀ取得

LDS命令は直列読み出しのためにｼｽﾃﾑ ﾊﾞｽからPHY層移動ﾚｼﾞｽﾀ内へﾃﾞｰﾀを取得するのに使われます。LDS命令は直接ｱﾄﾞﾚｽ指定に基き、ｱﾄﾞﾚｽはﾃﾞｰﾀ転送を開始するために命令の引数として与えられなければなりません。ｱﾄﾞﾚｽとﾃﾞｰﾀに対して支援される最大の大きさは32ﾋﾞｯﾄです。LDS命令はREPERT命令と組み合わせた時に繰り返しﾒﾓﾘ ｱｸｾｽを支援します。

LDS命令発行後、A量領域によって示されるような望むｱﾄﾞﾚｽ ﾊﾞｲﾄ数、続いてD量領域によって選ばれる出力ﾃﾞｰﾀの大きさが送信されればければなりません。出力ﾃﾞｰﾀは指定された保護時間(GT)後に発行されます。REPERT命令と組み合わせると、繰り返しの反復毎にｱﾄﾞﾚｽが送られなければならず、毎回の出力ﾃﾞｰﾀ採取後に行われることを意味します。LDSでのREPERT使用時、直接ｱﾄﾞﾚｽ指定の規約を使うため、自動ｱﾄﾞﾚｽ進行はありません。

図33-9. LDS命令操作



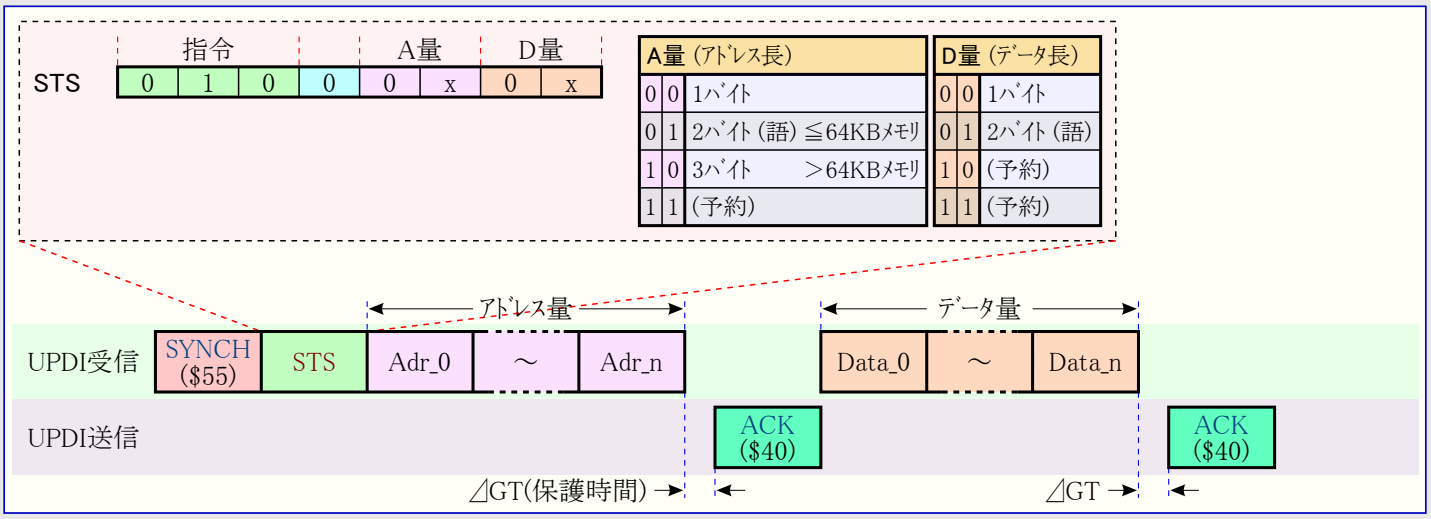
命令が復号され、復号された命令によって指示されるようにｱﾄﾞﾚｽ ﾊﾞｲﾄが受信されると、DL層は要求された全情報をACC層に同期します。これはﾊﾞｽ要求を処理してﾊﾞｽから緩衝されたﾃﾞｰﾀをDL層に戻して同期し、これはUPDIからのﾃﾞｰﾀ受信で考慮されなければならない同期化遅延を引き起こします。

33.3.3.2. STS – 直接ｱﾄﾞﾚｽ指定を使うﾃﾞｰﾀ空間へのﾃﾞｰﾀ格納

STS命令はPHY層へ直列に移動されたﾃﾞｰﾀをｼｽﾃﾑ ﾊﾞｽ ｱﾄﾞﾚｽ空間へ格納するのに使われます。STS命令は直接ｱﾄﾞﾚｽ指定に基づき、ｱﾄﾞﾚｽはﾃﾞｰﾀ転送を開始するための命令に対する被演算子として与えられなければなりません。ｱﾄﾞﾚｽは被演算子の最初の組でﾃﾞｰﾀが次の組です。ｱﾄﾞﾚｽとﾃﾞｰﾀの被演算子の大きさは図33-10.で提示される大きさ(量)領域で与えられます。ｱﾄﾞﾚｽとﾃﾞｰﾀの両方の最大の大きさは32ﾋﾞｯﾄです。

STS命令はREPERT命令と組み合わせた時に繰り返しﾒﾓﾘ ｱｸｾｽを支援します。

図33-10. STS命令操作



STS命令に関する転送規約は図33-10.で描かれ、以下のこの手順に従ってください。

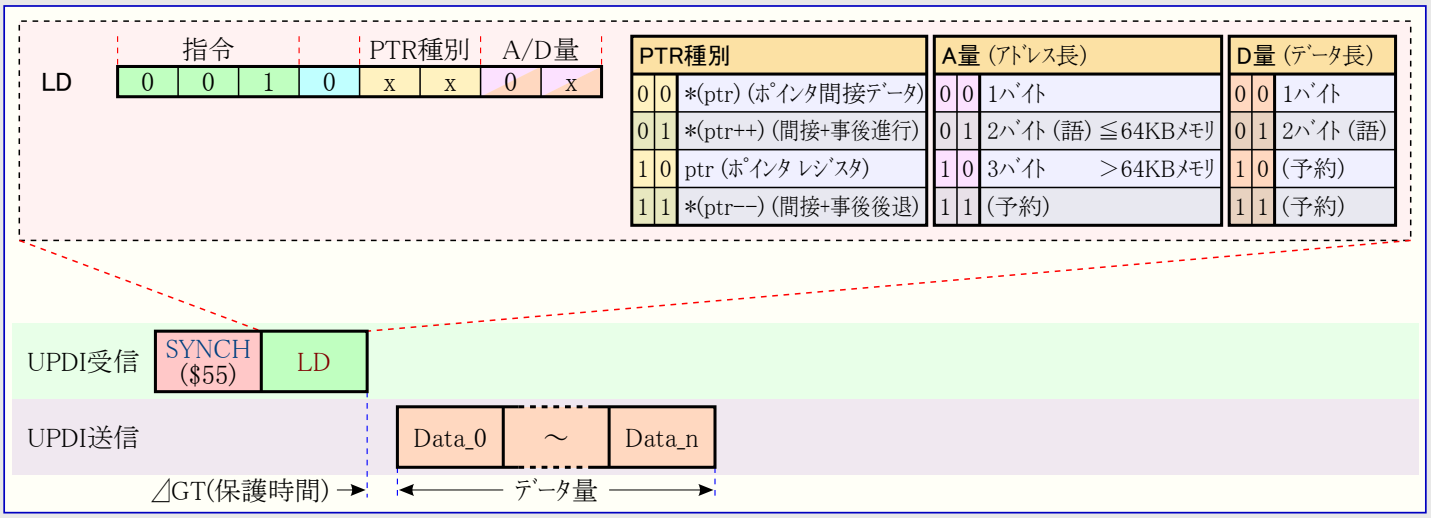
1. ｱﾄﾞﾚｽを送られます。
2. 転送が成功した場合にUPDIから応答(ACK)が送り返されます。
3. STS命令で指定されるﾊﾞｲﾄ数が送られます。
4. ﾃﾞｰﾀが成功裏に送信されてしまった後に応答(ACK)が受信されます。

© 2023 Microchip Technology Inc.とその子会社

33.3.3.3. LD – 間接アドレス指定を使うデータ空間からのデータ取得

LD命令は直列読み出しのためにデータ空間からPHY層移動レジスタ内へデータを取得するのに使われます。LD命令は間接アドレス指定に基き、UPDIのアドレス ポインタがデータ空間読み込みアクセスに先立って書かれる必要があることを意味します。自動ポインタ事後増加動作が支援され、LD命令がREPERT命令と共に使われる時に有用です。それはUPDIポインタ レジスタからLDを行うことも可能です。アドレスとデータの取得に対して支援される最大の大きさは32ビットです。

図33-11. LD命令操作



PTR種別		
0	0	*(ptr) (ポインタ間接データ)
0	1	*(ptr++) (間接+事後進行)
1	0	ptr (ポインタ レジスタ)
1	1	*(ptr--) (間接+事後後退)

A量 (アドレス長)		
0	0	1バイト
0	1	2バイト (語) ≦64KBメモリ
1	0	3バイト >64KBメモリ
1	1	(予約)

D量 (データ長)		
0	0	1バイト
0	1	2バイト (語)
1	0	(予約)
1	1	(予約)

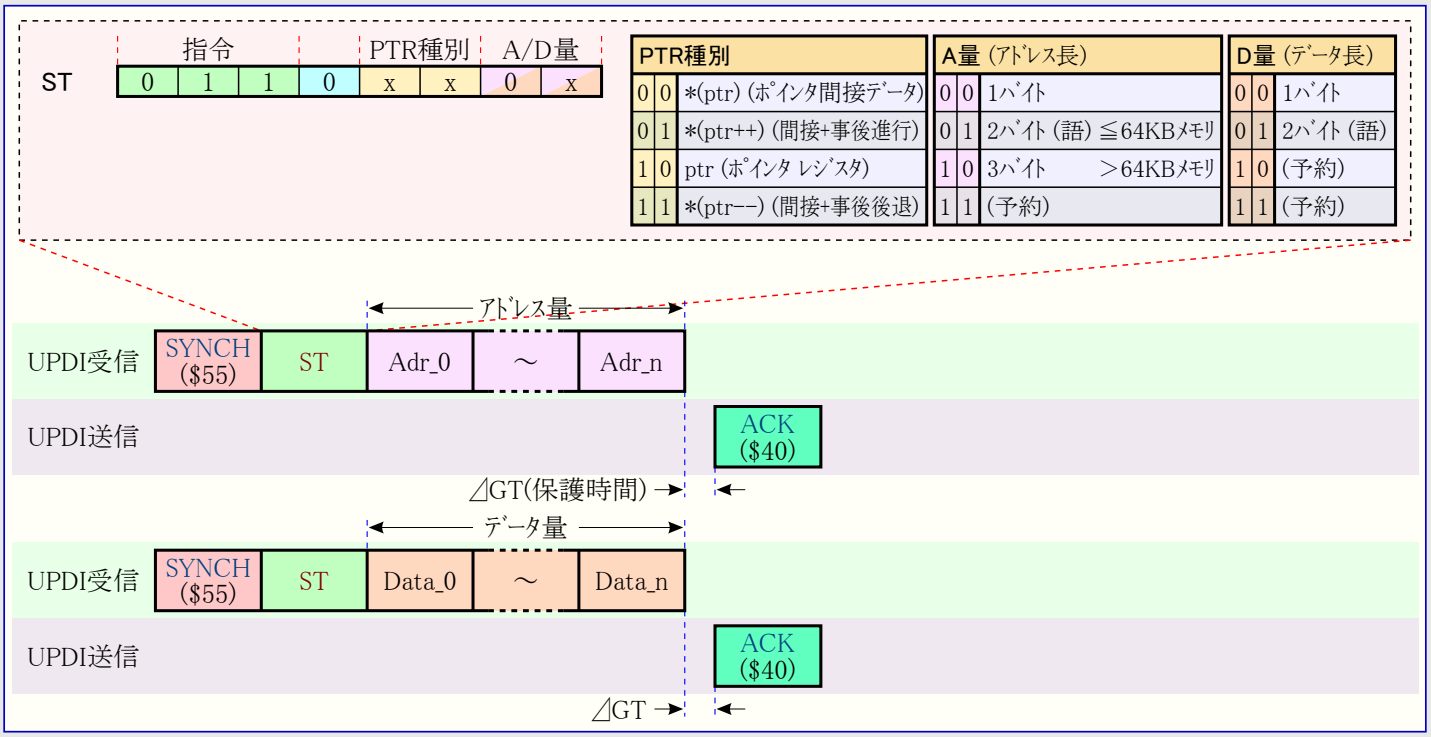
図33-11.は保護時間区間後にデータが受信される代表的なLD手順の例を示します。UPDIポインタ レジスタからのデータ取得は同じ転送処理規約に従います。

データ空間からのLD命令に対し、ポインタ レジスタはUPDIポインタ レジスタに対してST命令を使うことによって設定されなければなりません。ポインタ レジスタ書き込み成功でACKが受信された後、LD命令は望むデータ量被演算子で設定されなければなりません。UPDIポインタ レジスタに対するLDはLD命令で直接行われます。

33.3.3.4. ST – 間接アドレス指定を使うデータ空間へのデータ格納

ST命令はUPDI PHY移動レジスタからのデータをデータ空間へ格納するのに使われます。ST命令はPHY層へ直列に移動されるデータを格納するのに使われます。ST命令は間接アドレス指定に基き、UPDIのアドレス ポインタがデータ空間に先立って書かれる必要があることを意味します。自動ポインタ事後増加動作が支援され、ST命令がREPERT命令と共に使われる時に有用です。ST命令はポインタ レジスタにUPDIアドレス ポインタを格納するのにも使われます。アドレスとデータを格納することに対して支援される最大の大きさは32ビットです。

図33-12. ST命令操作



PTR種別		
0	0	*(ptr) (ポインタ間接データ)
0	1	*(ptr++) (間接+事後進行)
1	0	ptr (ポインタ レジスタ)
1	1	*(ptr--) (間接+事後後退)

A量 (アドレス長)		
0	0	1バイト
0	1	2バイト (語) ≦64KBメモリ
1	0	3バイト >64KBメモリ
1	1	(予約)

D量 (データ長)		
0	0	1バイト
0	1	2バイト (語)
1	0	(予約)
1	1	(予約)

図33-12.はUPDIポインタ レジスタへのST命令と通常のデータの格納の例を与えます。各命令の前に同期(SYNCH)文字が送られます。両方の場合でST命令が成功した場合にUPDIによって応答(ACK)が送り返されます。

© 2023 Microchip Technology Inc.とその子会社

UPDIﾎﾟｲﾝﾀ ﾚｼﾞｽﾀを書くには、次の手順に従わなければなりません。

1. ST命令内のPTR種別領域を識別符'10'に設定してください。
2. ｱﾄﾞﾚｽ量(A量)領域を望むｱﾄﾞﾚｽ量(長)に設定してください。
3. ST命令発行後、A量のﾊﾞｲﾄ数のｱﾄﾞﾚｽ ﾃﾞｰﾀを送ってください。
4. ｱﾄﾞﾚｽ ﾚｼﾞｽﾀへの書き込み成功を意味するACK文字を待ってください。

ｱﾄﾞﾚｽ ﾚｼﾞｽﾀが書かれた後、ﾃﾞｰﾀ送出が同様に行われます。

1. UPDIﾎﾟｲﾝﾀ ﾚｼﾞｽﾀによって指定されるｱﾄﾞﾚｽに書くために、ST命令内のPTR種別領域を定義'00'に設定してください。PTR種別領域が'01'に設定されるなら、PUDIﾎﾟｲﾝﾀは書き込みが実行された後で命令のﾃﾞｰﾀ量(D量)領域に従って次のｱﾄﾞﾚｽへ自動的に更新されます。
2. 命令内のﾃﾞｰﾀ量(D量)領域を望むﾃﾞｰﾀ量(長)に設定してください。
3. ST命令送出後、D量のﾊﾞｲﾄ数のﾃﾞｰﾀを送ってください。
4. ﾊﾞｽ配列への書き込み成功を意味するACK文字を待ってください。

REPERT命令と共に使われる時は、ｱﾄﾞﾚｽ ﾚｼﾞｽﾀを書かれるべき塊の開始ｱﾄﾞﾚｽで設定して、各繰り返し周回に対してｱﾄﾞﾚｽを自動的に増加するためにﾎﾟｲﾝﾀ事後増加ﾚｼﾞｽﾀを使うことが推奨されます。REPERT命令使用時、各ACK受信後にﾃﾞｰﾀ量(D量)ﾊﾞｲﾄのﾃﾞｰﾀ ﾌﾚｰﾑを送ることができます。

33.3.3.5. LDCS – 制御/状態ﾚｼﾞｽﾀ空間からのﾃﾞｰﾀ取得

LDCS命令はDL層に置かれたUPDI制御/状態(CS)ﾚｼﾞｽﾀ空間からの直列読み出しﾃﾞｰﾀをPHY層移動ﾚｼﾞｽﾀに取得するのに使われます。LDCS命令はｱﾄﾞﾚｽが命令被演算子の一部である直接ｱﾄﾞﾚｽ指定に基づきます。LDCS命令はUPDI CSﾚｼﾞｽﾀ空間だけをｱｸｾｽすることができます。この命令はﾊﾞｲﾄ ｱｸｾｽだけを支援し、ﾃﾞｰﾀ量(長)は構成設定不可です。

図33-13. LDCS命令操作

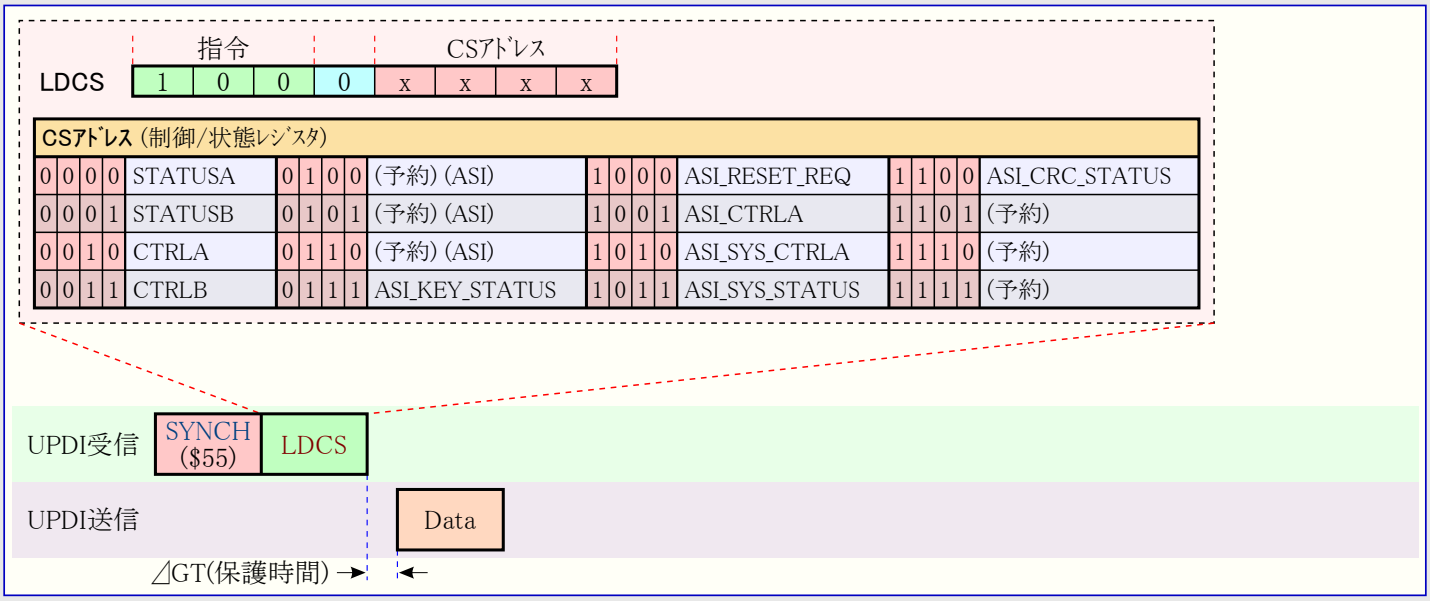


図33-13.はLDCSﾃﾞｰﾀ送信の代表的な例を示します。CS空間からのﾃﾞｰﾀ ﾊﾞｲﾄは保護時間が完了した後にUPDIから送信されます。

33.3.3.6. STCS – 制御/状態ﾚｼﾞｽﾀ空間へのﾃﾞｰﾀ格納

STCS命令はUPDI制御/状態(CS)ﾚｼﾞｽﾀ空間へﾃﾞｰﾀを格納するのに使われます。ﾃﾞｰﾀはPHY層移動ﾚｼﾞｽﾀに直列で移動され、選んだCSﾚｼﾞｽﾀに完全なﾊﾞｲﾄとして書かれます。STCS命令はｱﾄﾞﾚｽが命令被演算子の一部である直接ｱﾄﾞﾚｽ指定に基づきます。STCS命令は内部UPDIﾚｼﾞｽﾀ空間だけをｱｸｾｽすることができます。この命令はﾊﾞｲﾄ ｱｸｾｽだけを支援し、ﾃﾞｰﾀ量(長)は構成設定不可です。

© 2023 Microchip Technology Inc.とその子会社

図33-14. STCS命令操作

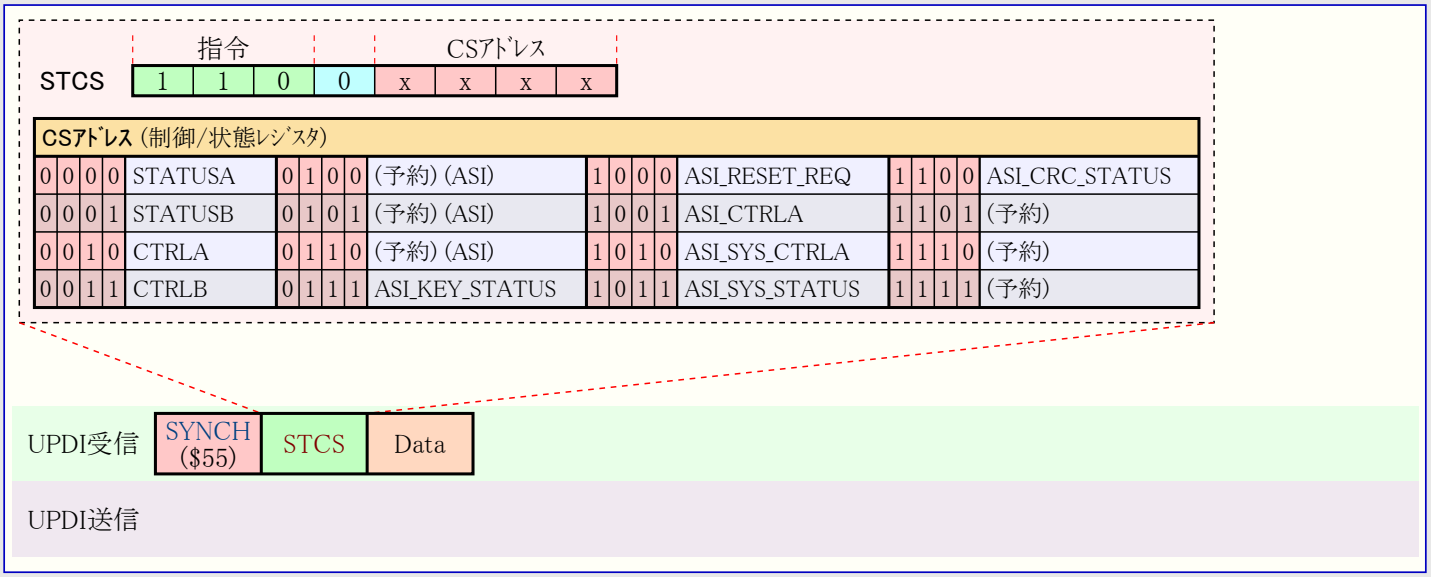


図33-14.はSYNCH文字と命令ﾌﾚｰﾑ後に送信されるﾃﾞｰﾀ ﾌﾚｰﾑを示します。STCS命令は直ちにﾃﾞｰﾀ ﾊﾞｲﾄを続けることができます。CS空間からのﾃﾞｰﾀ ﾊﾞｲﾄは保護時間が完了した後にUPDIから送信されます。STとSTSと同様に、STCS命令から生成される応答はありません。

33.3.3.7. REPEAT – 命令繰り返し計数器設定

REPEAT命令はDL層でUPDI繰り返し計数器ﾚｼﾞｽﾀに繰り返し計数値を格納するのに使われます。命令がREPEATと共に使われると、REPEATが発行された後の最初の命令を除いて全ての命令でSYNCHと命令のﾌﾚｰﾑに対する規約付随作業を省略することができます。REPEATはﾒﾓﾘ命令(LD,ST,LDS,STS)に対して最も有用で、REPEAT命令自身を除き、全ての命令を繰り返すことができます。

ﾃﾞｰﾀ量(D量)被演算子領域は繰り返し値の大きさを示します。256までの繰り返しだけが支援されます。REPEAT命令直後に設定される命令はRPT_0(の値)+1回発行されます。繰り返し計数器ﾚｼﾞｽﾀが'0'の場合、命令は1度だけ動きます。進行中の繰り返しはBREAK文字を送ることによってのみ中止することができます。

図33-15. REPEAT命令操作

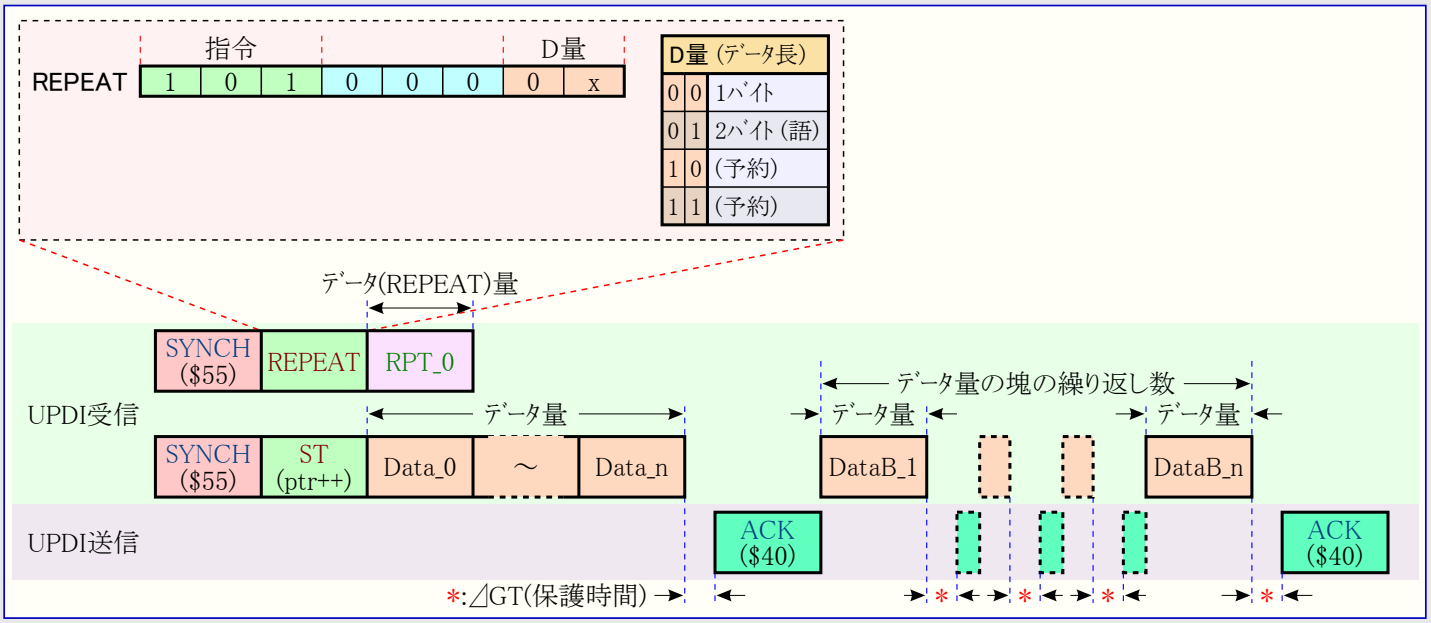
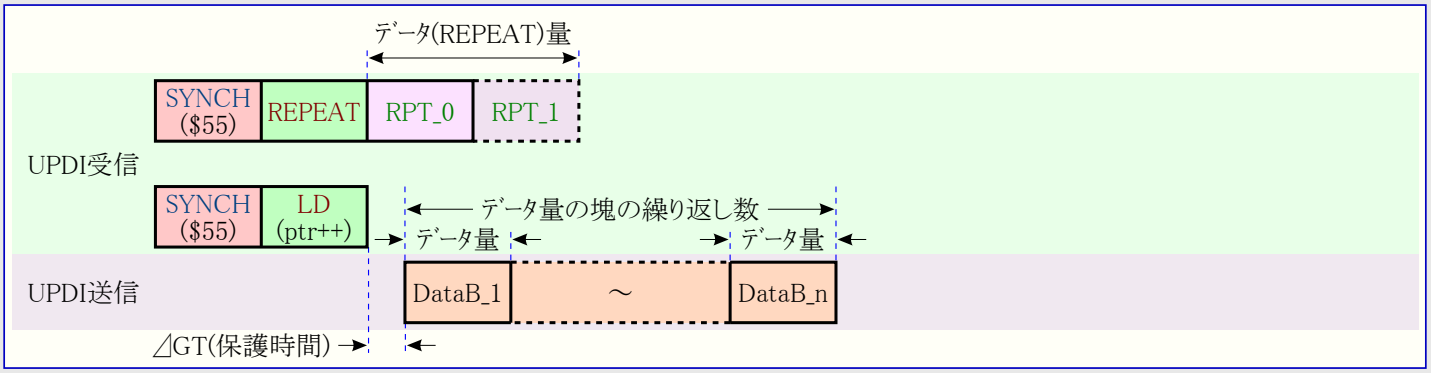


図33-15.はﾎﾟｲﾝﾀ事後増加操作を用いるST命令での繰り返し操作の例を与えます。REPEAT命令がRPT_0=*n*で送られた後、最初のST命令はSYNCHと命令のﾌﾚｰﾑで発行されます。次からの*n*回のST命令はST被演算子のﾃﾞｰﾀ量に従ってﾃﾞｰﾀ ﾊﾞｲﾄだけを送って応答(ACK)ﾊﾝﾄﾞｼｪｰｸ規約を維持することによって実行されます。

© 2023 Microchip Technology Inc.とその子会社

図33-16. LD命令と共に使われるREPEAT



LDに対して、データはLD命令後、継続的に出て来ます。最初のデータ塊での保護時間に注意してください。

間接アドレス指定(LD/ST)命令を使う場合、REPEATと組み合わされる時は常にポインタ事後増加任意選択を使うことが推奨されます。LD/ST命令は最初の(データ量によって決められるデータ バイト数の)データ塊の前にだけ必要です。さもなければ、繰り返される全てのアクセス操作で同じアドレスがアクセスされます。直接アドレス指定(LDS/STS)命令については、データが受け取られ(LDS)または送られ(STS)得るのに先立って、命令規約で指定されるようにアドレスが常に送信されなければなりません。

33.3.3.8. KEY – 活性化鍵設定またはシステム情報部送出

KEY命令はデバイスで保護された機能を実行するために開くUPDIへの鍵(KEY)バイト通信、またはシステム情報部(SIB:System Information Block)を書き込み器に提供するのに使われます。鍵(KEY)によって有効にされる機能の概要ついて「鍵保護されたインターフェースの許可」項の「鍵認証概要」表をご覧ください。KEY命令に対しては64ビット鍵(KEY)の大きさだけが支援されます。SIBに対して支援される最大量は128ビットです。

図33-17. KEY命令操作

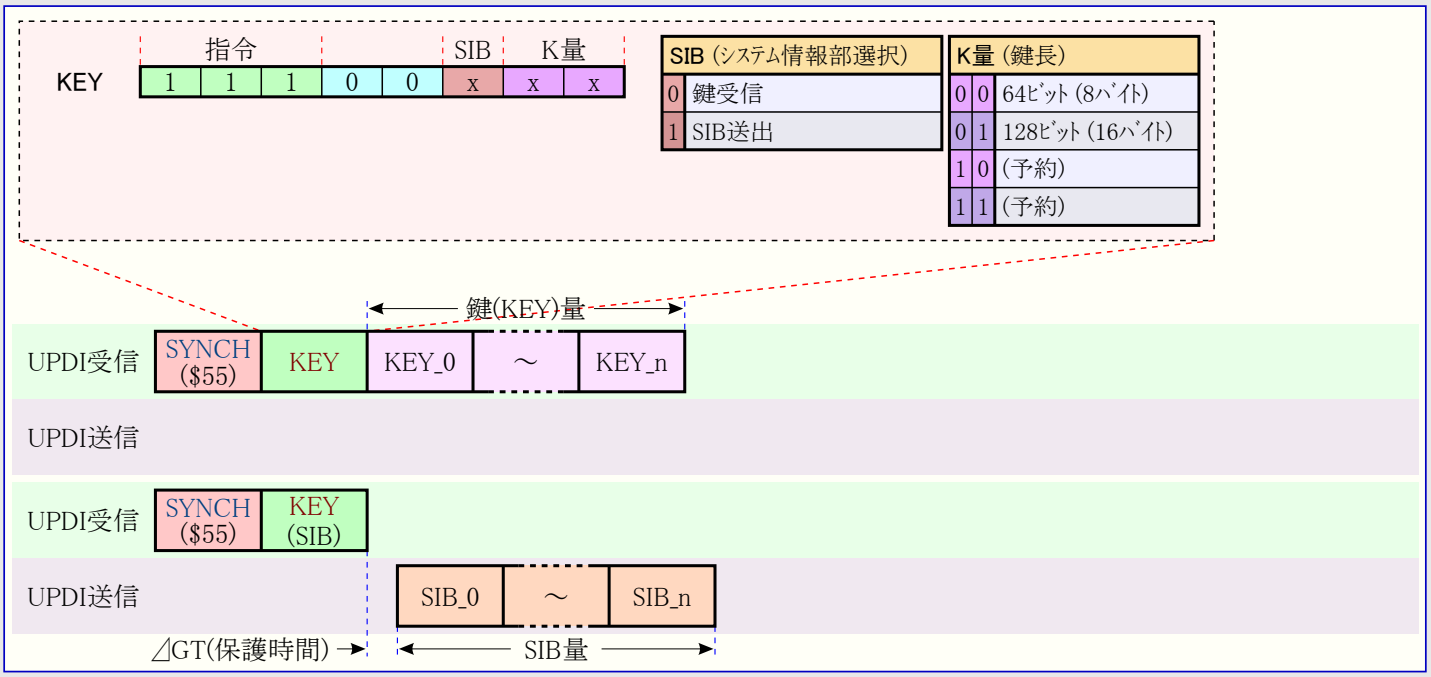


図33-17.は鍵(KEY)の送信とSIBの受信を示します。両方の場合で、被演算子のK量領域は送受信されるフレーム数を決めます。UPDIへの鍵(KEY)送出後に応答(ACK)は有りません。SIB要求時、現在の保護時間設定に従ってデータがUPDIから送信されます。

33.3.4. ブート間でのフラッシュ メモリのCRC検査

いくかのデバイスはブート処理の一部としてフラッシュ メモリ内容のCRC検査走行を支援します。この検査は例えデバイスが施錠されていても実行することができます。このCRC検査の結果はASI CRC状態(ASI_CRC_STATUS)レジスタで読むことができます。この機能のより多くの情報については「CRCSCAN – 巡回冗長検査メモリ走査」章を参照してください。

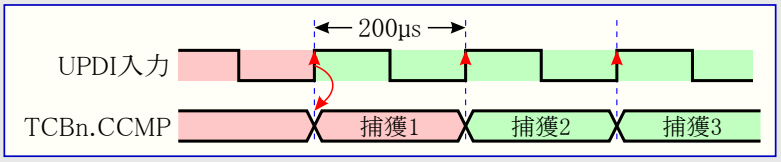
© 2023 Microchip Technology Inc.とその子会社

33.3.5. UPDIでのシステム クロック測定

入力捕獲機能を持つTCBへ接続されたUPDI事象を利用することにより、システム クロック周波数の正確な測定を得るのにUPDIを使うことが可能です。この機能のための推奨される構成の流れは以下の手順によって与えられます。

- 計時器動作(CNTMODE)='011'(計数捕獲周波数測定動作)設定でTCB制御B(TCBn.CTRLB)レジスタを構成設定してください。
- 事象割り込みを許可するためにTCB事象制御(TCBn.EVCTRL)レジスタで捕獲事象入力許可(CAPTEI)='1'を書いてください。TCBn.EVCTRLレジスタの事象端選択(EDGE)='0'を保ってください。
- UPDI SYNCH事象(生成部)をTCB(使用部)に配線するように事象システムを構成設定してください。
- UPDI事象を生成するのに使われる同期(SYNCH)文字については、各UPDI事象間で計時器によって捕獲される値でのもっと正確な測定を得るために10～50kbpsの範囲の低いボーレートを使うことが推奨されます。1つの特別なことは、捕獲が割り込みを起動するように構成設定される場合、最初の捕獲値は無視されなければなりません。入力事象に基づいて次に捕獲された値が測定に使われなければなりません。計時器に対して200µsの捕獲窓を与える10kbpsのUPDI同期(SYNCH)文字を使う例については図33-18.をご覧ください。
- TCB比較/捕獲(TCBn.CCMP)レジスタを読むことによって同期(SYNCH)文字直後の捕獲値を読み出すことが可能で、また、値は一旦捕獲が行われると、CPUによってメモリに書くこともできます。より多くの詳細については「TCB – 16ビット タイマ/カウンタB型」章を参照してください。

図33-18. UPDIシステム クロック測定事象



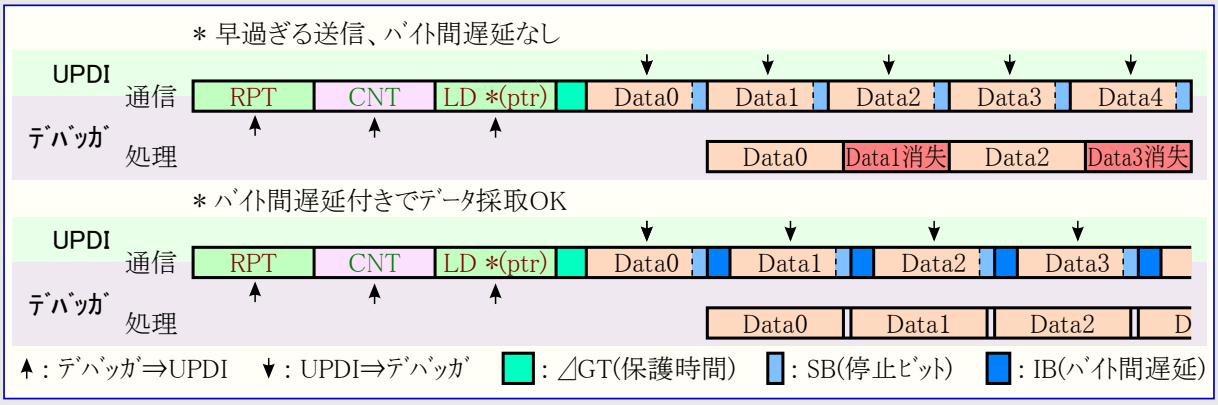
33.3.6. バイト間遅延

複数バイト転送(REPEATと組み合わせたLD)実行またはシステム情報部(SIB)読み出し時、出力データは継続的な流れで出て来ます。応用に依存して、受信側でデータが早過ぎで送り出されるかもしれず、次の開始ビット到着の前に処理されるべきデータに対して充分な時間がないかもしれません。

バイト間遅延は複数バイト転送間に固定数のアイドル ビットを挿入することによって動きます。バイト間遅延を追加する理由は全てのデータが同じ方向で進んでいる時に挿入される保護時間がないからです。

バイト間遅延機能は制御A(UPDI.CTRLA)レジスタのバイト間遅延許可(IBDLY)ビットに'1'を書くことによって許可することができます。結果として、デバッガに対して採取時間を緩和するために各バイト間で2つの余分なアイドル ビットが挿入されます。

図33-19. LDとRPTでのバイト間遅延例



注: 1. ⊿GTは保護時間挿入を表します。
2. SBは停止ビット用です。
3. IBは挿入されたバイト間遅延です。
4. フレームの残りは命令とデータです。

© 2023 Microchip Technology Inc.とその子会社

33.3.7. ｼｽﾃﾑ情報部

ｼｽﾃﾑ情報部(SIB:System Information Block)は「KEY – 活性化鍵設定またはｼｽﾃﾑ情報部送出」からKEY命令に従ってSIBﾋﾞｯﾄを設定(1)することによって何時でも読み出すことができます。SIBは施錠ﾋﾞｯﾄ設定に関わらず、常にﾃﾞﾊﾞｯｶﾞのためにｱｸｾｽ可能で、ﾃﾞﾊﾞｲｽとﾃﾞﾊﾞｯｶﾞ用のｼｽﾃﾑ要素についての情報提供の簡潔な形式を提供します。この情報はﾃﾞﾊﾞｲｽとの正しい通信ﾁｬﾈﾙを認識して準備することに於いて重要です。SIBの出力はASCII符号として解釈されます。K量領域は完全なSIBを読み出す時に16ﾊﾞｲﾄに設定されなければならず、8ﾊﾞｲﾄの大きさは系統IDだけを読み出すのに使うことができます。SIB形式記述とどのﾃﾞｰﾀが異なる読み出し量で利用可能かについては**図33-20.**をご覧ください。

図33-20. ｼｽﾃﾑ情報部形式

K量 (ﾊﾞｲﾄ)		ﾊﾞｲﾄ	ﾋﾞｯﾄ	領域名
16	8			
○	○	6～0	55～0	系統ID
○	○	7	7～0	(予約)
○	×	10～8	23～0	NVM版番号
○	×	13～11	23～0	OCD版番号
○	×	14	7～0	(予約)
○	×	15	7～0	ﾃﾞﾊﾞｯｸﾞ発振周波数

33.3.8. 鍵保護されたｲﾝﾀｰﾌｪｰｽの許可

いくつかの内部ｲﾝﾀｰﾌｪｰｽと機能へのｱｸｾｽはUPDI鍵機構によって保護されます。鍵を認証するには、「33.3.3.8. KEY – 活性化鍵設定またはｼｽﾃﾑ情報部送出」で記述されるように、KEY命令を用いることによって正しい鍵ﾃﾞｰﾀが送信されなければなりません。**表33-4.**は利用可能な鍵と鍵が読み込まれた後に操作を開始するのに必要とされる条件を記述します。

表33-4. 鍵認証概要

鍵名	説明	動作の必要条件	ﾘｾｯﾄ
ﾁｯﾌﾟ消去	NVMﾁｯﾌﾟ消去開始。施錠ﾋﾞｯﾄ解除	なし	UPDI禁止/UPDIﾘｾｯﾄ
NVMPROG	NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ活性	施錠ﾋﾞｯﾄ解除。ASIｼｽﾃﾑ状態(ASI_SYS_STATUS)ﾚｼﾞｽﾀのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(PROGSTART)を設定(1)。	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ終了/UPDIﾘｾｯﾄ
使用者列書き込み	施錠されたﾃﾞﾊﾞｲｽで使用者列書き込み	施錠ﾋﾞｯﾄ設定。ASIｼｽﾃﾑ状態(ASI_SYS_STATUS)ﾚｼﾞｽﾀの使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(UROWSTART)を設定(1)。	鍵状態ﾋﾞｯﾄ書き込み/UPDIﾘｾｯﾄ

表33-5.はｲﾝﾀｰﾌｪｰｽを活性にするために移動入力されなければならない利用可能な鍵符号の概要を与えます。

表33-5. 鍵認証符号

鍵名	鍵符号 (LSB先行で書かれています。)	大きさ
ﾁｯﾌﾟ消去	$4E564D4572617365	64ﾋﾞｯﾄ
NVMPROG	$4E564D50726F6720	
使用者列書き込み	$4E564D5573267465	

33.3.8.1. ﾁｯﾌﾟ消去

ﾁｯﾌﾟ消去を発行するには次の手順に従わなければなりません。

1. KEY命令を使うことによってﾁｯﾌﾟ消去鍵を入力してください。ﾁｯﾌﾟ消去符号については**表33-5.**をご覧ください。
2. 任意選択: 鍵が成功裏に認証されたことを知るためにASI鍵状態(UPDI.ASI_KEY_STATUS)ﾚｼﾞｽﾀのﾁｯﾌﾟ消去鍵状態(CHER)ﾋﾞｯﾄを読んでください。
3. ASIﾘｾｯﾄ要求(UPDI.ASI_RESET_REQ)ﾚｼﾞｽﾀのﾘｾｯﾄ要求(RESREQ)ﾋﾞｯﾄ領域に識票を書いてください。これはｼｽﾃﾑ ﾘｾｯﾄを発行します。
4. ｼｽﾃﾑ ﾘｾｯﾄを解除するためにUPDI/ASI_RESET_REQﾚｼﾞｽﾀに$00を書いてください。
5. ASIｼｽﾃﾑ状態(UPDI.ASI_SYS_STATUS)ﾚｼﾞｽﾀのNVM施錠状態(LOCKSTATUS)ﾋﾞｯﾄを読んでください。
6. ﾁｯﾌﾟ消去はUPDI.ASI_SYS_STATUSﾚｼﾞｽﾀのLOCKSTATUSﾋﾞｯﾄが'0'の時に終わります。LOCKSTATUSﾋﾞｯﾄが'1'なら、手順5.に戻ってください。
7. ﾁｯﾌﾟ消去が成功したかを確認するためにUPDI_ASI_SYS_STATUSﾚｼﾞｽﾀのﾁｯﾌﾟ消去鍵失敗(ERASEFAIL)ﾋﾞｯﾄを調べてください。
8. ERASEFAILﾋﾞｯﾄが'0'なら、ﾁｯﾌﾟ消去は成功しました。

ﾁｯﾌﾟ消去成功後、施錠ﾋﾞｯﾄが解除され、UPDIはｼｽﾃﾑに対して完全なｱｸｾｽ(権)を持ちます。施錠ﾋﾞｯﾄが解除されるまで、UPDIはｼｽﾃﾑ ﾊﾞｽをｱｸｾｽすることができず、制御/状態(CS)空間操作だけを実行することができます。

⚠注意 ﾁｯﾌﾟ消去中、BODは制御A(BOD.CTRLA)ﾚｼﾞｽﾀの活動/ｱｲﾄﾞﾙ時動作(ACTIVE)ﾋﾞｯﾄ領域に書くことによってONを強制され、BOD構成設定(FUSE.BODCFG)ﾋｭｰｽﾞのBOD基準(LVL)ﾋﾞｯﾄ領域と制御B(BOD.CTRLB)ﾚｼﾞｽﾀのBOD基準(LVL)ﾋﾞｯﾄ領域を使います。供給電圧(VDD)がその閾値基準未満の場合、ﾃﾞﾊﾞｲｽはVDDが充分に増されるまで使用不能です。より多くの詳細については「BOD – 低電圧検出器」章をご覧ください。

© 2023 Microchip Technology Inc.とその子会社

33.3.8.2. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾃﾞﾊﾞｲｽが解錠されているなら、UPDIを用いてNVM制御器またはﾌﾗｯｼｭ ﾒﾓﾘに直接書くことが可能です。これはNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCPUが活性の場合に予測不能なｺｰﾄﾞ実行になるでしょう。これを避けるため、以下のNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順が実行されなければなりません。

1. 「33.3.8.1. ﾁｯﾌﾟ消去」で記述されるようにﾁｯﾌﾟ消去手順に従ってください。ﾃﾞﾊﾞｲｽが既に解錠されているなら、この点(1.)を飛ばすことができます。
2. KEY命令を使うことによってNVMPROG鍵を入力してください。NVMPROG符号については**表33-5.**をご覧ください。
3. 任意選択: 鍵が認証されたかを知るためにASI鍵状態(UPDI.ASI_KEY_STATUS)ﾚｼﾞｽﾀのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ鍵状態(NVMPROG)ﾋﾞｯﾄを読んでください。
4. ASIﾘｾｯﾄ要求(UPDI.ASI_RESET_REQ)ﾚｼﾞｽﾀのﾘｾｯﾄ要求(RESREQ)ﾋﾞｯﾄ領域に識票を書いてください。これはｼｽﾃﾑ ﾘｾｯﾄを発行します。
5. ｼｽﾃﾑ ﾘｾｯﾄを解除するためにUPDI.ASI_RESET_REQﾚｼﾞｽﾀに$00を書いてください。
6. ASIｼｽﾃﾑ状態(UPDI.ASI_SYS_STATUS)ﾚｼﾞｽﾀのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(PROGSTART)ﾋﾞｯﾄを読んでください。
7. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞはPROGSTARTが'1'の時に開始することができます。PROGSTARTが'0'なら、手順6.に戻ってください。
8. UPDIを通してNVMにﾃﾞｰﾀを書いてください。
9. UPDI.ASI_RESET_REQﾚｼﾞｽﾀのRESREQﾋﾞｯﾄ領域に識票を書いてください。これはｼｽﾃﾑ ﾘｾｯﾄを発行します。
10. ｼｽﾃﾑ ﾘｾｯﾄを解除するためにUPDI.ASI_RESET_REQﾚｼﾞｽﾀに$00を書いてください。
11. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは完了です。

36.3.8.3. 使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能は施錠されたﾃﾞﾊﾞｲｽで使用者列(USERROW)に新しい値を書くことを許します。許可されたこの機能で書き込むには、次の手順に従わなければなりません。

1. KEY命令を使うことによって**表33-5.**で示される使用者列書き込み(UROWWRITE)鍵を入力してください。UROWWRITE符号については**表33-5.**をご覧ください。
2. 任意選択: 鍵が認証されたかを知るためにASI鍵状態(UPDI.ASI_KEY_STATUS)ﾚｼﾞｽﾀの使用者列書き込み鍵状態(UROWWR)ﾋﾞｯﾄを読んでください。
3. ASIﾘｾｯﾄ要求(UPDI.ASI_RESET_REQ)ﾚｼﾞｽﾀのﾘｾｯﾄ要求(RESREQ)ﾋﾞｯﾄ領域に識票を書いてください。これはｼｽﾃﾑ ﾘｾｯﾄを発行します。
4. ｼｽﾃﾑ ﾘｾｯﾄを解除するためにUPDI.ASI_RESET_REQﾚｼﾞｽﾀに$00を書いてください。
5. ASIｼｽﾃﾑ状態(UPDI.ASI_SYS_STATUS)ﾚｼﾞｽﾀの使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(UROWSTART)ﾋﾞｯﾄを読んでください。
6. 使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞはURWOSTARTが'1'の時に開始することができます。UROWSTARTが'0'なら、手順5.に戻ってください。
7. 使用者列に書かれるﾃﾞｰﾀは最初にRAM内の緩衝部に書かれなければなりません。RAMの書き込み可能な領域は64ﾊﾞｲﾄで、SRAMの最初の64ﾊﾞｲﾄのｱﾄﾞﾚｽにだけ使用者列ﾃﾞｰﾀを書くことが可能です。このﾒﾓﾘ範囲外のｱﾄﾞﾚｽ指定は実行されない書き込みに終わります。書き込み手順の完了でﾃﾞｰﾀが使用者列ﾃﾞｰﾀに複写される時に、このﾃﾞｰﾀが使用者列空間と1対1で割り当てられます。
8. 全ての使用者列ﾃﾞｰﾀがSRAMに書かれると、ASIｼｽﾃﾑ制御A(UPDI.ASI_SYS_CTRLA)ﾚｼﾞｽﾀの使用者列書き込み終了(UROWDONE)ﾋﾞｯﾄに('1'を)書いてください。
9. UPDI.ASI_SYS_STATUSﾚｼﾞｽﾀのUROWSTARTﾋﾞｯﾄを読んでください。
10. 使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞはUROWSTARTが'0'の時に完了されます。UROWSTARTが'1'なら、手順9.に戻ってください。
11. ASI鍵状態(UPDI.ASI_KEY_STATUS)ﾚｼﾞｽﾀの使用者列書き込み鍵状態(UROWWR)ﾋﾞｯﾄを書いてください。
12. ASIﾘｾｯﾄ要求(UPDI.ASI_RESET_REQ)ﾚｼﾞｽﾀのﾘｾｯﾄ要求(RESREQ)ﾋﾞｯﾄ領域に識票を書いてください。これはｼｽﾃﾑ ﾘｾｯﾄを発行します。
13. ｼｽﾃﾑ ﾘｾｯﾄを解除するためにUPDI.ASI_RESET_REQﾚｼﾞｽﾀに$00を書いてください。
14. 使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは完了です。

この動作形態でSRAMからﾃﾞｰﾀを読み戻すことはできません。SRAMの最初の64ﾊﾞｲﾄへの書き込みだけが許されます。

© 2023 Microchip Technology Inc.とその子会社

33.3.9. 事象

UPDIは以下の事象を生成することができます。

表33-6. UPDIでの事象生成部

生成部名		説明	事象型	生成ｸﾛｯｸ領域	事象長
周辺機能	事象				
UPDI	SYNCH	同期(SYNC)文字	ﾚﾍﾞﾙ	CLK_UPDI	CLK_UPDIに同期した UPDIﾋﾟﾝ入力でのSYNC文字

この事象はSYNCH文字で検出される各正端に対してUPDIｸﾛｯｸで設定され、UPDIからこの事象を禁止することはできません。

UPDIに事象使用部はありません。

事象型と事象ｼｽﾃﾑ構成設定に関するより多くの詳細については「EVSYS – 事象ｼｽﾃﾑ」章を参照してください。

33.3.10. 休止形態動作

UPDI PHY層は全ての休止動作と無関係に動き、UPDIはﾃﾞﾊﾞｲｽの休止状態と無関係に接続したﾃﾞﾊﾞｯｶﾞに対して常にｱｸｾｽ可能です。ｼｽﾃﾑがｼｽﾃﾑ ｸﾛｯｸをOFFにする休止動作へ入る場合、UPDIはｼｽﾃﾑ ﾊﾞｽのｱｸｾｽ及びﾒﾓﾘと周辺機能の読み込みができません。許可されると、UPDIはUPDIが常にﾃﾞﾊﾞｲｽの残りとの接触を持つようにｼｽﾃﾑ ｸﾛｯｸを要求します。従って、UPDI PHY層ｸﾛｯｸは休止動作の設定によって影響を及ぼされません。ASIｼｽﾃﾑ状態(UPDI.ASI_SYS_STATUS)ﾚｼﾞｽﾀのｼｽﾃﾑ領域休止中(INSLEEP)ﾋﾞｯﾄを読むことにより、ｼｽﾃﾑ領域が休止動作かを監視することが可能です。

ASIｼｽﾃﾑ制御A(UPDI.ASI_SYS_CTRLA)ﾚｼﾞｽﾀのｼｽﾃﾑ ｸﾛｯｸ要求(CLKREQ)ﾋﾞｯﾄを書くことにより、休止動作へ行く時に停止することからｼｽﾃﾑ ｸﾛｯｸを守ることが可能です。このﾋﾞｯﾄが設定(1)される場合、ｼｽﾃﾑの休止動作状態が模倣され、例え最も深い休止動作でも、UPDIはｼｽﾃﾑ ﾊﾞｽをｱｸｾｽして周辺機能ﾚｼﾞｽﾀを読むことができます。

CLKREQﾋﾞｯﾄはUPDIが許可される時に既定で'1'で、これは既定操作が休止動作中にｼｽﾃﾑ ｸﾛｯｸをON状態に保つことを意味します。

© 2023 Microchip Technology Inc.とその子会社

33.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+$00	STATUSA	7～0	UPDIREV3~0							
+$01	STATUSB	7～0						PESIG2~0		
+$02	CTRLA	7～0	IBDLY		PARD	DTD	RSD	GTVAL2~0		
+$03	CTRLB	7～0				NACKDIS	CCDETDIS	UPDIDIS		
+$04 ～ +$06	予約									
+$07	ASI_KEY_STATUS	7～0			UROWWR	NVMPROG	CHER			
+$08	ASI_RESET_REQ	7～0	RSTREQ7~0							
+$09	ASI_CTRLA	7～0							UPDICLKSEL1,0	
+$0A	ASI_SYS_CTRLA	7～0							UROWDONE	CLKREQ
+$0B	ASI_SYS_STATUS	7～0	BDEF	ERASEFAIL	SYSRST	INSLEEP	PROGSTART	UROWSTART	BOOTDONE	LOCKSTATUS
+$0C	ASI_CRC_STATUS	7～0						CRC_STATUS2~0		

© 2023 Microchip Technology Inc.とその子会社

33.5. ﾚｼﾞｽﾀ説明

これらのﾚｼﾞｽﾀは特別な命令でUPDIを通してだけ読み込み可能で、CPUを通して読み込み可能ではありません。

33.5.1. STATUSA – 状態A (Status A)

名称 : STATUSA
変位 : +$00
ﾘｾｯﾄ : $30
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	UPDIREV3~0							
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	1	1	0	0	0	0

● **ﾋﾞｯﾄ7~4 – UPDIREV3~0 : UPDI改訂** (UPDI Revision)

このﾋﾞｯﾄ領域は現在のUPDI実装の改訂(番号)を含みます。

33.5.2. STATUSB – 状態B (Status B)

名称 : STATUSB
変位 : +$01
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
						PESIG2~0		
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2~0 – PESIG2~0 : UPDI異常識票** (UPDI Error Signature)

このﾋﾞｯﾄ領域はUPDI異常識票を記述し、内部UPDI異常状態発生時に設定されます。PESIGﾋﾞｯﾄ領域はﾃﾞﾊﾞｯｶﾞからの読み込みで解消されます。

表33-7. 有効な異常識票

PESIG2~0	異常形式	異常説明
0 0 0	異常なし	検出された異常なし(既定)
0 0 1	ﾊﾟﾘﾃｨ誤り	ﾊﾟﾘﾃｨ ﾋﾞｯﾄの不正な採取
0 1 0	ﾌﾚｰﾑ異常	停止ﾋﾞｯﾄの不正な採取
0 1 1	ｱｸｾｽ層制限時間超過異常	UPDIはｱｸｾｽ層からﾃﾞｰﾀや応答を得られないことが有り得ます。
1 0 0	ｸﾛｯｸ再生異常	開始ﾋﾞｯﾄの不正な採取
1 0 1	–	(予約)
1 1 0	ﾊﾞｽ異常	ｱﾄﾞﾚｽ異常またはｱｸｾｽ優先権異常
1 1 1	競合異常	UPDIﾋﾟﾝでの駆動競合を示します。

33.5.3. CTRLA – 制御A (Contorl A)

名称 : CTRLA
変位 : +$02
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	IBDLY		PARD	DTD	RSD		GTVAL2~0	
ｱｸｾｽ種別	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7 – IBDLY : ﾊﾞｲﾄ間遅延許可** (Inter-Byte Delay Enable)

このﾋﾞｯﾄへの'1'書き込みが複数ﾊﾞｲﾄLD(S)命令を行う時にUPDIから送信される各ﾃﾞｰﾀ ﾊﾞｲﾄ間に固定長のﾊﾞｲﾄ間遅延を許可します。固定長は2つのｱｲﾄﾞﾙ ﾋﾞｯﾄです。

© 2023 Microchip Technology Inc.とその子会社

● **ﾋﾞｯﾄ5 - PARD : ﾊﾟﾘﾃｨ禁止** (Parity Disable)

このﾋﾞｯﾄに'1'を書くことがﾊﾟﾘﾃｨ ﾋﾞｯﾄを無視することによってUPDIでのﾊﾟﾘﾃｨ検出を禁止します。この機能は試験中にだけ使うことが推奨されます。

● **ﾋﾞｯﾄ4 - DTD : 制限時間検出禁止** (Disable Time-Out Detection)

このﾋﾞｯﾄに'1'を書くことがPHY層での制限時間検出を禁止し、これは指定された時間(65536 UPDIｸﾛｯｸ周期)内にACC層からの応答を要求します。

● **ﾋﾞｯﾄ3 - RSD : 応答符号禁止** (Response Signature Disable)

このﾋﾞｯﾄに'1'を書くことがUPDIによって生成されるどの応答符号も禁止し、NVM空間に大きな塊のﾃﾞｰﾀを書く時に規約の付随処理を最小に減らします。ｼｽﾃﾑ ﾊﾞｽをｱｸｾｽする時にUPDIは遅れを経験するかもしれません。遅れが予測可能な場合、応答符号を禁止することができます。さもなければﾃﾞｰﾀの消失が起こるかもしれません。

● **ﾋﾞｯﾄ2~0 - GTVAL2~0 : 保護時間値** (Guard Time Value)

このﾋﾞｯﾄ領域は転送方向が受信から送信に切り替わる時にUPDIによって使われる保護時間値を選びます。

値	000	001	010	011	100	101	110	111
説明 (保護時間:追加ﾋﾞｯﾄ周期数)	128(既定)	64	32	16	8	4	2	(予約)

33.5.4. CTRLB - 制御B (Contorl B)

名称 : CTRLB
変位 : +$03
ﾘｾｯﾄ : $00
特質 : -

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
				NACKDIS	CCDETDIS	UPDIDIS		
ｱｸｾｽ種別	R	R	R	R/W	R/W	R/W	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ4 - NACKDIS : NACK応答禁止** (Disable NACK Response)

このﾋﾞｯﾄに'1'を書くことがLD(S)またはST(S)操作進行中にｼｽﾃﾑ ﾘｾｯﾄが発行される時にUPDIによって送られるNACK符号を禁止します。

● **ﾋﾞｯﾄ3 - CCDETDIS : 衝突/競合検出禁止** (Collision and Contention Detection Disable)

このﾋﾞｯﾄに'1'を書くことが競合検出を禁止します。このﾋﾞｯﾄへ'0'を書くことが競合検出を許可します。

● **ﾋﾞｯﾄ2 - UPDIDIS : UPDI禁止** (UPDI Disable)

このﾋﾞｯﾄに'1'を書くことがUPDI PHYｲﾝﾀｰﾌｪｰｽを禁止します。UPDIからのｸﾛｯｸ要求は下げられ、UPDIはﾘｾｯﾄされます。UPDIが禁止されると、全てのUPDI PHY層構成設定と鍵がﾘｾｯﾄされます。

33.5.5. ASI_KEY_STATUS - ASI鍵状態 (ASI Key Status)

名称 : ASI_KEY_STATUS
変位 : +$07
ﾘｾｯﾄ : $00
特質 : -

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
			UROWWR	NVMPROG	CHER			
ｱｸｾｽ種別	R	R	R/W	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ5 - UROWWR : 使用者列書き込み鍵状態** (User Row Write Key Status)

このﾋﾞｯﾄは使用者列書き込み(UROWWRITE)鍵が成功裏に復号された場合に'1'に設定されます。このﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ作業を正しくﾘｾｯﾄするために使用者列書き込み手順の最後の部分として書かれなければなりません。

● **ﾋﾞｯﾄ4 - NVMPROG : NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ鍵状態** (NVM Programming Key Status)

このﾋﾞｯﾄはNVMPROG鍵が成功裏に復号された場合に'1'に設定されます。このﾋﾞｯﾄはNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順が開始される時に解除(0)され、ASIｼｽﾃﾑ状態(ASI_SYS_STATUS)ﾚｼﾞｽﾀのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始(PROGSTART)ﾋﾞｯﾄが設定(1)されます。

● **ﾋﾞｯﾄ3 - CHER : ﾁｯﾌﾟ消去鍵状態** (Chip Erase Key Status)

このﾋﾞｯﾄはﾁｯﾌﾟ消去(CHIPERASE)鍵が成功裏に復号された場合に'1'に設定されます。このﾋﾞｯﾄは「33.3.8.1. ﾁｯﾌﾟ消去」項で記述されるﾁｯﾌﾟ消去手順の一部として発行されるﾘｾｯﾄ要求によって解除(0)されます。

© 2023 Microchip Technology Inc.とその子会社

33.5.6. ASI_RESET_REQ – ASIﾘｾｯﾄ要求 (ASI Reset Request)

名称 : ASI_RESET_REQ
変位 : +$08
ﾘｾｯﾄ : $00
特質 : –

このｱﾄﾞﾚｽにﾘｾｯﾄ識票を書く時にｼｽﾃﾑへﾘｾｯﾄが合図されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	RSTREQ7~0							
ｱｸｾｽ種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ7~0 – RSTREQ7~0 : ﾘｾｯﾄ要求** (Reset Request)

UPDIはこのﾚｼﾞｽﾀからｼｽﾃﾑ ﾘｾｯﾄを発行する時にﾘｾｯﾄされません。

値	$00	$59	その他
名称	RUN	RESET	–
説明	ﾘｾｯﾄ条件解除	標準ﾘｾｯﾄ	(予約)

33.5.7. ASI_CTRLA – ASI制御A (ASI Control A)

名称 : ASI_CTRLA
変位 : +$09
ﾘｾｯﾄ : $03
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							UPDICLKSEL1,0	
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	1	1

● **ﾋﾞｯﾄ1,0 – UPDICLKSEL1,0 : UPDIｸﾛｯｸ分周器選択** (UPDI Clock Divider Select)

これらのﾋﾞｯﾄの書き込みがUPDIｸﾛｯｸ出力周波数を選びます。ﾘｾｯﾄと許可後の既定設定は4MHzです。可能なUPDI発振器周波数のより多くの情報については「電気的特性」章をご覧ください。

値	0 0	0 1	1 0	1 1
説明	32MHz UPDIｸﾛｯｸ	16MHz UPDIｸﾛｯｸ	8MHz UPDIｸﾛｯｸ	4MHz UPDIｸﾛｯｸ (既定)

33.5.8. ASI_SYS_CTRLA – ASIｼｽﾃﾑ制御A (ASI System Control A)

名称 : ASI_SYS_CTRLA
変位 : +$0A
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
							UROWDONE	CLKREQ
ｱｸｾｽ種別	R	R	R	R	R	R	R/W	R/W
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ1 – UROWDONE : 使用者列書き込み終了** (User Row Programming Done)

このﾋﾞｯﾄは使用者列ﾃﾞｰﾀがSRAMに書かれた時にこのﾋﾞｯﾄを書いてください。このﾋﾞｯﾄへの'1'書き込みはﾌﾗｯｼｭ ﾒﾓﾘへの使用者列ﾃﾞｰﾀ書き込みの処理を開始します。

UPDIによって使用者列ﾃﾞｰﾀがSRAMに書かれる前にこのﾋﾞｯﾄが('1'を)書かれた場合、CPUは書かれるﾃﾞｰﾀなしで進行します。

このﾋﾞｯﾄは使用者列書き込み鍵が成功裏に復号された場合にだけ書き込み可能です。

● **ﾋﾞｯﾄ0 – CLKREQ : ｼｽﾃﾑ ｸﾛｯｸ要求** (Request System Clock)

このﾋﾞｯﾄが'1'を書かれた場合、ASIはｼｽﾃﾑの休止動作と無関係にｼｽﾃﾑ ｸﾛｯｸを要求します。これは例えｼｽﾃﾑが休止動作でもUPDIに対してACC層のｱｸｾｽを可能にします。

このﾋﾞｯﾄへの'0'書き込みはｸﾛｯｸ要求を下げます。

このﾋﾞｯﾄはUPDIが許可された時に既定で設定(1)されます。

© 2023 Microchip Technology Inc.とその子会社

33.5.9. ASI_SYS_STATUS – ASIｼｽﾃﾑ状態 (ASI System Status)

名称 : ASI_SYS_STATUS
変位 : +$0B
ﾘｾｯﾄ : $01
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
	BDEF	ERASEFAIL	SYSRST	INSLEEP	PROGSTART	UROWSTART	BOOTDONE	LOCKSTATUS
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	1

● **ﾋﾞｯﾄ7 – BDEF : ﾌﾞｰﾄ手順終了またはﾁｯﾌﾟ消去失敗** (Boot Sequence Done or Chip Erase Failed)
このﾋﾞｯﾄはﾁｯﾌﾟ消去が失敗(ERASEFAILﾋﾞｯﾄが'1')、またはﾌﾞｰﾄ手順が完了(BOOTDONEﾋﾞｯﾄが'1')の場合に'1'に設定されます。

● **ﾋﾞｯﾄ6 – ERASEFAIL : ﾁｯﾌﾟ消去鍵失敗** (Chip Erase Key Failed)
このﾋﾞｯﾄはﾁｯﾌﾟ消去が失敗した場合に'1'に設定されます。このﾋﾞｯﾄはﾘｾｯﾄで'0'に設定されます。ASIﾘｾｯﾄ要求(ASI_RESET_REQ)ﾚｼﾞｽﾀで保持されるﾘｾｯﾄもこのﾋﾞｯﾄに影響を及ぼします。

● **ﾋﾞｯﾄ5 – SYSRST : ｼｽﾃﾑ ﾘｾｯﾄ活性** (System Reset Active)
このﾋﾞｯﾄが'1'設定の時はｼｽﾃﾑ領域で有効なﾘｾｯﾄがあります。このﾋﾞｯﾄが'0'設定の時はｼｽﾃﾑがﾘｾｯﾄ状態ではありません。
このﾋﾞｯﾄは読み込みで'0'に設定されます。
ASIﾘｾｯﾄ要求(UPDI.ASI_RESET_REQ)ﾚｼﾞｽﾀで保持されるﾘｾｯﾄもこのﾋﾞｯﾄに影響を及ぼします。

● **ﾋﾞｯﾄ4 – INSLEEP : ｼｽﾃﾑ領域休止中** (System Domain in Sleep)
このﾋﾞｯﾄが'1'に設定されると、ｼｽﾃﾑ領域はｱｲﾄﾞﾙまたはより深い休止動作です。このﾋﾞｯﾄが'0'に設定されると、ｼｽﾃﾑはどの休止動作でもありません。

● **ﾋﾞｯﾄ3 – PROGSTART : NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始** (Start NVM Programming)
このﾋﾞｯﾄが'1'に設定されると、UPDIからNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞを開始することができます。
UPDIが終了される時にUPDIﾘｾｯﾄ要求(ASI_RESET_REQ)ﾚｼﾞｽﾀを通してﾘｾｯﾄしてください。

● **ﾋﾞｯﾄ2 – UROWSTART : 使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ開始** (Start User Row Programming)
このﾋﾞｯﾄが'1'に設定されると、UPDIから使用者列ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを開始することができます。
使用者列ﾃﾞｰﾀがRAMに書かれてしまうと、ASIｼｽﾃﾑ制御A(UPDI.ASI_SYS_CTRLA)ﾚｼﾞｽﾀの使用者列書き込み終了(UROWDONE)ﾋﾞｯﾄは('1'を)書かなければなりません。

● **ﾋﾞｯﾄ1 – BOOTDONE : ﾌﾞｰﾄ手順終了** (Boot Sequence Done)
このﾋﾞｯﾄはCPUがﾌﾞｰﾄ手順を終えた時に'1'に設定されます。UPDIはこのﾋﾞｯﾄが'1'に設定されるまでｱｸｾｽできません。
続行する前にｼｽﾃﾑ ﾘｾｯﾄ活性(SYSRST)が'0'であることも調べてください。

● **ﾋﾞｯﾄ0 – LOCKSTATUS : NVM施錠状態** (NVM Lock Status)
このﾋﾞｯﾄが'1'に設定されると、ﾃﾞﾊﾞｲｽは施錠されています。ﾁｯﾌﾟ消去が行われて施錠ﾋﾞｯﾄが'0'に設定された場合、このﾋﾞｯﾄは'0'として読みます。

33.5.10. ASI_CRC_STATUS – ASI CRC状態 (ASI CRC Status)

名称 : ASI_CRC_STATUS
変位 : +$0C
ﾘｾｯﾄ : $00
特質 : –

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0
						CRC_STATUS2~0		
ｱｸｾｽ種別	R	R	R	R	R	R	R	R
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0

● **ﾋﾞｯﾄ2~0 – CRC_STATUS2~0 : CRC実行状況** (CRC Execution Status)
このﾋﾞｯﾄ領域はCRC換算の状態を示します。このﾋﾞｯﾄ領域は(どれか1つのﾋﾞｯﾄだけが'1'の)単一ﾋﾞｯﾄ活性符号化されます。

値	000	001	010	100	その他
説明	不許可	CRC許可、 多忙	CRC許可、 成功(OK)符号で終了	CRC許可、 失敗(FAILED)符号で終了	(予約)

© 2023 Microchip Technology Inc.とその子会社

34. 命令一式要約

命令一式要約はwww/microchip.com/DS40002198に置かれた「AVR命令一式手引書」の一部です。このデータシートで文書化されたデバイスに関する詳細についてはAVRxtと呼ばれるCPU版を参照してください。

© 2023 Microchip Technology Inc.とその子会社

35. 電気的特性

35.1. お断り

特に指定のない限り、全ての代表値はTA=25℃とVDD=3.0Vで測定されています。全ての最小値と最大値は特に指定のない限り、動作温度と動作電圧に渡って有効です。

一般的に与えられた値は設計指針に対してだけ考慮されなければならず、これらの値周辺の実部品変動が予想されます。

35.2. 絶対最大定格

本項で一覧にされるこれらを超える負荷はﾃﾞﾊﾞｲｽに定常的な損傷を引き起こすかもしれず、これは負荷定格だけです。本仕様の動作部分で示されるこれらを超える他の条件やそれらでのﾃﾞﾊﾞｲｽの機能的な動作は含まれません。長時間絶対最大定格状態に晒すことはﾃﾞﾊﾞｲｽの信頼性に影響を及ぼすかもしれません。

表35-1. 絶対最大定格

項目	条件	定格	単位
通電下の周囲温度		-40～+125	℃
最大接合部温度		140	
保存温度		-65～+150	
GNDに対するﾋﾟﾝの電圧			
・VDDﾋﾟﾝ		-0.3～+6.0	V
・$\overline{\text{RESET}}$ﾋﾟﾝ		-0.3～+9.0	
・他の全てのﾋﾟﾝ		-0.3～(VDD+0.3)	
最大電流			
・GNDﾋﾟﾝ (注1)	-40℃≦TA≦+85℃	200	mA
	+85℃＜TA≦+125℃	100	
・VDDﾋﾟﾝ (注1)	-40℃≦TA≦+85℃	200	
	+85℃＜TA≦+125℃	100	
・全標準I/Oﾋﾟﾝ		±40	
ｸﾗﾝﾌﾟ電流(IK)	VPIN<0またはVPIN>VDD	±20	
総消費電力 (注2)		-	mW

注1: 最大電流定格はI/Oﾋﾟﾝにそれぞれに渡る均等な負荷分散を必要とします。ﾃﾞﾊﾞｲｽ外囲器消費電力特性は最大電流定格を制限するかもしれません。ﾃﾞﾊﾞｲｽ仕様を計算するには「温度仕様」をご覧ください。

注2: 次のように消費電力を計算してください。$P_{DIS} = V_{DD} \times \{I_{DD} - \Sigma I_{OH}\} + \Sigma\{(V_{DD} - V_{OH}) \times I_{OH}\} + \Sigma(V_{OL} \times I_{OL})$

35.3. 標準動作条件

他の全てのﾃﾞﾊﾞｲｽ特性が有効であるためには、本項で一覧にされる定格内でﾃﾞﾊﾞｲｽが動作しなければなりません。

一般的な動作条件：・動作電圧：VDDMIN≦VDD≦VDDMAX
・動作温度：TA_MIN≦TA≦TA_MAX

全てのﾃﾞﾊﾞｲｽに対する標準動作条件は次のように定義されます。

表35-2. 標準動作条件

項目	ｼﾝﾎﾞﾙ	定格	単位
VDD - 動作供給電圧 (注)			
工業と拡張温度	VDDMIN	+1.8	V
	VDDMAX	+5.5	
TA - 動作周囲温度範囲			
工業温度	TA_MIN	-40	℃
	TA_MAX	+85	
拡張温度	TA_MIN	-40	
	TA_MAX	+125	

注:「35.4. 供給電圧」で供給電圧要素を参照してください。

© 2023 Microchip Technology Inc.とその子会社

35.4. 供給電圧

表35-3. 供給電圧

シンボル	最小	代表 (†)	最大	単位	条件
供給電圧 (注1)					
VDD	1.8 (注2)	-	5.5	V	
RAMデータ保持電圧 (注3)					
VDR	1.7	-	-	V	パワーダウン動作でのデバイス
電源ONリセット開放電圧 (注5)					
VPOR	-	1.6	-	V	BOD禁止 (注4)
tPOR	-	-	-	µs	
電源ONリセット機能再開電圧 (注5)					
VPORR	-	-	-	V	BOD禁止 (注4)
tPORR	-	-	-	µs	
内部電源ONリセット信号を保証するためのVDD上昇速度 (注6)					
SVDD	-	-	0.5	V/µs	

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

注1: チップ消去中、BODLEVEL0で構成設定された低電圧検出器(BOD)がONを強制されます。供給電圧(VDD)がBODLEVEL0に対するVBOD未満の場合、消去の試みは失敗します。

注2: 1.8VまたはBODが有効の時にBOD起動基準(VBOD)に落ちるまで動作は保証されます。

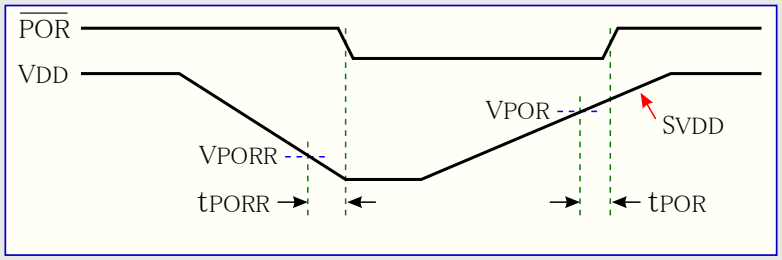
注3: これはRAMデータを失うことなく休止動作でVDDを低めることができる限度です。

注4: BOD切り替わり点情報については「35.11. RSTCTRLとBOD」項を参照してください。

注5: 図35-1.を参照してください。

注6: 設計の手引きのためだけで、製造で検査されません。

図35-1. 遅い上昇のVDDでのPORとPORR



注: • PORがLowの時にデバイスはリセットに保たれます。

© 2023 Microchip Technology Inc.とその子会社

35.5. 消費電力

表35-4. 活動動作とｱｲﾄﾞﾙ動作での消費電力

動作条件:
・ 禁止された周辺機能と入力禁止でLow駆動された入出力ﾎﾟｰﾄで測定したｼｽﾃﾑ消費電力

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大 85℃	最大 125℃	単位	条件
IDD	活動消費電力	–	12	–	–	mA	OSCHF=20MHz, VDD=5V
		–	3.7	–	–		OSCHF=10MHz (OSCHF/2)
		–	2.2	–	–		OSCHF=5MHz (OSCHF/4)
		–	–	–	–	µA	OSC32K=32.768kHz
		–	10	–	–		XOSC32K=32.768kHz
IDD_IDLE	ｱｲﾄﾞﾙ消費電力	–	3.5	–	–	mA	OSCHF=20MHz, VDD=5V
		–	1.5	–	–		OSCHF=10MHz (OSCHF/2)
		–	1.0	–	–		OSCHF=5MHz (OSCHF/4)
		–	–	–	–	µA	OSC32K=32.768kHz
		–	3.3	–	–		XOSC32K=32.768kHz
IDD_BASE	各種休止動作での最小消費電力	–	0.08	–	–	µA	ﾊﾟﾜｰﾀﾞｳﾝ動作またはｽﾀﾝﾊﾞｲ動作、全周辺機能禁止

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

© 2023 Microchip Technology Inc.とその子会社

35.6. 周辺機能消費電力

様々な動作形態で各種入出力周辺機能に対して追加消費電流を計算するのに下表を使ってください。いくつかの周辺機能はｽﾀﾝﾊﾞｲ動作で動く時に許可されるべきｸﾛｯｸを要求します。更なる情報については周辺機能章を参照してください。

表35-5. 周辺機能消費電力 (注1)

動作条件:
- ｸﾛｯｸ元として使われた6分周係数の前置分周器を持つ20MHzのOSCHF
- ﾃﾞﾊﾞｲｽはｽﾀﾝﾊﾞｲ休止動作

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件	
IDD_WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ (WDT)	–	0.27	–		32.768kHz内部発振器	
IDD_VREF	参照基準電圧 (VREF)	–	–	–			
		–	–	–			
		–	–	–			
IDD_BOD	低電圧検出器 (BOD)	–	14	–		継続動作	
		–	0.60	–		128Hz採取動作	IDD_OSC32Kを含む
		–	0.42	–		32Hz採取動作	
IDD_TCA	16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀA型 (TCA)	–	38	–		ｱｲﾄﾞﾙ休止動作	
IDD_TCB	16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀB型 (TCB)	–	19	–			
IDD_RTC	実時間計数器 (RTC)	–	0.60	–		CLK_RTC=32.768kHz内部発振器	
IDD_OSC32K	32,768kHz内部発振器 (OSC32K)	–	0.27	–			
IDD_XOSC32K	32,768kHzｸﾘｽﾀﾙ用発振器 (XOSC32K)	–	–	–			
IDD_OSCHF	内部高周波数発振器 (OSCHF)	–	–	–	µA		
IDD_XOSCHF	高周波数ｸﾘｽﾀﾙ用発振器 (XOSCHF)	–	–	–			
IDD_ADC	ｱﾅﾛｸﾞ⇒ﾃﾞｼﾞﾀﾙ変換器 (ADC)	–	270	–		CLK_ADC=1MHz, ｱｲﾄﾞﾙ休止動作	
IDD_AC	ｱﾅﾛｸﾞ比較器 (AC)	–	160	–		CTRLA.POWER='00'	
		–	–	–		CTRLA.POWER='01'	ｱｲﾄﾞﾙ休止動作
		–	110	–		CTRLA.POWER='10'	
IDD_DAC	ﾃﾞｼﾞﾀﾙ⇒ｱﾅﾛｸﾞ変換器 (DAC)	–	104	–		VDACREF=1.024V	
		–	125	–		VDACREF=4.096V	ｱｲﾄﾞﾙ休止動作
		–	98	–		VDACREF=VDD	
IDD_USART	万能同期/非同期送受信器 (USART)	–	–	–		9600ﾎﾞｰでUART許可	
IDD_SPI	直列周辺ｲﾝﾀｰﾌｪｰｽ (SPI)	–	7.0	–		100kHzでSPI主装置, ｱｲﾄﾞﾙ休止動作	
IDD_TWI	2線ｲﾝﾀｰﾌｪｰｽ (TWI)	–	27	–		100kHzでTWI主装置	ｱｲﾄﾞﾙ休止動作
		–	21	–		100kHzでTWI従装置	
IDD_NVM_ERASE	ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ – 消去	–	1.5	–	mA		
IDD_NVM_WRITE	ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ – 書き込み	–	3.0	–			

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

注1: 単位部だけの消費電流。ﾏｲｸﾛ ｺﾝﾄﾛｰﾗの総内部消費電力を計算するには使われる全ての周辺機能とｸﾛｯｸ元の消費電力値を「電気的特性」の「35.5. 消費電力」項で与えられる基本消費電力に加えてください。

注2: 自由走行動作のADC活動での平均消費電力 (訳補:現在の本表に対しては該当項目なし)

© 2023 Microchip Technology Inc.とその子会社

35.7. 入出力ピン

表35-6. 入出力ピン特性

シンボル	説明		最小	代表 (†)	最大	単位	条件
Low入力電圧							
VIL	入出力ポート	• シュミットトリガ緩衝部	–	–	0.2VDD	V	PINnCTRL.INLVL='0'
		• TTL基準	–	<0.8	–		PINnCTRL.INLVL='1', VDD>2.7V
	RESETピン		–	–	0.2VDD		
High入力電圧							
VIH	入出力ポート	• シュミットトリガ緩衝部	0.8VDD	–	–	V	PINnCTRL.INLVL='0'
		• TTL基準	–	>2.0	–		PINnCTRL.INLVL='1', VDD>2.7V
	RESETピン		0.8VDD	–	–		
入力漏れ電流 (注1)							
IIL	入出力ポート (注2)		–	<50	–	nA	GND≦VPIN≦VDD、高インピーダンスピン、TA=85℃
	RESETピン (注3) (*)		–	<50	–		
プルアップ抵抗							
RP	–		–	26	–	kΩ	
Low出力電圧							
VOL	標準入出力ポート		–	–	–	V	VDD=3.0V、IOL=6mA
High出力電圧							
VOH	標準入出力ポート		–	–	–	V	VDD=3.0V、IOH=6mA
入出力ピン スリューレート							
	上昇スリューレート		–	22	–	ns	PINnCTRL.SRL='0'
			–	45	–		PINnCTRL.SRL='1'
	下降スリューレート		–	16	–		PINnCTRL.SRL='0'
			–	30	–		PINnCTRL.SRL='1'
ピン容量							
CIO	全入出力ピン		–	5	–	pF	

†: "代表"列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注1: 負(–)の電流はピンによって吐き出される電流です。

注2: 入出力ポートの漏れ電流はそのピンが許可されたアナログ周辺機能の入力として使われる時にも有効です。

注3: RESETピンの漏れ電流は印加される電圧水準に大きく依存します。指定した基準は標準的な動作条件を表します。違う入力電圧ではより高い漏れ電流が測定されるかもしれません。

© 2023 Microchip Technology Inc.とその子会社

35.8. メモリ プログラミング仕様

表35-7. メモリ プログラミング仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件
データ用EEPROMメモリ仕様						
ED (*)	データEEPROMバイト耐久性	100000	-	-	消去/書き回数	
tD_RET	保持特性	-	40	-	年	TA=55℃
VD_RW	読みまたは消去/書き操作VDD	VDDMIN	-	VDDMAX	V	
tD_CE	EEPROM全体消去時間	-	4	-	ms	
tD_BPW	バイト/ページ書き込み時間	-	2	-		
tD_BPE	バイト/ページ消去時間	-	2	-		
プログラム用フラッシュ メモリ仕様						
EP (*)	フラッシュ メモリ セル耐久性	10000	-	-	消去/書き回数	
tP_RET	保持特性	-	40	-	年	
VP_RD	読み操作VDD	VDDMIN	-	VDDMAX	V	
VP_REW	消去/書き操作VDD	VDDMIN (注1)	-	VDDMAX		
tP_CE	チップ消去時間	-	10	-	ms	
tP_PE	ページ/複数ページ消去時間	-	6	-		
tP_PW	ページ書き込み時間	-	4	-		

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注1: チップ消去の間、BODLEVEL0で構成設定された低電圧検出器(BOD)がONを強制されます。VDD供給電圧がBODLEVEL0に対するVBOD未満の場合、消去の試みは失敗するでしょう。

35.9. 温度仕様

表35-8. 温度仕様

シンボル	説明	代表	単位	条件
θJA	周囲に対する接合部熱抵抗	60.0	℃/W	28ピンPDIP外囲器 (SP)
		47.0		28ピンSOIC外囲器 (SO)
		67.1		28ピンSSOP外囲器 (SS)
		36.1		32ピンVQFN外囲器 (RXB)
		58.8		32ピンTQFP外囲器 (PT)
		33.7		48ピンVQFN外囲器 (6LX)
		55.6		48ピンTQFP外囲器 (PT)
TJMAX	最大接合部温度			「絶対最大定格」項を参照してください。

注: ・ 次のように消費電力を計算してください。: PDIS = VDD × {IDD − Σ IOH} + Σ {(VDD − VOH) × IOH} + Σ (VOL × IOL)

・ 次のように内部消費電力を計算してください。: PINTERNAL = IDD × VDD、ここでIDDは出力ピンでどの負荷も駆動していないチップ単独走行電流です。

・ 次のように減電力(デレーティング)を計算してください。: PDER = PDMAX (TJ − TA) / θJA、ここでTA=周囲温度、TJ=接合部温度

© 2023 Microchip Technology Inc.とその子会社

35.10. CLKCTRL

35.10.1. 内部発振器

表35-9. 内部発振器仕様 (注1)

シンボル	説明	最小	代表 (†)	最大	単位	条件
f_{OSCHF}	精度校正された OSCHF周波数	-	20	-	MHz	OSCCFG.OSCHFFRQ='00'
		-	16	-		OSCCFG.OSCHFFRQ='01'
f_{CAL}	周波数調節範囲	-	-	-		OSCCFG.OSCHFFRQ='00'
		-	-	-		OSCCFG.OSCHFFRQ='01'
%CAL	OSCHF調節段階量	-	0.2	-		
E_{OSCHF_TOTAL}	16/20MHz周波数選択での総合誤差	-	<1	-	%	TA=25℃, VDD=3.0V
		-	<3	-		全動作範囲
D_{OSCHF}	ﾃﾞｭｰﾃｨ ｻｲｸﾙ	-	50	-		
t_{OSCHF_ST} (注2)	OSCHF始動時間	-	10	-	µs	2%精度内
f_{OSC32K}	内部OSC32K周波数	-	32.768	-	kHz	
E_{OSC32K_TOTAL}	目的周波数からの総合誤差	-	<1	-		TA=25℃, VDD=3.0V
		-	<10	-	%	全動作範囲
D_{OSC32K}	ﾃﾞｭｰﾃｨ ｻｲｸﾙ	-	50	-		
t_{OSC32K_ST} (注2)	OSC32K始動時間	-	220	-	µs	

†: "代表"列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

注1: これらの発振器周波数公差を保証するため、VDDとGNDは可能な限りﾃﾞﾊﾞｲｽの近くで容量性雑音分離(ﾃﾞｶｯﾌﾟ)されなければなりません。詳細については「ﾊｰﾄﾞｳｪｱの指針」章の「電源用接続」項をご覧ください。

注2: 起き上がり時間は起こし事象からｺｰﾄﾞ実行までで測定されます。

35.10.2. XOSC32K

表35-10. 32.768kHzｸﾘｽﾀﾙ用発振器(XOSC32K)仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件
$f_{XOSC32K}$	周波数	-	32.768	-	kHz	
$C_{XTAL32K1/XTAL32K2}$ (*)	ﾋﾟﾝ寄生容量	-	5	-		
C_L (*)	ｸﾘｽﾀﾙ負荷容量	-	18	-	pF	XOSC32KCTRLA.LPMODE='0'
		-	8	-		XOSC32KCTRLA.LPMODE='1'
ESR (*)	等価直列抵抗	-	100	-	kΩ	XOSC32KCTRLA.LPMODE='0'
		-	50	-		XOSC32KCTRLA.LPMODE='1'
t_{XOSC32_ST} (*)	XOSC32始動時間	-	300	-	ms	XOSC32KCTRLA.LPMODE='0'
		-	1000	-		XOSC32KCTRLA.LPMODE='1'

†: "代表"列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

© 2023 Microchip Technology Inc.とその子会社

35.10.3. XOSCHF

表35-11. 高周波数ｸﾘｽﾀﾙ用発振器(XOSCHF)仕様

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
f_{XOSCHF}	周波数	4	–	8	MHz	HS発振器動作
		8	–	20		HS発振器動作、VDD=2,5～5.5V
CXTALHF1/XTALHF2 (*)	ﾋﾟﾝ寄生容量	–	5	–	pF	
CL (*)	ｸﾘｽﾀﾙ負荷容量	–	12	–		f_{XOSCHF}≧4MHz
ESR (*)	等価直列抵抗	–	200	–	Ω	XTALHF=4MHz
		–	100	–		XTALHF=8MHz
		–	80	–		XTALHF=12MHz
		–	50	–		XTALHF=20MHz
t_{XOSCHF_ST} (*)	XOSCHF始動時間	–	–	–	ms	

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

35.10.4. 外部ｸﾛｯｸ

図35-2. 外部ｸﾛｯｸ波形

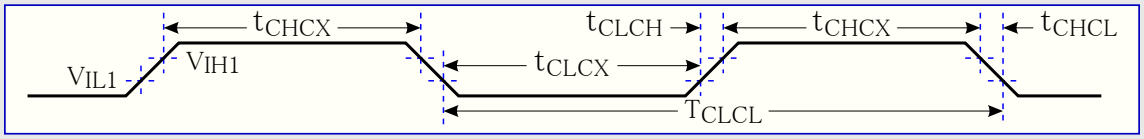


表35-12. 外部ｸﾛｯｸ仕様

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
f_{CLCL}	ｸﾛｯｸ周波数	–	–	20	MHz	
TCLCL	ｸﾛｯｸ周期	50	–	–	ns	
t_{CHCX}	High時間	–	40	–	%	
t_{CLCX}	Low時間	–	40	–		
⊿TCLCL	周期間変化時間	–	20	–		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

35.10.5. ｼｽﾃﾑ ｸﾛｯｸ

表35-13. ｼｽﾃﾑ ｸﾛｯｸ ﾀｲﾐﾝｸﾞ特性

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件	
f_{CLK_MAIN}	主ｸﾛｯｸ周波数、工業温度範囲 (注1)	0	–	5	MHz	VDD≧1.8V	-40℃≦TA≦85℃
		0	–	10		VDD≧2.7V	
		0	–	20		VDD≧4.5V	
	主ｸﾛｯｸ周波数、拡張温度範囲 (注1)	0	–	8		VDD≧2.7V	-40℃≦TA≦125℃
		0	–	16		VDD≧4.5V	
f_{CY}	命令ｸﾛｯｸ周波数	0	f_{CLK_MAIN}	–			
TCY	命令周期 (注2)	41.6	$1/f_{CY}$	–	ns		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

注1: 主ｸﾛｯｸ(CLK_MAIN)周波数は「CLKCTRL – ｸﾛｯｸ制御器」章で記述されるように、ｸﾛｯｸ選択(CLKSEL)ﾋﾞｯﾄ領域によって構成設定されます。

注2: 命令周期時間(TCY)は入力発振器時間基準周期と等価です。それらの指定された限度を超えると、不正なｺｰﾄﾞ実行や予期されるよりも高い消費電流になるかもしれません。全てのﾃﾞﾊﾞｲｽはEXTCLKﾋﾟﾝに印加された外部ｸﾛｯｸと共に”最小”値で動作することを検査されます。外部ｸﾛｯｸ入力が使われる時の”最大”周期時間限度は全てのﾃﾞﾊﾞｲｽに対して”DC”(ｸﾛｯｸなし)です。

© 2023 Microchip Technology Inc.とその子会社

35.11. RSTCTRLとBOD

表35-14. リセット、WDT、発振器始動計時器、起動計時器、低電圧検出器仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件
t_{RST} (*)	リセットを保証するRESETピンLowパルス幅	2.5	-	-	µs	
RRST_UP (*)	RESETピン プルアップ抵抗	-	35	-	kΩ	
TOST (*)	発振器始動計時器期間 (注1)	-	1024	-	周期数	
VBOD+	上昇傾斜、低電圧検出器電圧 (注2)	-	1.75	-	V	BODLEVEL0
		-	1.90	2.10		BODLEVEL1
		-	2.60	2.80		BODLEVEL2
		-	4.30	4.60		BODLEVEL3
VBOD-	下降傾斜、低電圧検出器電圧 (注2)	1.62	1.75	-		BODLEVEL0
		1.80	1.90	-		BODLEVEL1
		2.43	2.60	-		BODLEVEL2
		4.05	4.30	-		BODLEVEL3
VBOD_HYS	低電圧検出器ヒステリシス	-	25	-	mV	
t_{BOD_ST}	休止からの低電圧検出器始動時間	-	30	-	µs	
t_{BOD}	採取動作BOD採取時間	-	$1/f_{BOD}$	-	ms	
t_{BOD_RST}	低電圧リセット応答時間	-	4	-	µs	VDD=VBOD-0.1V

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注1: 設計により、発振器始動計時器(TOST)は周波数と無関係に最初の1024周期を計数します。

注2: これらの電圧公差を保証するため、VDDとGNDは可能な限りデバイスの近くで容量性雑音分離(デカップ)されなければなりません。詳細については「ハードウェアの指針」章の「電源用接続」項をご覧ください。

表35-15. 電圧水準監視部閾値仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件
VDET (*)	電圧検出閾値	1	5	10	BOD閾値越えの%	VLMLVL=’01’
		9	15	22		VLMLVL=’10’
		19	25	32		VLMLVL=’11’

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

35.12. VREF

表35-16. VREF仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件	
V_{VREF_2V048} (注)	内部電圧参照基準2.048V	-	±2	-	%	VDD≧2.55V	VDD≦5.5V, -40℃≦TA≦+85℃
V_{VREF_1V024} (注)	内部電圧参照基準1.024V	-	±3	-		VDD≧1.8V	
V_{VREF_2V500} (注)	内部電圧参照基準2.5V					VDD≧3.0V	
V_{VREF_4V096} (注)	内部電圧参照基準4.096V					VDD≧4.6V	
V_{VREF_1V024} (注)	内部電圧参照基準1.024V	-	±5	-		VDD≧1.8V	VDD≦5.5V, -40℃≦TA≦+125℃
V_{VREF_2V048} (注)	内部電圧参照基準2.048V					VDD≧2.55V	
V_{VREF_2V500} (注)	内部電圧参照基準2.5V					VDD≧3.0V	
V_{VREF_4V096} (注)	内部電圧参照基準4.096V					VDD≧4.6V	
V_{VREF}	内部電圧参照基準	-	-	VDD-0.4	V		
t_{INTREF} (*)	電圧参照基準変更遅延	-	-	-	µs		
t_{VREF_ST} (*)	内部VREF始動時間	-	130	180			
V_{VREFA}	VREFA外部基準ピン入力電圧	1.024	-	VDD	V		

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注: V_{VREF_xVxxx}シンボルはVREF.DAC0REFとVREF.ACREFのレジスタの各々のREFSELビット領域値を示します。

© 2023 Microchip Technology Inc.とその子会社

35.13. USART

図35-3. 主装置SPI動作でのUSART - 主装置動作でのﾀｲﾐﾝｸﾞ必要条件

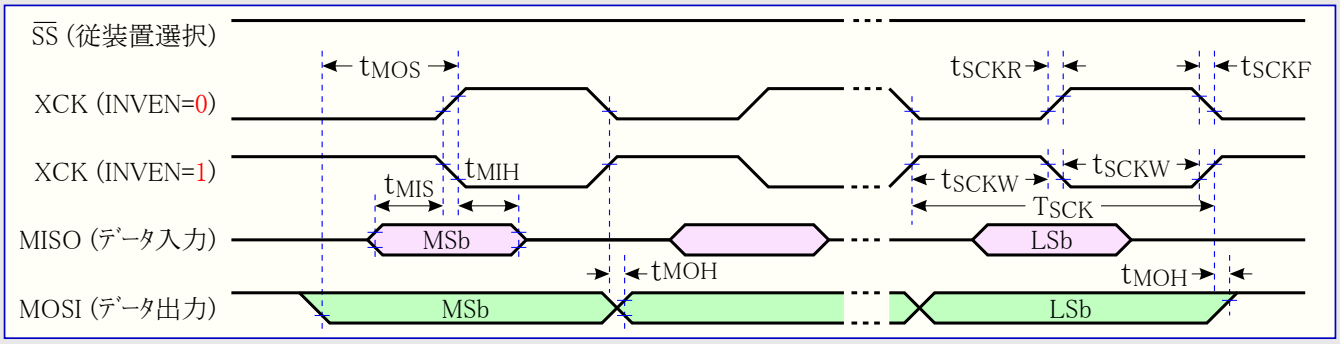


表35-17. 主装置SPI動作でのUSART - ﾀｲﾐﾝｸﾞ仕様

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
f_{SCK} (*)	SCKｸﾛｯｸ周波数	-	-	$f_{CLK_PER}/2$	MHz	
T_{SCK} (*)	SCK周期	$2\times T_{CLK_PER}$	-	-		
t_{SCKW}	SCK High/Low幅	-	$0.5\times T_{SCK}$	-		
t_{SCKR}	SCK上昇時間	-	2.7	-		
t_{SCKF}	SCK下降時間	-	2.7	-	ns	
t_{MIS}	SCKに対するMISO準備時間	-	10	-		
t_{MIH}	SCK後MISO保持時間	-	10	-		
t_{MOS}	SCKに対するMOSI準備時間	-	$0.5\times T_{SCK}$	-		
t_{MOH}	SCK後MOSI保持時間	-	1.0	-		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

35.14. SPI

図35-4. SPI - 主装置動作でのﾀｲﾐﾝｸﾞ必要条件

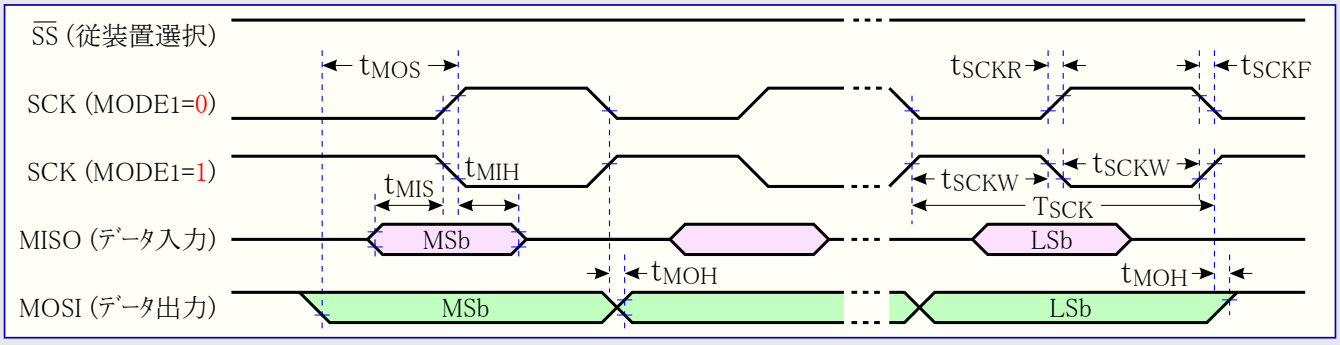


表35-18. SPI - 主装置動作でのﾀｲﾐﾝｸﾞ仕様

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
f_{SCK} (*)	SCKｸﾛｯｸ周波数	-	-	$f_{CLK_PER}/2$	MHz	
T_{SCK} (*)	SCK周期	$2\times T_{CLK_PER}$	-	-		
t_{SCKW}	SCK High/Low幅	-	$0.5\times T_{SCK}$	-		
t_{SCKR}	SCK上昇時間	-	2.7	-		
t_{SCKF}	SCK下降時間	-	2.7	-	ns	
t_{MIS}	SCKに対するMISO準備時間	-	10	-		
t_{MIH}	SCK後MISO保持時間	-	10	-		
t_{MOS}	SCKに対するMOSI準備時間	-	$0.5\times T_{SCK}$	-		
t_{MOH}	SCK後MOSI保持時間	-	1.0	-		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

© 2023 Microchip Technology Inc.とその子会社

図35-5. SPI – 従装置動作でのﾀｲﾐﾝｸﾞ必要条件

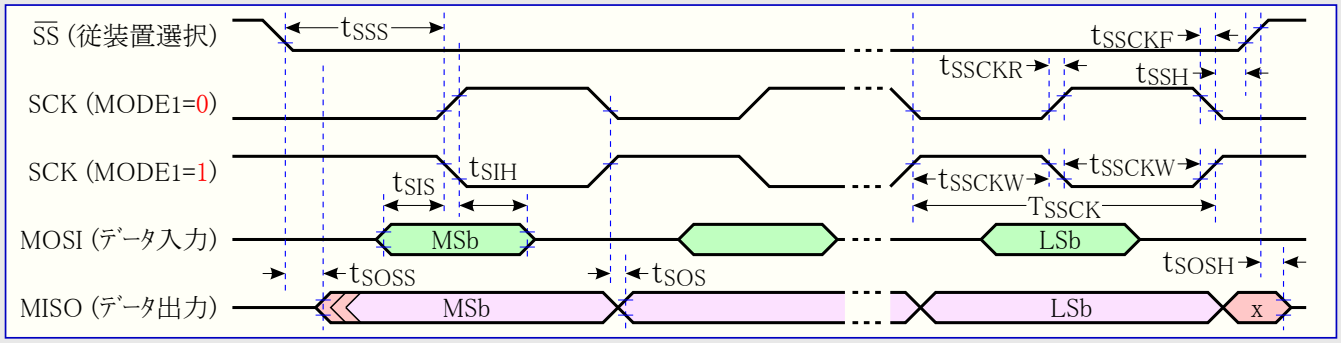


表35-19. SPI – 従装置でのﾀｲﾐﾝｸﾞ仕様

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
f_{SSCK} (*)	従装置SCKｸﾛｯｸ周波数	–	–	$f_{CLK_PER}/4$	MHz	
T_{SSCK} (*)	従装置SCK周期	$4\times T_{CLK_PER}$	–	–		
t_{SSCKW} (*)	SCK High/Low幅	$2\times T_{CLK_PER}$	–	–		
t_{SSCKR} (*)	SCK上昇時間	–	–	1600		
t_{SSCKF} (*)	SCK下降時間	–	–	1600		
t_{SIS} (*)	SCKに対するMOSI準備時間	30	–	–		
t_{SIH} (*)	SCK後MOSI保持時間	T_{CLK_PER}	–	–	ns	
t_{SSS} (*)	SCKに対するSS準備時間	21	–	–		
t_{SSH} (*)	SCK後SS保持時間	20	–	–		
t_{SOS}	SCKに対するMISO準備時間	–	8.0	–		
t_{SOH}	SCK後MISO保持時間	–	13	–		
t_{SOSS}	SS Low後MISO準備時間	–	11	–		
t_{SOSH}	SS Low後MISO保持時間	–	8.0	–		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

© 2023 Microchip Technology Inc.とその子会社

35.15. TWI

図35-6. TWI – ﾀｲﾐﾝｸﾞ必要条件

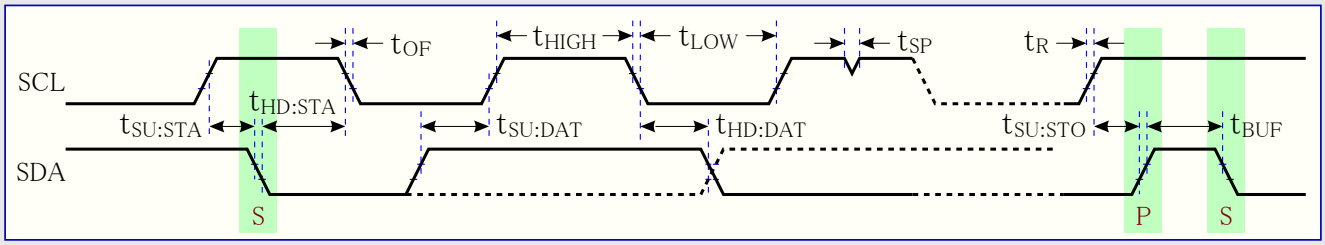


表35-20. TWI – ﾀｲﾐﾝｸﾞ仕様

ｼﾝﾎﾞﾙ	項目	最小	代表(†)	最大	単位	条件
f_{SCL}(*)	SCLｸﾛｯｸ周波数	–	–	1000	kHz	最大周波数は12MHz以上のｼｽﾃﾑ ｸﾛｯｸを必要とします。
VHYS(*)	ｼｭﾐｯﾄ ﾄﾘｶﾞ入力ﾋｽﾃﾘｼｽ電圧	0.05×VDD	–	0.4×VDD		
VOL	Low出力電圧	–	–	0.4	V	I_{load}=3mA, VDD＞2V
		–	–	0.2×VDD		I_{load}=2mA, VDD≦2V
IOL(*)	Lowﾚﾍﾞﾙ出力電流	3	–	–	mA	VOL=0.4V
tSP(*)	入力濾波による抑制尖頭雑音	0	–	50	ns	
IL(*)	各I/Oﾋﾟﾝの入力電流	–	–	1	µA	0.1×VDD＜VI＜0.9×VDD
CI(*)	各I/Oﾋﾟﾝの容量	–	–	10	pF	
Rp(*)	ﾌﾟﾙｱｯﾌﾟ抵抗値	(VDD-VOL(max))/IOL	–	1000ns/(0.8473×CB)	Ω	f_{SCL}≦100kHz
		(VDD-VOL(max))/IOL	–	300ns/(0.8473×CB)		f_{SCL}L≦400kHz
		(VDD-VOL(max))/IOL	–	120ns/(0.8473×CB)		f_{SCL}≦1MHz
tHD_STA(*)	(再送)開始条件保持時間	4.0	–	–	µs	f_{SCL}≦100kHz
		0.6	–	–		f_{SCL}≦400kHz
		0.26	–	–		f_{SCL}≦1MHz
TLOW(*)	SCLｸﾛｯｸLow時間	4.7	–	–		f_{SCL}≦100kHz
		0.6	–	–		f_{SCL}≦400kHz
		0.35	–	–		f_{SCL}≦1MHz
THIGH(*)	SCLｸﾛｯｸHigh時間	4.0	–	–		f_{SCL}≦100kHz
		0.6	–	–		f_{SCL}≦400kHz
		0.26	–	–		f_{SCL}≦1MHz
tSU_STA(*)	再送開始条件準備時間	4.7	–	–		f_{SCL}≦100kHz
		0.6	–	–		f_{SCL}≦400kHz
		0.26	–	–		f_{SCL}≦1MHz
tHD_DAT(*)	ﾃﾞｰﾀ保持時間	–	0	–	ns	SDAHOLD='00'
		300	–	900		SDAHOLD='11'
tSU_DAT(*)	ﾃﾞｰﾀ準備時間	250	–	–		f_{SCL}≦100kHz
		100	–	–		f_{SCL}≦400kHz
		50	–	–		f_{SCL}≦1MHz
tSU_STO(*)	停止条件準備時間	4	–	–	µs	f_{SCL}≦100kHz
		0.6	–	–		f_{SCL}≦400kHz
		0.26	–	–		f_{SCL}≦1MHz
tBUF(*)	停止条件→開始条件間	4.7	–	–		f_{SCL}≦100kHz
	ﾊﾞｽ開放時間	1.3	–	–		f_{SCL}≦400kHz
tCS(*)	従装置ｸﾛｯｸ伸長遅延	–	–	250	ns	

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

© 2023 Microchip Technology Inc.とその子会社

35.16. DAC

表35-21. DAC電気的仕様

動作条件:
- VDACREF=VDD

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
VDD	供給電圧	1.8	-	5.5	V	
VOUT	出力電圧範囲	GND	-	VDD-0.1		
VLSB	分解能	-	10	-	ﾋﾞｯﾄ	
VACC	絶対精度	-	1	-	LSb	
tST	整定時間 (注1)	-	7	-	µs	50pF負荷
INL	積分非直線性誤差	-	0.3	-	LSb	$030≦DAC.DATA＜$3D0
DNL	微分非直線性誤差	-	0.1	-		
EOFF	変位(ｵﾌｾｯﾄ)誤差	-	-2.0	-		
EGAIN	利得誤差	-	0.5	-		

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

注1: 整定時間はDACn.DATA9～0の’$000’(GND)から’$1FF’(中間点)への遷移間で測定され、これは最も遅い遷移です。

35.17. ADC

表35-22. 電源、参照基準、入力範囲

動作条件:
- 自由走行動作のADCでSAMPDUR=$02に定義された採取速度
- 別の指定がない限り、VREF選択と採取速度の許された全ての組み合わせに対して適用
- 別の指定がない限り、許可されたPGAありとなしで特性は同じです。

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
VDD	供給電圧	1.8	-	5.5	V	
VREF	参照基準電圧	1.024	-	VDD		
CIN	入力容量	-	2.5	-	pF	PGA禁止
		-	7	-		PGA許可
RIN	入力抵抗	-	3	-	kΩ	PGA禁止
		-	2.5	-		PGA許可
VIN	入力電圧範囲	0	-	VREF	V	ｼﾝｸﾞﾙ ｴﾝﾄﾞ動作
		-0.1	-	VDD+0.1		差動動作

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

表35-23. ｸﾛｯｸとﾀｲﾐﾝｸﾞの特性

動作条件:
- 自由走行動作のADCでSAMPDUR=$02に定義された採取速度
- 別の指定がない限り、VREF選択と採取速度の許された全ての組み合わせに対して適用
- 別の指定がない限り、許可されたPGAありとなしで特性は同じです。

ｼﾝﾎﾞﾙ	説明	最小	代表 (†)	最大	単位	条件
CLK_ADC	ADCｸﾛｯｸ周波数	300	-	2000	kHz	REFSEL=内部参照基準
		300	-	6000		REFSEL=外部参照基準またはVDD

†: “代表”列のﾃﾞｰﾀは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

© 2023 Microchip Technology Inc.とその子会社

表35-24. 精度仕様

動作条件:
- VREF=VDD
- f_{CLK_ADC}=2MHz
- 自由走行動作のADCでSAMPDUR=$02に定義された採取速度
- 別の指定がない限り、VREF選択と採取速度の許された全ての組み合わせに対して適用
- 別の指定がない限り、許可されたPGAありとなしで特性は同じです。

シンボル	説明	最小	代表 (†)	最大	単位	条件
Res	分解能	–	–	12	ビット	
EINL	積分非直線性誤差	–	0.8	–		VREF=2.048V, CLK_ADC=2.5MHz, 差動動作
EDNL	微分非直線性誤差	–	0.8	–		
EOFF	変位(オフセット)誤差	–	1.5	–	LSb	
EGAIN	利得誤差	–	0.6	–		
ET	総未調整誤差	–	5	–		

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

表35-25. PGA許可での精度特性

動作条件:
- -40℃≦TA≦125℃
- 自由走行動作のADCでSAMPDUR=$02に定義された採取速度
- 別の指定がない限り、VREF選択と採取速度の許された全ての組み合わせに対して適用

シンボル	説明	最小	代表 (†)	最大	単位	条件
NRMS	入力雑音	–	32	–	µVRMS	PGA利得=1倍
		–	63	–		PGA利得=2倍
		–	125	–		PGA利得=4倍
		–	250	–		PGA利得=8倍
		–	500	–		PGA利得=16倍
EGAIN	利得誤差	–	-0.2	–	%	PGA利得=1倍
		–	-0.2	–		PGA利得=2倍
		–	-0.3	–		PGA利得=4倍
		–	-0.6	–		PGA利得=8倍
		–	-0.8	–		PGA利得=16倍

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

35.18. AC

表35-26. アナログ比較器仕様

シンボル	説明	最小	代表 (†)	最大	単位	条件
VIN (*)	入力電圧範囲	-0.2	–	VDD	V	
IL	入力漏れ電流	–	5	–	nA	
VOFF	入力変位(オフセット)電圧	–	–	–	mV	0.7V<VIN<(VDD-0.7V)
		–	–	–		-0.1V<VIN<(VDD-0.1V)
CMRR	同相信号除去比	–	50	–	dB	
VHYST	ヒステリシス	–	–	–	mV	CTRLA.HYSMODE='01'
		–	–	–		CTRLA.HYSMODE='10'
		–	–	–		CTRLA.HYSMODE='11'
tRESP (*)	応答時間 (注1)	–	50	–	ns	CTRLA.POWER='00'
		–	150	–		CTRLA.POWER='01'

†: “代表”列のデータは別の定めがない限り、TA=25℃とVDD=3.0Vです。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注1: これらの要素は設計の手引きだけで製造検査限度に含まれません。

© 2023 Microchip Technology Inc.とその子会社

35.19. UPDI

図35-7. 専用UPDIﾋﾟﾝでのUPDI許可手順

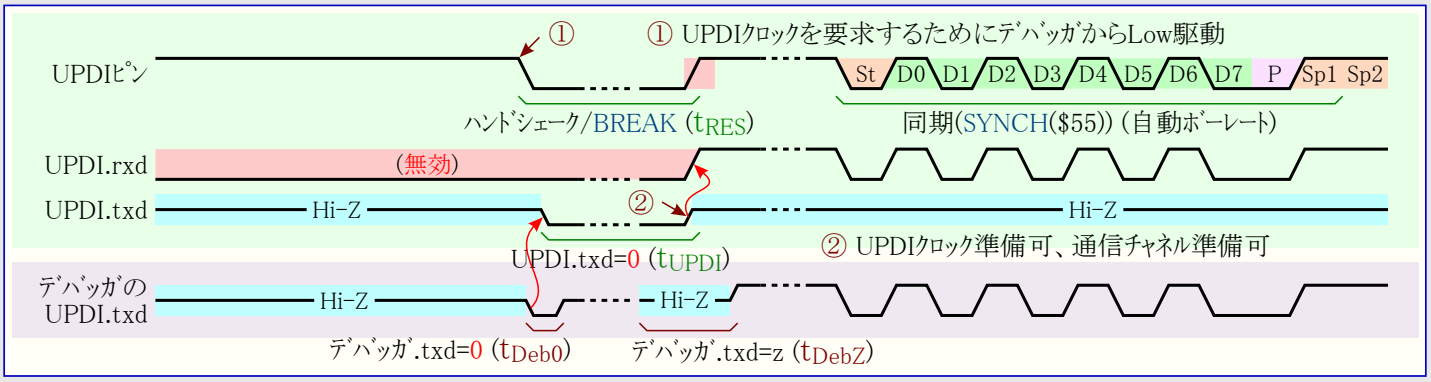


表35-27. UPDIﾀｲﾐﾝｸﾞ仕様

ｼﾝﾎﾞﾙ	説明	最小	最大	単位	条件	
t_{RES} (*)	RESETでのﾊﾝﾄﾞｼｪｰｸ/BREAKの持続時間	10	200			
t_{UPDI} (*)	UPDI.txd=0の持続時間	10	200	µs		
t_{Deb0} (*)	ﾃﾞﾊﾞｯｶﾞ.txd=0の持続時間	0.2	1			
t_{DebZ} (*)	ﾃﾞﾊﾞｯｶﾞ.txd=z(Hi-Z)の持続時間	200	14000			
f_{UPDI} (*)	UPDIｸﾛｯｸ周波数	-	4	MHz	TA＜0℃またはTA＞+50℃	1.8V≦VDD≦5.5V
		-	8		0℃≦TA≦+50℃	
		-	8		TA＜0℃またはTA＞+50℃	2.7V≦VDD≦5.5V
		-	16		0℃≦TA≦+50℃	
		-	16		TA＜0℃またはTA＞+50℃	4.5V≦VDD≦5.5V
		-	32		0℃≦TA≦+50℃	

*: これらの要素は特性付けされますが、製造で検査されません。

© 2023 Microchip Technology Inc.とその子会社

36. 特性図

特性図は現時点に於いて利用できません。

© 2023 Microchip Technology Inc.とその子会社

37. 注文情報

・入手可能な注文選択は以下によって見つけることができます。
  – 以下の製品頁ﾘﾝｸの1つをｸﾘｯｸ
    ・AVR32EA28製品頁
    ・AVR32EA32製品頁
    ・AVR32EA48製品頁
  – www.microchipdirect.comで製品名による検索
  – 最寄りの販売会社へのお問い合わせ

注: 車載級注文符号(VAO接尾辞)は要請によって設定され、下表で一覧にされません。各々の製品頁に存在しないVAO注文符号を要請するには最寄りのMicrochip営業担当者にお問い合わせください。

表37-1. 入手可能な製品番号

注文符号	ﾌﾗｯｼｭ/SRAM	ﾋﾟﾝ数	外囲器形式	供給電圧	温度範囲	搬送形式
AVR32EA28T-E/SS	32KB/4KB	28	SSOP	1.8～5.5V	-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA28T-I/SS					-40℃～85℃	
AVR32EA28-E/SS					-40℃～125℃	ﾁｭｰﾌﾞ
AVR32EA28-I/SS					-40℃～85℃	
AVR32EA28T-E/STX			VQFN		-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA28T-I/STX					-40℃～85℃	
AVR32EA28-E/STX					-40℃～125℃	ﾄﾚｲ
AVR32EA28-I/STX					-40℃～85℃	
AVR32EA28-E/SP			SPDIP		-40℃～125℃	ﾁｭｰﾌﾞ
AVR32EA28-I/SP					-40℃～85℃	
AVR32EA32T-E/PT		32	TQFP		-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA32T-I/PT					-40℃～85℃	
AVR32EA32-E/PT					-40℃～125℃	ﾄﾚｲ
AVR32EA32-I/PT					-40℃～85℃	
AVR32EA32T-E/RXB			VQFN		-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA32T-I/RXB					-40℃～85℃	
AVR32EA32-E/RXB					-40℃～125℃	ﾄﾚｲ
AVR32EA32-I/RXB					-40℃～85℃	
AVR32EA48T-E/PT		48	TQFP		-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA48T-I/PT					-40℃～85℃	
AVR32EA48-E/PT					-40℃～125℃	ﾄﾚｲ
AVR32EA48-I/PT					-40℃～85℃	
AVR32EA48T-E/6LX			VQFN		-40℃～125℃	ﾃｰﾌﾟ&ﾘｰﾙ
AVR32EA48T-I/6LX					-40℃～85℃	
AVR32EA48-E/6LX					-40℃～125℃	ﾄﾚｲ
AVR32EA48-I/6LX					-40℃～85℃	

注1: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全。
注2: 外囲器外形図は「外囲器図」章で見つけることができます。

図37-1. 製品識別ｼｽﾃﾑ

注文する、または例えば、価格や納品の情報を得るには工場または一覧にされた販売代理店にお問い合わせください。

AVR32EA48T – E/PT

- Kﾊﾞｲﾄでのﾌﾗｯｼｭ ﾒﾓﾘ量
- 系列名
- ﾋﾟﾝ数
- 搬送形式 : T=ﾃｰﾌﾟ&ﾘｰﾙ
- : 空白=筒&ﾄﾚｲ
- 外囲器形式 : 外囲器符号の完全な一覧については「外囲器図」章をご覧ください。
- 温度範囲 : I=-40～+85℃(工業)
- : E=-40～+125℃(拡張)

注: ﾃｰﾌﾟとﾘｰﾙの識別子は目録部品番号記述でだけ現れます。注文目的にこの識別子を使ってください。ﾃｰﾌﾟとﾘｰﾙ任意選択での外囲器入手可能性についてはMicrochip営業所で調べてください。

注: VAO変種は車載応用に対するAEC-Q100要件用に設計、製造、検査、認定されています。これらの製品は非VAO部品と違う外囲器を使うかもしれず、それらの電気的特性で追加の仕様を持ちます。

© 2023 Microchip Technology Inc.とその子会社

38. 外囲器図

38.1. オンライン外囲器図

最新の外囲器図については次のとおりです。

1. www.microchip.com/packagingへ行ってください。
2. 外囲器型式特定頁、例えば、VQFNへ行ってください。
3. 最新の外囲器図を見つけるために図番号と型式を探してください。

表38-1. 図番号

ピン数	外囲器型式	図番号	型式
28	SPDIP	C04-00070	SP
	SSOP	C04-00073	SS
	VQFN	C04-00456	STX
	VQFN WF (注)	C04-00565	3LW
32	TQFP	C04-00074	PT
	VQFN	C04-21395	RXB
	VQFN WF (注)	C04-21511	QZB
48	TQFP	C04-00300	PT
	VQFN	C04-00494	6LX
	VQFN WF (注)	C04-00504	6MX

注: この外囲器形式は濡れ性側面で、車載(VAO)注文符号に使われるVQFN外囲器です。

注: 最新の外囲器図についてはhttp://www.microchip.com/packagingに置かれたMicrochip外囲器仕様をご覧ください。

38.2. 外囲器表示情報

凡例:		
	XX～X	お客様指定情報またはMicrochip部品番号
	Y	年符号 (暦年の最終桁)
	YY	年符号 (暦年の最後の2桁)
	WW	週符号 (1月第1週が'01'週です。)
	NNN	英数字追跡可能性符号
	(e3)	無光沢錫(Sn)用鉛なしJEDEC®指示子

注: 結果的に完全なMicrochip部品番号は1行で記すことができず、次の行に持ち越され、従ってお客様指定情報に利用可能な文字数を制限します。

38.2.1. 28ピンSPDIP

図38-1. 一般形

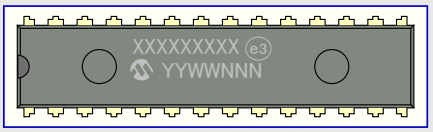
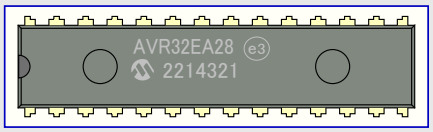


図38-2. 例



38.2.2. 28リードSOIC

図38-3. 一般形

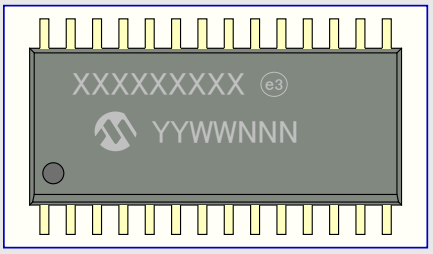
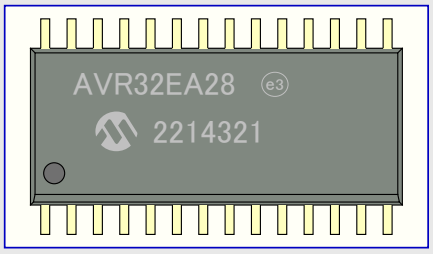


図38-4. 例



© 2023 Microchip Technology Inc.とその子会社

38.2.3. 28ﾊﾟｯﾄﾞVQFN

図38-5. 一般形

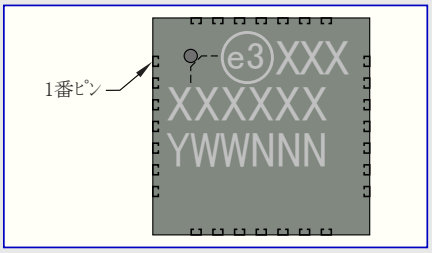
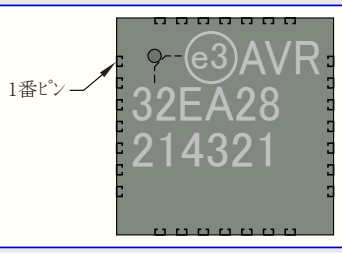


図38-6. 例



38.2.4. 32ﾘｰﾄﾞTQFP

図38-7. 一般形

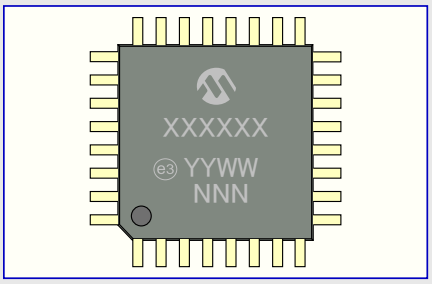
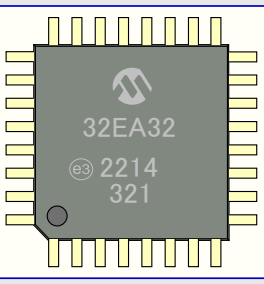


図38-8. 例



38.2.5. 32ﾊﾟｯﾄﾞVQFN

図38-9. 一般形

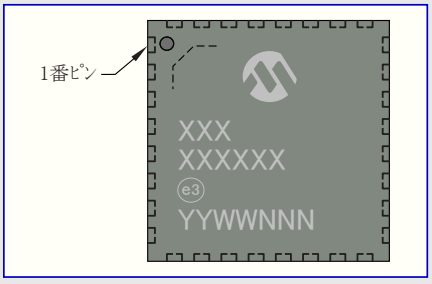
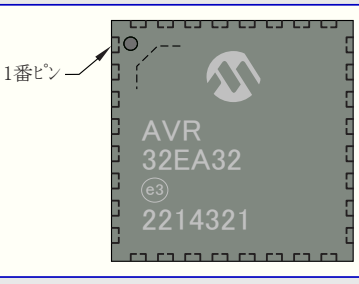


図38-10. 例



38.2.6. 48ﾘｰﾄﾞTQFP

図38-11. 一般形

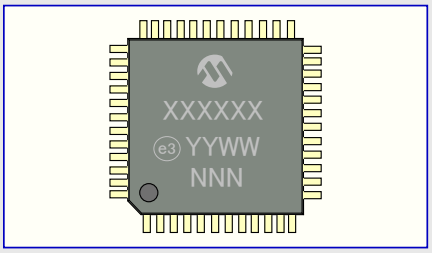
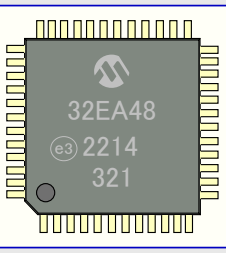


図38-12. 例



38.2.7. 48ﾊﾟｯﾄﾞVQFN

図38-13. 一般形

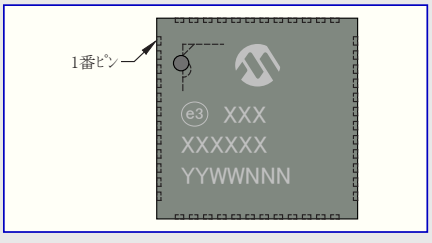
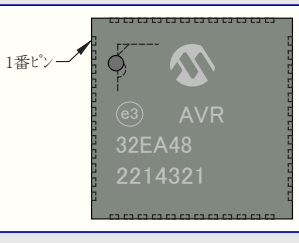


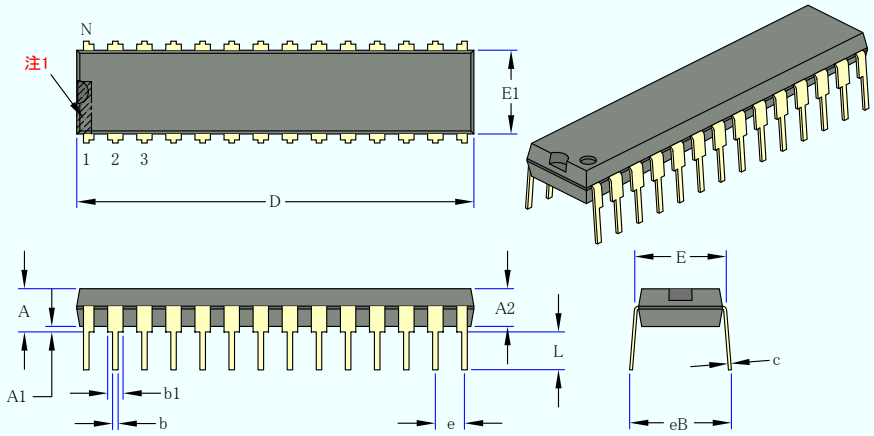
図38-14. 例



© 2023 Microchip Technology Inc.とその子会社

38.3. 28ピンSPDIP

28ピン 狭幅プラスティック2列(SP) – 300mil本体 [SPDIP]



単位		インチ		
寸法限度		最小	標準	最大
ピン数	N		28	
ピン間隔	e		.100 BSC	
着座面からの全高	A	–	–	.200
着座面から底まで	A1	.015	–	–
成形外包装厚	A2	.120	.135	.150
肩間幅	E	.290	.310	.335
成形外包装幅	E1	.240	.285	.295
全長	D	1.345	1.365	1.400
着座面から先端	L	.110	.130	.150
リード幅	c	.008	.010	.015
下部リード幅	b	.014	.018	.022
上部リード幅	b1	.040	.050	.070
全体列間隔 §	eB	–	–	.430

注1: 1番ピン視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: § 重要特性。

注3: DとE1の寸法は成形の毛羽や突起を含みません。成形の毛羽や突起は片側に対して.010インチを超えるべきではありません。

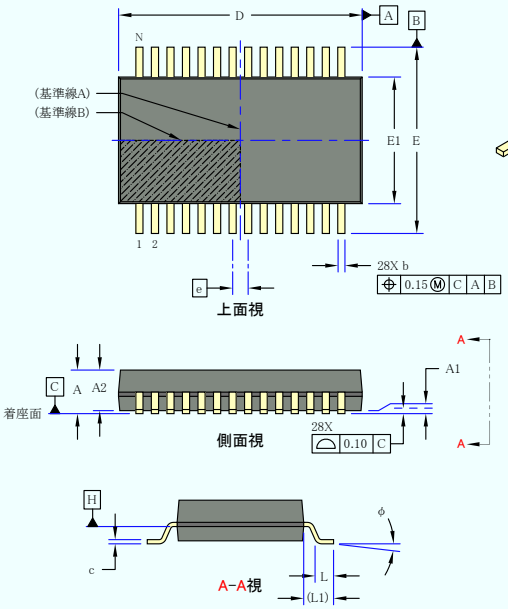
注4: ASME Y14.5Mによる寸法と公差　　BSC：基本寸法。公差なしで示される理論的に正確な値。

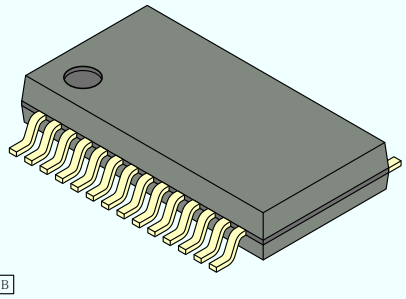
Microchip Technology作図C04-070B

© 2023 Microchip Technology Inc.とその子会社

38.4. 28ﾘｰﾄﾞSSOP

28ﾘｰﾄﾞ ﾌﾟﾗｽﾃｨｯｸ縮小小外形外囲器(SS) – 5.30mm本体、2.00mm [SSOP]





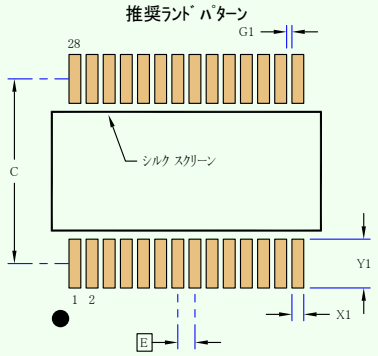
単位		mm		
寸法限度		最小	標準	最大
ﾋﾟﾝ数	N		28	
ﾋﾟﾝ間隔	e		0.65 BSC	
全高	A	–	–	2.00
嵩上げ	A1	0.05	–	–
成形外包装厚	A2	1.65	1.75	1.85
全幅	E	7.40	7.80	8.20
成形包装幅	E1	5.00	5.30	5.60
全長	D	9.90	10.20	10.50
足接触長	L	0.55	0.75	0.95
足全長	L1		1.25 REF	
ﾘｰﾄﾞ厚	c	0.09	–	0.25
足角	φ	0°	4°	8°
ﾘｰﾄﾞ幅	b	0.22	–	0.38

注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: D1とE1の寸法は成形の毛羽や突起を含みません。成形の毛羽や突起は片側に対して0.20mmを超えるべきではありません。

注3: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-073改訂C



単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.65 BSC	
接触ﾊﾟｯﾄﾞ空間	C	–	7.00	–
接触ﾊﾟｯﾄﾞ幅(×28)	X1	–	–	0.45
接触ﾊﾟｯﾄﾞ長(×28)	Y1	–	–	1.85
ﾊﾟｯﾄﾞ間距離(×26)	G1	0.20	–	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

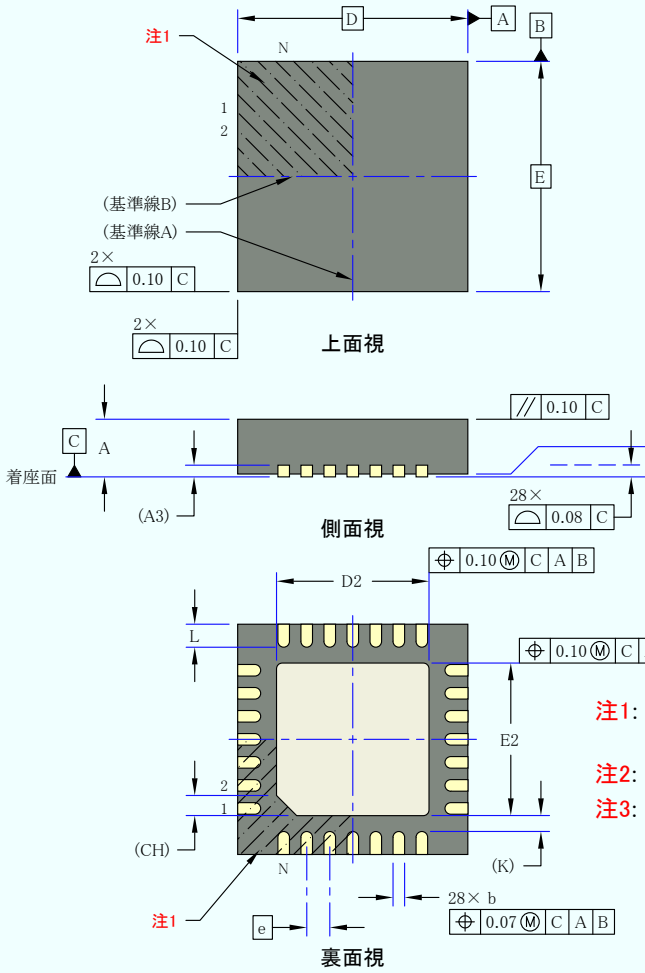
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾞﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-2073改訂B

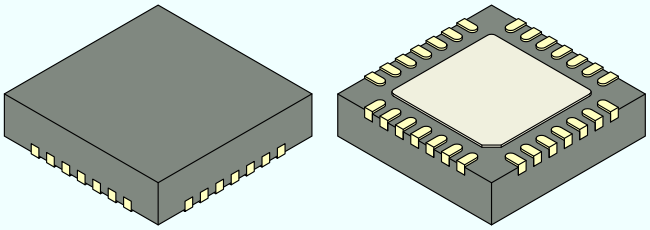
© 2023 Microchip Technology Inc.とその子会社

38.5. 28ﾊﾟｯﾄﾞVQFN

28ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(STX) - 4×4×1.0mm本体 [VQFN]、2.65×2.65mm露出ﾊﾟｯﾄﾞ付き



単位		mm		
寸法限度		最小	標準	最大
端子数	N		28	
ﾘｰﾄﾞ間隔	e		0.40 BSC	
全高	A	0.80	0.90	1.00
嵩上げ	A1	0.00	0.02	0.05
端子厚	A3		0.203 REF	
全長	D		4.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	2.55	2.65	2.75
全幅	E		4.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	2.55	2.65	2.75
露出ﾊﾟｯﾄﾞ角面取り	CH		0.35 REF	
端子幅	b	0.15	0.20	0.25
端子長	L	0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K		0.275 REF	

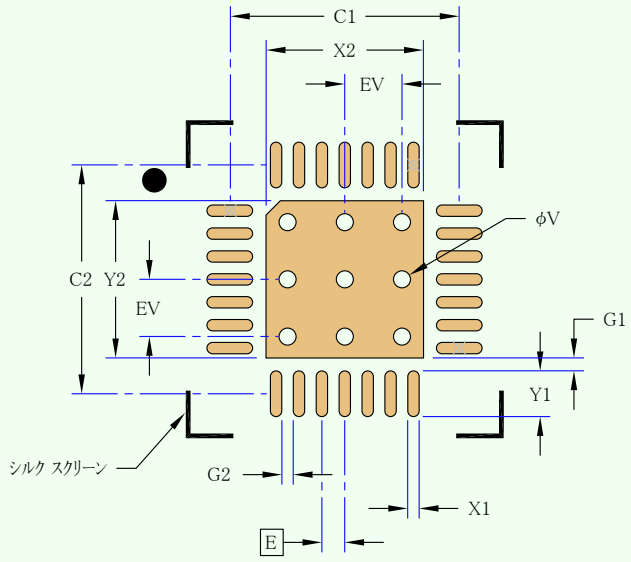


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-456改訂C



推奨ﾗﾝﾄﾞ ﾊﾟﾀｰﾝ

単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.40 BSC	
中央ﾊﾟｯﾄﾞ幅	X2	-	-	2.75
中央ﾊﾟｯﾄﾞ長	Y2	-	-	2.75
接触ﾊﾟｯﾄﾞ空間	C1	-	4.00	-
接触ﾊﾟｯﾄﾞ空間	C2	-	4.00	-
接触ﾊﾟｯﾄﾞ幅(×28)	X1	-	-	0.20
接触ﾊﾟｯﾄﾞ長(×28)	Y1	-	-	0.80
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×28)	G1	0.23	-	-
接触ﾊﾟｯﾄﾞ間(×24)	G2	0.20	-	-
放熱ﾋﾞｱ直径	φV	-	0.30	-
放熱ﾋﾞｱ間隔	EV	-	1.00	-

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

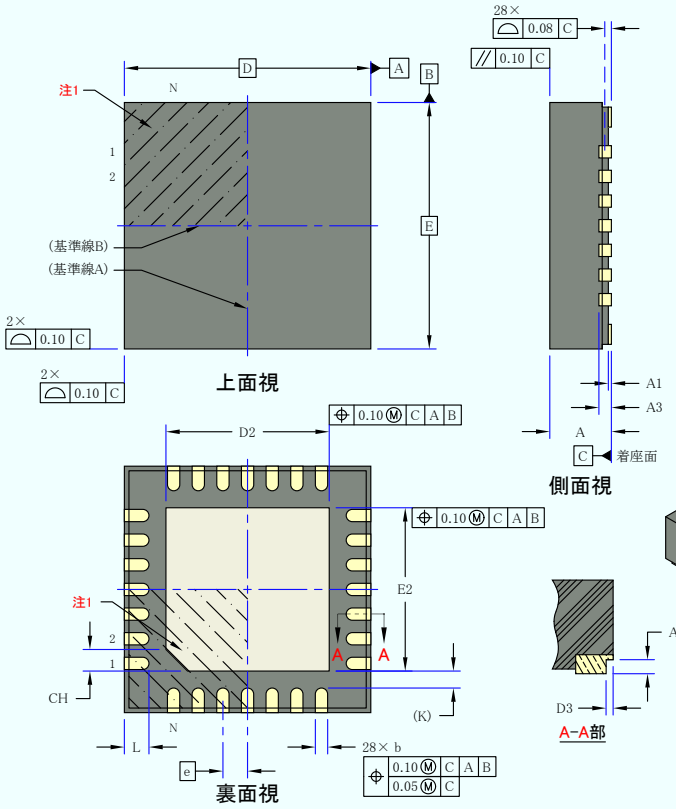
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾟｰｽﾄ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-2456改訂C

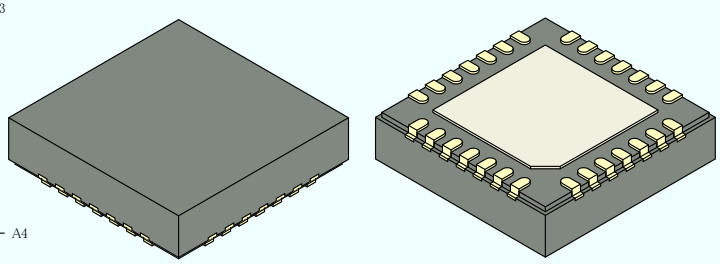
© 2023 Microchip Technology Inc.とその子会社

38.6. 28ﾊﾟｯﾄﾞVQFN 濡れ性側面

28ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(3LW) – 4×4×1.0mm本体 [VQFN]
2.65mm露出ﾊﾟｯﾄﾞ付き、段付き濡れ性側面



単位		mm		
寸法限度		最小	標準	最大
端子数	N		28	
ﾘｰﾄﾞ間隔	e		0.40 BSC	
全高	A	0.80	0.90	1.00
嵩上げ	A1	0.00	0.02	0.05
端子厚	A3		0.203 REF	
全長	D		4.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	2.55	2.65	2.75
全幅	E		4.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	2.55	2.65	2.75
露出ﾊﾟｯﾄﾞ角面取り	CH		0.35 REF	
端子幅	b	0.15	0.20	0.25
端子長	L	0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K		0.275 REF	
濡れ性側面段長	D3	–	–	0.085
濡れ性側面段高	A4	0.10	–	0.19

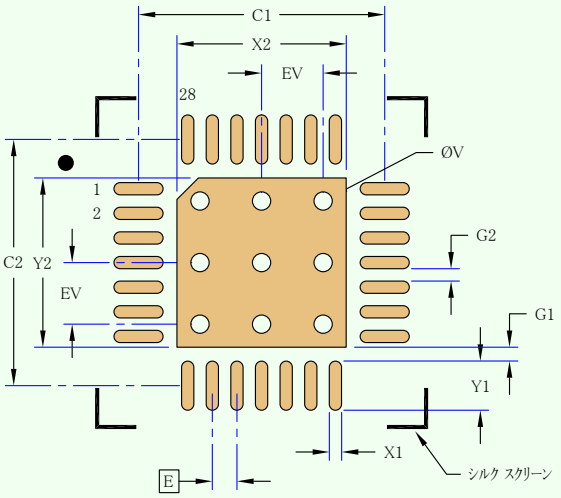


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-565改訂A



推奨ﾗﾝﾄﾞ ﾊﾟﾀｰﾝ

単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.40 BSC	
中央ﾊﾟｯﾄﾞ幅	X2	–	–	2.75
中央ﾊﾟｯﾄﾞ長	Y2	–	–	2.75
接触ﾊﾟｯﾄﾞ空間	C1	–	4.00	–
接触ﾊﾟｯﾄﾞ空間	C2	–	4.00	–
接触ﾊﾟｯﾄﾞ幅(×28)	X1	–	–	0.20
接触ﾊﾟｯﾄﾞ長(×28)	Y1	–	–	0.80
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×28)	G1	0.23	–	–
接触ﾊﾟｯﾄﾞ間(×24)	G2	0.20	–	–
放熱ﾋﾞｱ直径	ϕV	–	0.30	–
放熱ﾋﾞｱ間隔	EV	–	1.00	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

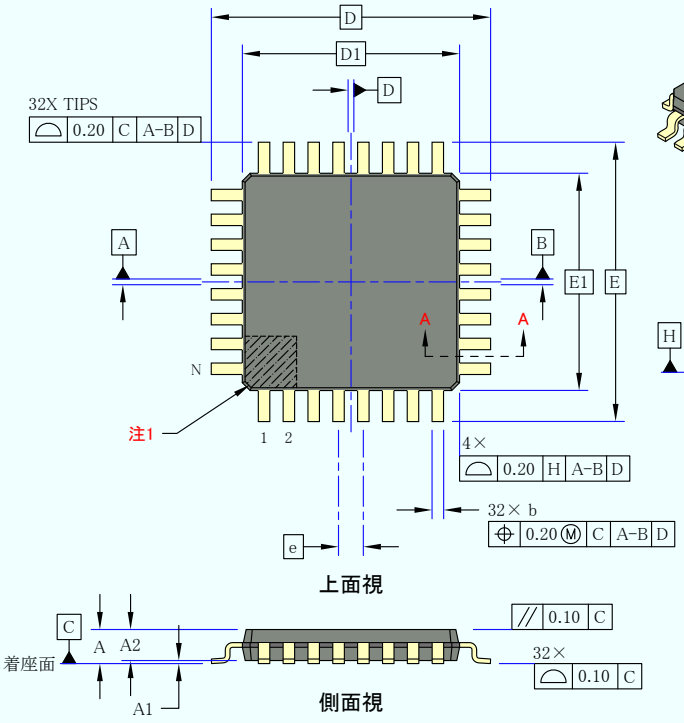
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾟｰﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

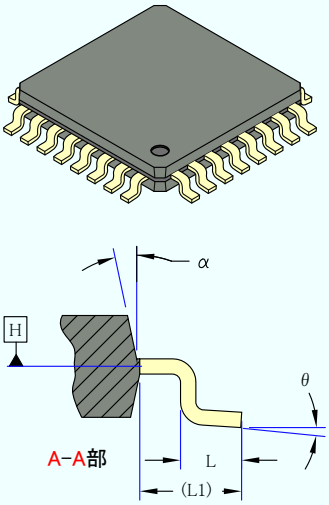
Microchip Technology作図C04-2565改訂A

© 2023 Microchip Technology Inc.とその子会社

38.7. 32ﾘｰﾄﾞTQFP

32ﾘｰﾄﾞ ﾌﾟﾗｽﾃｨｯｸ薄型四角平板外囲器(PT) – 7×7×1.0mm本体、2.00mm [TQFP] (Atmel旧一般外囲器符号AUT)



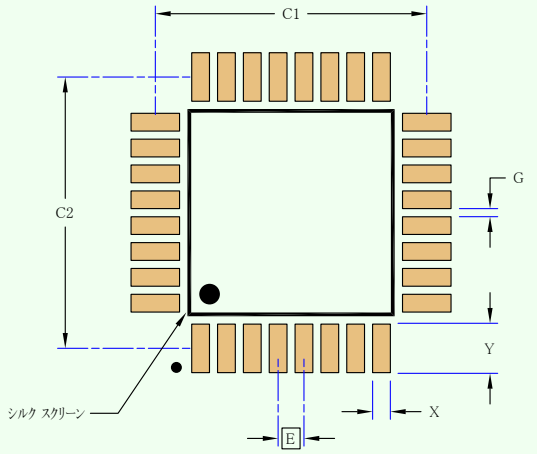


単位		mm		
寸法限度		最小	標準	最大
ﾘｰﾄﾞ数	N		32	
ﾘｰﾄﾞ間隔	e		0.80 BSC	
全高	A	–	–	1.20
嵩上げ	A1	0.05	–	0.15
成形外包装厚	A2	0.95	1.00	1.05
足接触長	L	0.45	0.60	0.75
足全長	L1		1.00 REF	
足角	θ	0°	–	7°
全幅	E		9.00 BSC	
全長	D		9.00 BSC	
成形包装幅	E1		7.00 BSC	
成形包装長	D1		7.00 BSC	
ﾘｰﾄﾞ幅	b	0.30	0.37	0.45
成形上抜き勾配	α	11°	–	13°

注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-074-PT改訂D



単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.80 BSC	
接触ﾊﾟｯﾄﾞ空間	C1	–	8.40	–
接触ﾊﾟｯﾄﾞ空間	C2	–	8.40	–
接触ﾊﾟｯﾄﾞ幅(×32)	X	–	–	0.55
接触ﾊﾟｯﾄﾞ長(×32)	Y	–	–	1.55
ﾊﾟｯﾄﾞ間距離(×28)	G	0.25	–	–

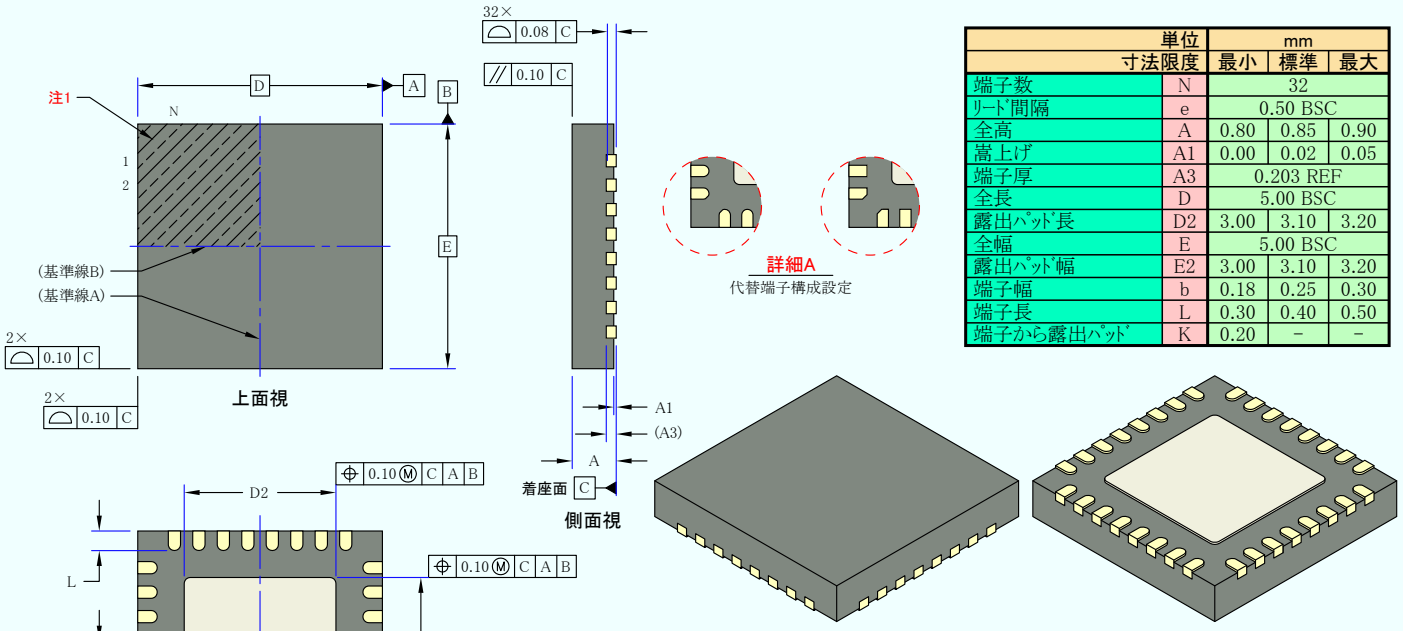
注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

Microchip Technology作図C04-2074-PT改訂D

© 2023 Microchip Technology Inc.とその子会社

38.8. 32ﾊﾟｯﾄﾞVQFN

32ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(RXB) – 5×5×0.9mm本体 [VQFN]
3.1×3.1mm露出ﾊﾟｯﾄﾞ付き、Atmel旧一般外囲器符号ZMF



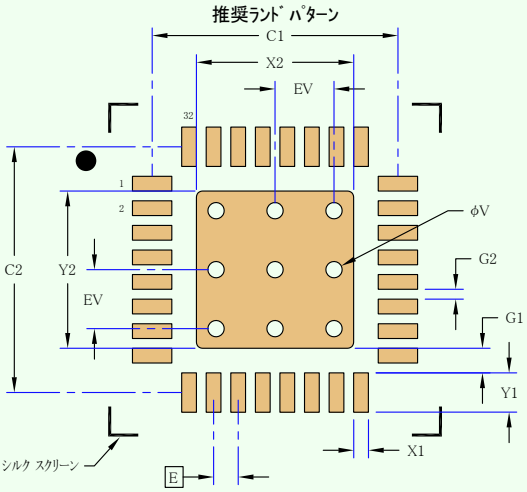
寸法限度		単位 mm 最小	標準	最大
端子数	N		32	
ﾘｰﾄﾞ間隔	e		0.50 BSC	
全高	A	0.80	0.85	0.90
嵩上げ	A1	0.00	0.02	0.05
端子厚	A3		0.203 REF	
全長	D		5.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	3.00	3.10	3.20
全幅	E		5.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	3.00	3.10	3.20
端子幅	b	0.18	0.25	0.30
端子長	L	0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K	0.20	–	–

注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-21395-RXB改訂C



寸法限度		単位 mm 最小	標準	最大
接触子間隔	E		0.50 BSC	
中央ﾊﾟｯﾄﾞ幅	X2	–	–	3.20
中央ﾊﾟｯﾄﾞ長	Y2	–	–	3.20
接触ﾊﾟｯﾄﾞ空間	C1	–	5.00	–
接触ﾊﾟｯﾄﾞ空間	C2	–	5.00	–
接触ﾊﾟｯﾄﾞ幅(×32)	X1	–	–	0.30
接触ﾊﾟｯﾄﾞ長(×32)	Y1	–	–	0.80
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×32)	G1	0.20	–	–
接触ﾊﾟｯﾄﾞ間(×28)	G2	0.20	–	–
放熱ﾋﾞｱ直径	φV	–	0.33	–
放熱ﾋﾞｱ間隔	EV	–	1.20	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

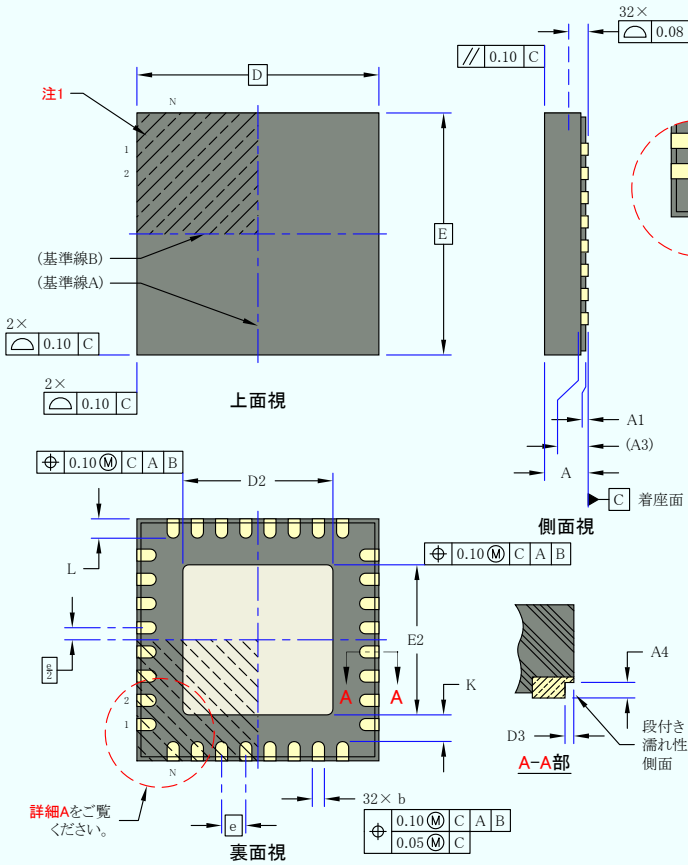
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾞﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-23395-RXB改訂C

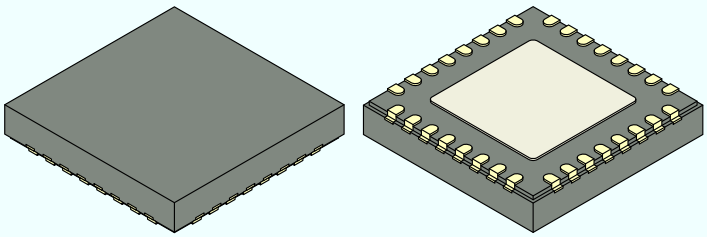
© 2023 Microchip Technology Inc.とその子会社

38.9. 32ﾊﾟｯﾄﾞVQFN 濡れ性側面

32ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(QZB) – 5×5×0.9mm本体 [VQFN]
3.1mm露出ﾊﾟｯﾄﾞ付き、段付き濡れ性側面



	単位	mm		
	寸法限度	最小	標準	最大
端子数	N		32	
ﾘｰﾄﾞ間隔	e		0.50 BSC	
全高	A	0.80	0.85	0.90
嵩上げ	A1	0.00	0.02	0.05
端子厚	A3		0.203 REF	
全長	D		5.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	3.00	3.10	3.20
全幅	E		5.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	3.00	3.10	3.20
端子幅	b	0.18	0.25	0.30
端子長	L	0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K	0.20	–	–
濡れ性側面段長	D3	–	–	0.085
濡れ性側面段高	A4	0.10	–	0.19

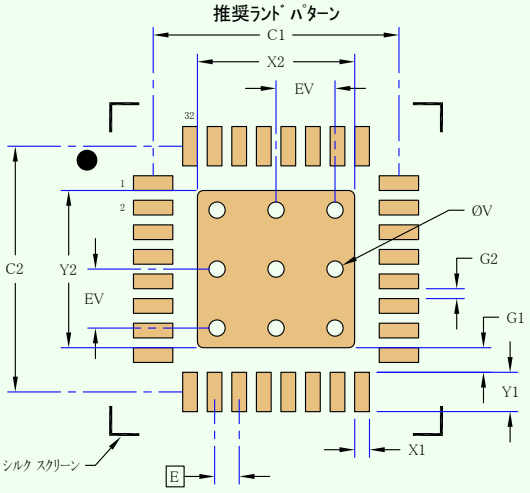


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-21511改訂A



	単位	mm		
	寸法限度	最小	標準	最大
接触子間隔	E		0.50 BSC	
中央ﾊﾟｯﾄﾞ幅	X2	–	–	3.20
中央ﾊﾟｯﾄﾞ長	Y2	–	–	3.20
接触ﾊﾟｯﾄﾞ空間	C1	–	5.00	–
接触ﾊﾟｯﾄﾞ空間	C2	–	5.00	–
接触ﾊﾟｯﾄﾞ幅(×32)	X1	–	–	0.30
接触ﾊﾟｯﾄﾞ長(×32)	Y1	–	–	0.80
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×32)	G1	0.20	–	–
接触ﾊﾟｯﾄﾞ間(×28)	G2	0.20	–	–
放熱ﾋﾞｱ直径	ϕV	–	0.33	–
放熱ﾋﾞｱ間隔	EV	–	1.20	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

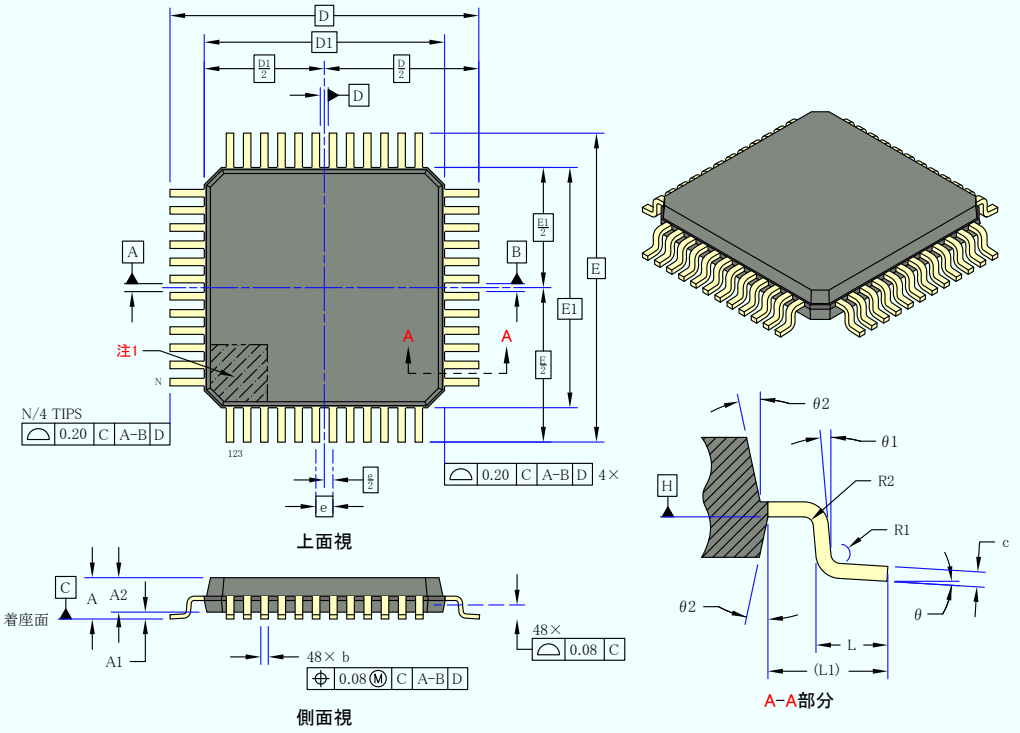
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾟｰﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-23511改訂A

© 2023 Microchip Technology Inc.とその子会社

38.10. 48ﾘｰﾄﾞTQFP

48ﾘｰﾄﾞ薄型四角平板外囲器(PT) – 7×7×1.0mm本体 [TQFP]

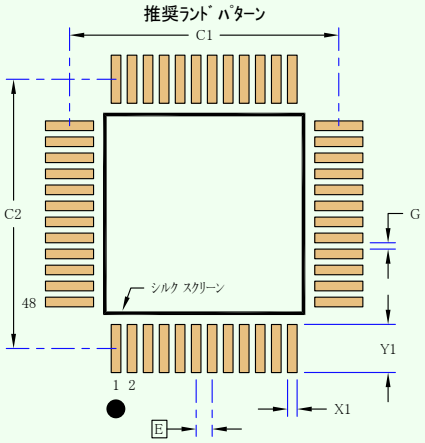


単位		mm		
寸法限度		最小	標準	最大
ﾘｰﾄﾞ数	N		48	
ﾘｰﾄﾞ間隔	e		0.50 BSC	
全高	A	–	–	1.20
嵩上げ	A1	0.05	–	0.15
成形外包装厚	A2	0.95	1.00	1.05
全長	D		9.00 BSC	
成形包装長	D1		7.00 BSC	
全幅	E		9.00 BSC	
成形包装幅	E1		7.00 BSC	
ﾘｰﾄﾞ幅	b	0.17	0.22	0.27
ﾘｰﾄﾞ厚	c	0.09	–	0.16
足接触長	L	0.45	0.60	0.75
足全長	L1		1.00 REF	
ﾘｰﾄﾞ曲げ半径	R1	0.08	–	–
ﾘｰﾄﾞ曲げ半径	R2	0.08	–	0.20
足角	θ	0°	3.5°	7°
成形上抜き勾配	θ1	0°	–	–
成形下抜き勾配	θ2	11°	12°	13°

注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-300-PT改訂D



単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.50 BSC	
接触ﾊﾟｯﾄﾞ空間	C1	–	8.40	–
接触ﾊﾟｯﾄﾞ空間	C2	–	8.40	–
接触ﾊﾟｯﾄﾞ幅(×48)	X1	–	–	0.30
接触ﾊﾟｯﾄﾞ長(×48)	X2	–	–	1.50
ﾊﾟｯﾄﾞ間距離	G	0.20	–	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

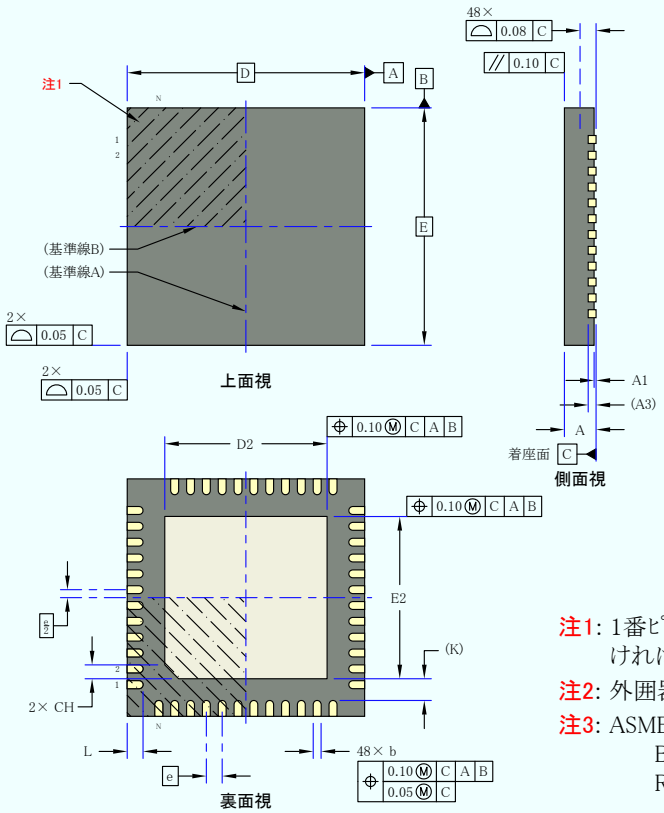
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾞﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-2300PT改訂D

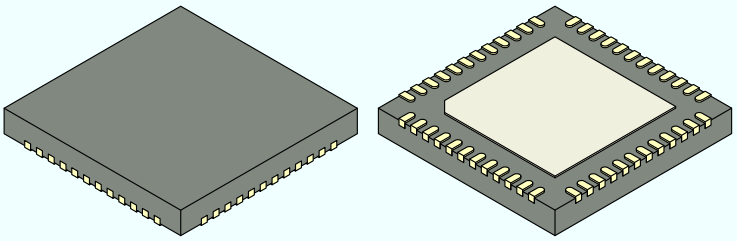
© 2023 Microchip Technology Inc.とその子会社

38.11. 48ﾊﾟｯﾄﾞVQFN

48ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(6LX) – 6×6×0.8mm本体 [VQFN] 4.1×4.1mm露出ﾊﾟｯﾄﾞ付き



寸法限度		単位	mm		
			最小	標準	最大
端子数	N			48	
ﾘｰﾄﾞ間隔	e			0.40 BSC	
全高	A		0.80	0.85	0.90
嵩上げ	A1		0.00	0.02	0.05
端子厚	A3			0.20 REF	
全長	D			6.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2		4.00	4.10	4.20
全幅	E			6.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2		4.00	4.10	4.20
露出ﾊﾟｯﾄﾞ角面取り	CH			0.35 BSC	
端子幅	b		0.15	0.20	0.25
端子長	L		0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K			0.55 REF	

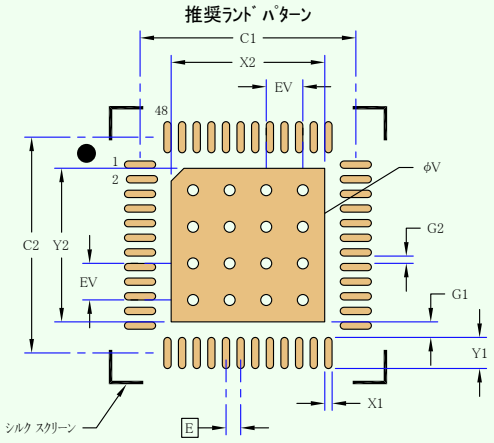


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-494改訂B



寸法限度		単位	mm		
			最小	標準	最大
接触子間隔	E			0.40 BSC	
中央ﾊﾟｯﾄﾞ幅	X2		–	–	4.20
中央ﾊﾟｯﾄﾞ長	Y2		–	–	4.20
接触ﾊﾟｯﾄﾞ空間	C1		–	5.90	–
接触ﾊﾟｯﾄﾞ空間	C2		–	5.90	–
接触ﾊﾟｯﾄﾞ幅(×32)	X1		–	–	0.20
接触ﾊﾟｯﾄﾞ長(×32)	Y1		–	–	0.85
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×32)	G1		0.20	–	–
接触ﾊﾟｯﾄﾞ間(×28)	G2		0.20	–	–
放熱ﾋﾞｱ直径	φV		–	0.30	–
放熱ﾋﾞｱ間隔	EV		–	1.00	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

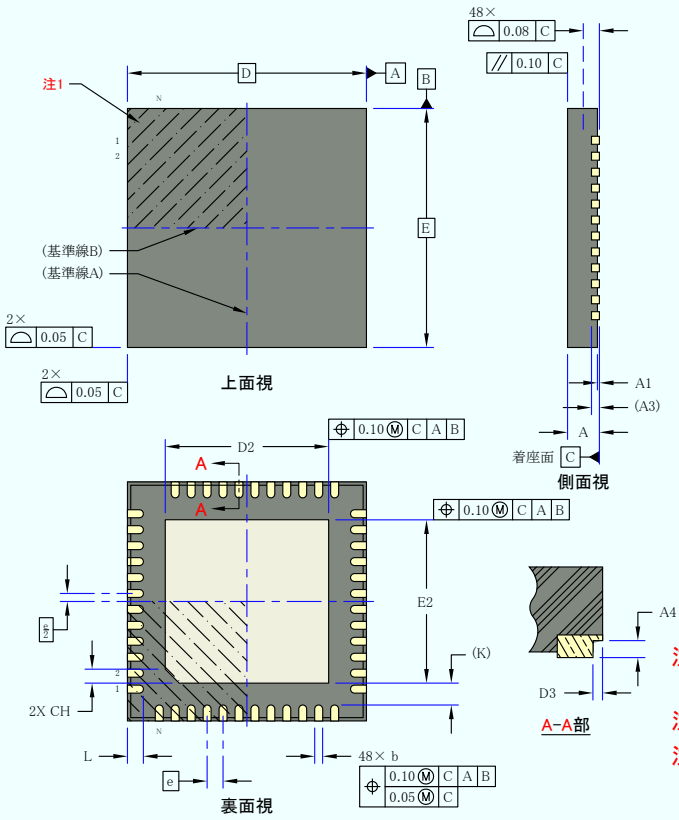
注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾟﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-2494改訂B

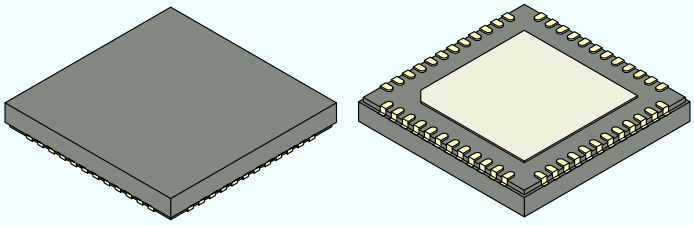
© 2023 Microchip Technology Inc.とその子会社

38.12. 48ﾊﾟｯﾄﾞVQFN 濡れ性側面

48ﾊﾟｯﾄﾞ超薄型ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(6MX) – 6×6mm本体 [VQFN] 4.1×4.1mm露出ﾊﾟｯﾄﾞ付き、段付き濡れ性側面



寸法限度	単位	mm 最小	標準	最大
端子数	N		48	
ﾘｰﾄﾞ間隔	e		0.40 BSC	
全高	A	0.80	0.85	0.90
嵩上げ	A1	0.00	0.02	0.05
端子厚	A3		0.20 REF	
全長	D		6.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	4.00	4.10	4.20
全幅	E		6.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	4.00	4.10	4.20
露出ﾊﾟｯﾄﾞ角面取り	CH		0.35 BSC	
端子幅	b	0.15	0.20	0.25
端子長	L	0.30	0.40	0.50
端子から露出ﾊﾟｯﾄﾞ	K		0.55 REF	
濡れ性側面段長	D3	–	–	0.085
濡れ性側面段高	A4	0.10	–	0.19

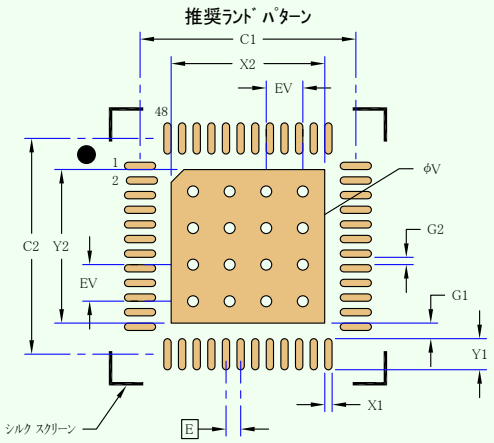


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は鋸切断されています。

注3: ASME Y14.5Mによる寸法と公差。
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-504-6MX改訂B



寸法限度	単位	mm 最小	標準	最大
接触子間隔	E		0.40 BSC	
中央ﾊﾟｯﾄﾞ幅	X2	–	–	4.20
中央ﾊﾟｯﾄﾞ長	Y2	–	–	4.20
接触ﾊﾟｯﾄﾞ空間	C1	–	5.90	–
接触ﾊﾟｯﾄﾞ空間	C2	–	5.90	–
接触ﾊﾟｯﾄﾞ幅(×32)	X1	–	–	0.20
接触ﾊﾟｯﾄﾞ長(×32)	Y1	–	–	0.85
接触ﾊﾟｯﾄﾞ中央ﾊﾟｯﾄﾞ間(×32)	G1	0.20	–	–
接触ﾊﾟｯﾄﾞ間(×28)	G2	0.20	–	–
放熱ﾋﾞｱ直径	ϕV	–	0.30	–
放熱ﾋﾞｱ間隔	EV	–	1.00	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

注2: 最良の半田付け結果のため、使うなら、放熱ﾋﾞｱはﾘﾌﾛｰ処理中の半田損失を避けるためにﾍﾟﾀ塗またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-2504-6MX改訂B

© 2023 Microchip Technology Inc.とその子会社

39. 障害情報

(訳注) 原書では障害情報が独立した文書で提供されていますが、本書では便宜性のためここにも記載します。

39.1. シリコン問題要約

凡例

- – 障害は適用されません。
× 障害が適用されます。

周辺機能	簡単な説明	シリコン改訂に対する有効性		
	改訂	A0		
デバイス	39.2.1. 2.7V未満で動かないNVMプログラミング	×		
	39.2.2. BODLEVEL3未満のVDDに対して減らされるフラッシュ メモリ寿命	×		
	39.2.3. 特定アドレス空間への連続書き込みの場合に失われる書き込み操作	×		
CRCSCAN	39.3.1. 機能しないフラッシュ メモリの一部でのCRC走査実行	×		
NVMCTRL	39.4.1. UDPIから機能しないフラッシュ メモリ複数ページ消去	×		
	39.4.2. プログラミング中のフラッシュ読み込み時に失敗するフラッシュ自己プログラミング	×		
USART	39.5.1. 矛盾する同期領域検出後に機能しない受信部	×		

© 2023 Microchip Technology Inc.とその子会社

39.2. ﾃﾞﾊﾞｲｽ

39.2.1. 2.7V未満で動かないNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

VDDが2.7V未満の時の消去または書き込みの操作実行は失敗するかもしれません。消去または書き込みの操作を開始する前にVDDが2.7V以上であることを確実にしてください。代わりに基準をBODLEVEL2またはそれ以上に設定したBODを許可することができます。

対策/対処:

ありません。

影響を及ぼされるｼﾘｺﾝ改訂

改訂	A0																								
影響	×																								

39.2.2. BODLEVEL3未満のVDDに対して減らされるﾌﾗｯｼｭ ﾒﾓﾘ寿命

BODLEVEL3未満のVDDで動作する場合、ﾌﾗｯｼｭ ﾒﾓﾘ寿命は1000消去/書き込み回数に減らされます。この減少は消去/書き込み中のVDD水準と無関係です。

対策/対処:

ありません。

影響を及ぼされるｼﾘｺﾝ改訂

改訂	A0																								
影響	×																								

39.2.3. 特定ｱﾄﾞﾚｽ空間への連続書き込みの場合に失われる書き込み操作

ｱﾄﾞﾚｽ≧64へのST/STD/STS命令に続くｱﾄﾞﾚｽ＜64または休止制御器の制御A(SLPCTRL.CTRLA)へのST/STD命令は最後の書き込みを失います。

対策/対処:

書き込み操作の消失を避けるため、ｱﾄﾞﾚｽ空間に応じて以下の対策の1つを使ってください。

- ｱﾄﾞﾚｽ＜64への書き込み前にNOP命令を挿入するか、またはST/STDの代わりにOUT命令を使ってください。
- SLPCTRL.CTRLAへの書き込み前にNOP命令を挿入してください。

影響を及ぼされるｼﾘｺﾝ改訂

改訂	A0																								
影響	×																								

39.3. CRCSCAN – 巡回冗長検査ﾒﾓﾘ走査

39.3.1. 機能しないﾌﾗｯｼｭ ﾒﾓﾘの一部でのCRC走査実行

- ﾌﾞｰﾄの大きさ(FUSE.BOOTSIZE)が$00以外の場合、ﾌﾞｰﾄ領域でのCRC走査実行は動きません。
- ｺｰﾄﾞの大きさ(FUSE.CODESIZE)が$00以外の場合、ﾌﾞｰﾄ領域と応用領域でのCRC走査実行は動きません。
- ﾌﾗｯｼｭ ﾒﾓﾘ全体でのCRC走査実行は動きます。

対策/対処:

ありません。

影響を及ぼされるｼﾘｺﾝ改訂

改訂	A0																								
影響	×																								

39.4. NVMCTRL – 不揮発性ﾒﾓﾘ制御器

39.4.1. UDPIから機能しないﾌﾗｯｼｭ ﾒﾓﾘ複数ﾍﾟｰｼﾞ消去

UPDIからのﾌﾗｯｼｭ ﾒﾓﾘ複数ﾍﾟｰｼﾞ消去(制御A(NVMCTRL.CTRLA)の指令(CMD)ﾋﾞｯﾄ領域へのFLMPERn書き込み)の実行はﾌﾞｰﾄ領域で動きません。どのﾌﾗｯｼｭ ﾒﾓﾘ領域でも複数ﾍﾟｰｼﾞ消去を使うことは推奨されません。

対策/対処:

© 2023 Microchip Technology Inc.とその子会社

フラッシュ メモリ ページ消去(NVMCTRL.CTRLAのCMDビット領域へのFLPER($08)書き込み)を使ってください。

影響を及ぼされるシリコン改訂

改訂	A0																								
影響	×																								

39.4.2. プログラミング中のフラッシュ読み込み時に失敗するフラッシュ自己プログラミング

フラッシュ メモリのRWW領域が書かれているまたは消去されている(フラッシュ ページ書き込みまたはフラッシュ メージ消去の)間にデータがフラッシュ メモリのNRWW領域から読まれる場合、消去や書き込みが失敗するかもしれません。フラッシュ メモリのNRWW領域からの命令取得はフラッシュ メモリのRWW領域への消去や書き込みの操作に影響を及ぼされません。

対策/対処:

選択1：RWW機能が不要

- NRWW領域から実行している時にフラッシュ メモリ自己プログラミングを使わないでください。

選択2：RWW機能が必要

- 継続動作でBODを許可(低電圧検出器構成設定(FUSE.BODCFG)ヒューズで、BOD基準(LVL)ビット領域にBODLEVEL1かより高い値を、活動とアイドルでのBOD動作形態(ACTIVE)ビット領域に'11'を設定)してください。
- ページ消去/書き込み操作(制御A(NVMCTRL.CTRLA)の指令(CMD)ビット領域への$05書き込み)を使わないでください。代わりに2つの独立した操作としてフラッシュ メモリ ページ消去とフラッシュ メモリ ページ書き込みを実行してください。

影響を及ぼされるシリコン改訂

改訂	A0																								
影響	×																								

39.5. USART – 万能同期/非同期送受信器

39.5.1. 矛盾する同期領域検出後に機能しない受信部

USART受信部は状態(USARTn.STATUS)レジスタの矛盾同期領域割り込み要求フラグ(ISFIF)が設定(1)された時に機能しなくなります。ISFIF割り込み要求フラグは制御B(USARTn.CTRLB)レジスタの受信動作(RXMODE)ビット領域が標準自動ボーレート(GENAUTO)動作またはLIN制限自動ボーレート(LINAUTO)動作に構成設定され、受信した動作フレームがデータシートで記述されたような条件に従わない時に設定(1)されます。このフラグの解除(0)はUSART受信部を再許可しません。

対策/対処:

ISFIFフラグが設定(1)された時は、USART制御B(USARTn.CTRLB)レジスタの受信許可(RXEN)ビットに'0'を書き、その後に'1'を書くことにより、USART受信部を禁止してその後に再許可してください。

影響を及ぼされるシリコン改訂

改訂	A0																								
影響	×																								

© 2023 Microchip Technology Inc.とその子会社

40. データシート改訂履歴

注: データシートの改訂はダイ改訂とデバイス変種(注文番号の最後の文字)と無関係です。

40.1. 改訂A – 2023年5月

章	説明
文書	初回文書公開

© 2023 Microchip Technology Inc.とその子会社

Microchip情報

Microchipウェブ サイト

Microchipはwww.microchip.com/で当社のウェブ サイト経由でのオンライン支援を提供します。このウェブ サイトはお客様がファイルや情報を容易に利用可能にするのに使われます。利用可能な情報のいくつかは以下を含みます。

- **製品支援** – データシートと障害情報、応用記述と試供プログラム、設計資源、使用者の手引きとハードウェア支援資料、最新ソフトウェア配布と保管されたソフトウェア
- **全般的な技術支援** – 良くある質問(FAQ)、技術支援要求、オンライン検討グループ、Microchip設計協力課程会員一覧
- **Microshipの事業** – 製品選択器と注文の手引き、最新Microchip報道発表、セミナーとイベントの一覧、Microchip営業所の一覧、代理店と代表する工場

製品変更通知サービス

Microchipの製品変更通知サービスはMicrochip製品を最新に保つのに役立ちます。加入者は指定した製品系統や興味のある開発ツールに関連する変更、更新、改訂、障害情報がある場合に必ず電子メール通知を受け取ります。

登録するにはwww.microchip.com/pcnへ行って登録指示に従ってください。

お客様支援

Microchip製品の使用者は以下のいくつかのチャネルを通して支援を受け取ることができます。

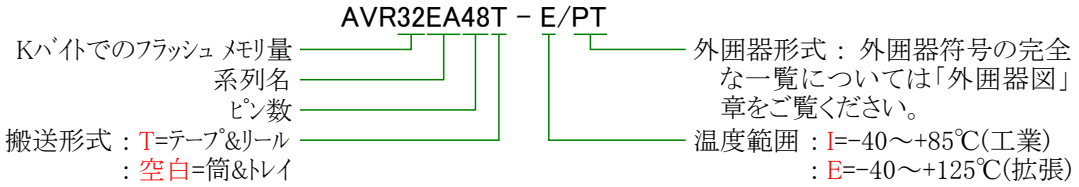
- 代理店または販売会社
- 最寄りの営業所
- 組み込み解決技術者(ESE:Embedded Solutions Engineer)
- 技術支援

お客様は支援に関してこれらの代理店、販売会社、またはESEに連絡を取るべきです。最寄りの営業所もお客様の手助けに利用できます。営業所と位置の一覧はこの資料の後ろに含まれます。

技術支援はwww.microchip.com/supportでのウェブ サイトを通して利用できます。

製品識別システム

注文する、または例えば、価格や納品の情報を得るには工場または一覧にされた販売代理店にお問い合わせください。



注: テープとリールの識別子は目録部品番号記述でだけ現れます。注文目的にこの識別子を使ってください。テープとリール任意選択での外囲器入手可能性についてはMicrochip営業所で調べてください。

注: VAO変種は車載応用に対するAEC-Q100要件用に設計、製造、検査、認定されています。これらの製品は非VAO部品と違う外囲器を使うかもしれず、それらの電気的特性で追加の仕様を持ちます。

Microchipデバイス コード保護機能

Microchip製品での以下のコード保護機能の詳細に注意してください。

- Microchip製品はそれら特定のMicrochipデータシートに含まれる仕様に合致します。
- Microchipは動作仕様内で意図した方法と通常条件下で使われる時に、その製品系統が安全であると考えます。
- Microchipはその知的所有権を尊重し、積極的に保護します。Microchip製品のコード保護機能を侵害する試みは固く禁じられ、デジタル ミレニアム著作権法に違反するかもしれません。
- Microchipや他のどの半導体製造業者もそれのコードの安全を保証することはできません。コード保護は製品が”破ることができない”ことを当社が保証すると言うことを意味しません。コード保護は常に進化しています。Microchipは当社製品のコード保護機能を継続的に改善することを約束します。

法的通知

この刊行物と契約での情報は設計、試験、応用とのMicrochip製品の統合を含め、Microchip製品でだけ使えます。他の何れの方法でのこの情報の使用はこれらの条件に違反します。デバイス応用などに関する情報は皆さまの便宜のためにだけ提供され、更新によって取り換えられるかもしれません。皆さまの応用が皆さまの仕様に合致するのを保証するのは皆さまの責任です。追加支援については最寄りのMicrochip営業所にお問い合わせ頂くか、www.microchip.com/en-us/support/design-help/client-support-servicesで追加支援を得てください。

© 2023 Microchip Technology Inc.とその子会社

この情報はMicrochipによって「現状そのまま」で提供されます。Microchipは非侵害、商品性、特定目的に対する適合性の何れの黙示的保証やその条件、品質、性能に関する保証を含め、明示的にも黙示的にもその情報に関連して書面または表記された書面または黙示の如何なる表明や保証もしません。

如何なる場合においても、Microchipは情報またはその使用に関連するあらゆる種類の間接的、特別的、懲罰的、偶発的または結果的な損失、損害、費用または経費に対して責任を負わないものとします。法律で認められている最大限の範囲で、情報またはその使用に関連する全ての請求に対するMicrochipの全責任は、もしあれば、情報のためにMicrochipへ直接支払った料金を超えないものとします。生命維持や安全応用でのMicrochipﾃﾞﾊﾞｲｽの使用は完全に購入者の危険性で、購入者はそのような使用に起因する全ての損害、請求、訴訟、費用からMicrochipを擁護し、補償し、免責にすることに同意します。他に言及されない限り、Microchipのどの知的財産権下でも暗黙的または違う方法で許認可は譲渡されません。

商標

Microchipの名前とﾛｺﾞ、Mcicrochipﾛｺﾞ、Adaptec、AVR、AVRﾛｺﾞ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiﾛｺﾞ、MOST、MOSTﾛｺﾞ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32ﾛｺﾞ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTﾛｺﾞ、Super Flash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国と他の国に於けるMicrochip Technology Incor poratedの登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、Hyper Light Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusﾛｺﾞ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、WinPath、ZLは米国に於けるMicrochip Technology Incorporatedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certifiedﾛｺﾞ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、Vector Blox、VeriPHY、ViewSpan、WiperLock、XpressConnect、and ZENAは米国と他の国に於けるMicrochip Technology Incorporatedの商標です。

SQTPは米国に於けるMicrochip Technology Incorporatedの役務標章です。

Adaptecﾛｺﾞ、Frequency on Demand、Silicon Storage Technology、Symmcomは他の国に於けるMicrochip Technology Inc.の登録商標です。

GestICは他の国に於けるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. KGの登録商標です。

ここで言及した以外の全ての商標はそれら各々の会社の所有物です。

© 2023年、Microchip Technology Incorporatedとその子会社、不許複製

品質管理ｼｽﾃﾑ

Microchipの品質管理ｼｽﾃﾑに関する情報についてはwww.microchip.com/qualityを訪ねてください。

日本語© *HERO* 2023.

本ﾃﾞｰﾀｼｰﾄはMicrochipのAVR32EA28/32/48英語版ﾃﾞｰﾀｼｰﾄ(DS40002497A-2023年5月)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。

© 2023 Microchip Technology Inc.とその子会社

世界的な販売とサービス

米国	亜細亜/太平洋	亜細亜/太平洋	欧州
本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel: 480-792-7200 Fax: 480-792-7277 技術支援: www.microchip.com/support ｳｪﾌﾞｱﾄﾞﾚｽ: www.microchip.com	**ｵｰｽﾄﾗﾘｱ - ｼﾄﾞﾆｰ** Tel: 61-2-9868-6733	**ｲﾝﾄﾞ - ﾊﾝｶﾞﾛｰﾙ** Tel: 91-80-3090-4444	**ｵｰｽﾄﾘｱ - ｳﾞｪﾙｽ** Tel: 43-7242-2244-39 Fax: 43-7242-2244-393
ｱﾄﾗﾝﾀ Duluth, GA Tel: 678-957-9614 Fax: 678-957-1455	**中国 - 北京** Tel: 86-10-8569-7000	**ｲﾝﾄﾞ - ﾆｭｰﾃﾞﾘｰ** Tel: 91-11-4160-8631	**ﾃﾞﾝﾏｰｸ - ｺﾍﾟﾝﾊｰｹﾞﾝ** Tel: 45-4485-5910 Fax: 45-4485-2829
ｵｰｽﾁﾝ TX Tel: 512-257-3370	**中国 - 成都** Tel: 86-28-8665-5511	**ｲﾝﾄﾞ - ﾌﾟﾈｰ** Tel: 91-20-4121-0141	**ﾌｨﾝﾗﾝﾄﾞ - ｴｽﾎﾟｰ** Tel: 358-9-4520-820
ﾎﾞｽﾄﾝ Westborough, MA Tel: 774-760-0087 Fax: 774-760-0088	**中国 - 重慶** Tel: 86-23-8980-9588	**日本 - 大阪** Tel: 81-6-6152-7160	**ﾌﾗﾝｽ - ﾊﾟﾘ** Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79
ｼｶｺﾞ Itasca, IL Tel: 630-285-0071 Fax: 630-285-0075	**中国 - 東莞** Tel: 86-769-8702-9880	**日本 - 東京** Tel: 81-3-6880-3770	**ﾄﾞｲﾂ - ｶﾞﾙﾋﾝｸﾞ** Tel: 49-8931-9700
ﾀﾞﾗｽ Addison, TX Tel: 972-818-7423 Fax: 972-818-2924	**中国 - 広州** Tel: 86-20-8755-8029	**韓国 - 大邱** Tel: 82-53-744-4301	**ﾄﾞｲﾂ - ﾊｰﾝ** Tel: 49-2129-3766400
ﾃﾞﾄﾛｲﾄ Novi, MI Tel: 248-848-4000	**中国 - 杭州** Tel: 86-571-8792-8115	**韓国 - ソウル** Tel: 82-2-554-7200	**ﾄﾞｲﾂ - ﾊｲﾙﾌﾞﾛﾝ** Tel: 49-7131-72400
ﾋｭｰｽﾄﾝ TX Tel: 281-894-5983	**中国 - 香港特別行政区** Tel: 852-2943-5100	**ﾏﾚｰｼｱ - ｸｱﾗﾙﾝﾌﾟｰﾙ** Tel: 60-3-7651-7906	**ﾄﾞｲﾂ - ｶｰﾙｽﾙｰｴ** Tel: 49-721-625370
ｲﾝﾃﾞｱﾅﾎﾟﾘｽ Noblesville, IN Tel: 317-773-8323 Fax: 317-773-5453 Tel: 317-536-2380	**中国 - 南京** Tel: 86-25-8473-2460	**ﾏﾚｰｼｱ - ﾍﾟﾅﾝ** Tel: 60-4-227-8870	**ﾄﾞｲﾂ - ﾐｭﾝﾍﾝ** Tel: 49-89-627-144-0 Fax: 49-89-627-144-44
ﾛｻﾝｾﾞﾙｽ Mission Viejo, CA Tel: 949-462-9523 Fax: 949-462-9608 Tel: 951-273-7800	**中国 - 青島** Tel: 86-532-8502-7355	**ﾌｨﾘﾋﾟﾝ - ﾏﾆﾗ** Tel: 63-2-634-9065	**ﾄﾞｲﾂ - ﾛｰｾﾞﾝﾊｲﾑ** Tel: 49-8031-354-560
ﾛｰﾘｰ NC Tel: 919-844-7510	**中国 - 上海** Tel: 86-21-3326-8000	**ｼﾝｶﾞﾎﾟｰﾙ** Tel: 65-6334-8870	**ｲｽﾗｴﾙ - ﾗｰﾅﾅ** Tel: 972-9-744-7705
ﾆｭｰﾖｰｸ NY Tel: 631-435-6000	**中国 - 瀋陽** Tel: 86-24-2334-2829	**台湾 - 新竹** Tel: 886-3-577-8366	**ｲﾀﾘｱ - ﾐﾗﾉ** Tel: 39-0331-742611 Fax: 39-0331-466781
ｻﾝﾎｾ CA Tel: 408-735-9110 Tel: 408-436-4270	**中国 - 深圳** Tel: 86-755-8864-2200	**台湾 - 高雄** Tel: 886-7-213-7830	**ｲﾀﾘｱ - ﾊﾟﾄﾞﾊﾞ** Tel: 39-049-7625286
ｶﾅﾀﾞ - ﾄﾛﾝﾄ Tel: 905-695-1980 Fax: 905-695-2078	**中国 - 蘇州** Tel: 86-186-6233-1526	**台湾 - 台北** Tel: 886-2-2508-8600	**ｵﾗﾝﾀﾞ - ﾃﾞﾙｰﾈﾝ** Tel: 31-416-690399 Fax: 31-416-690340
	中国 - 武漢 Tel: 86-27-5980-5300	**ﾀｲ - ﾊﾞﾝｺｸ** Tel: 66-2-694-1351	**ﾉﾙｳｪｰ - ﾄﾛﾝﾊｲﾑ** Tel: 47-72884388
	中国 - 西安 Tel: 86-29-8833-7252	**ﾍﾞﾄﾅﾑ - ﾎｰﾁﾐﾝ** Tel: 84-28-5448-2100	**ﾎﾟｰﾗﾝﾄﾞ - ﾜﾙｼｬﾜ** Tel: 48-22-3325737
	中国 - 厦門 Tel: 86-592-2388138		**ﾙｰﾏﾆｱ - ﾌﾞｶﾚｽﾄ** Tel: 40-21-407-87-50
	中国 - 珠海 Tel: 86-756-3210040		**ｽﾍﾟｲﾝ - ﾏﾄﾞﾘｰﾄﾞ** Tel: 34-91-708-08-90 Fax: 34-91-708-08-91
			ｽｳｪｰﾃﾞﾝ - ｲｪｰﾃﾎﾞﾘ Tel: 46-31-704-60-40
			ｽｳｪｰﾃﾞﾝ - ｽﾄｯｸﾎﾙﾑ Tel: 46-8-5090-4654
			ｲｷﾞﾘｽ - ｳｫｰｷﾝｶﾞﾑ Tel: 44-118-921-5800 Fax: 44-118-921-5820

© 2023 Microchip Technology Inc.とその子会社